



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I573212 B

(45)公告日：中華民國 106 (2017) 年 03 月 01 日

(21)申請案號：104129407

(22)申請日：中華民國 104 (2015) 年 09 月 04 日

(51)Int. Cl. : **H01L21/66 (2006.01)**

(30)優先權：2014/09/23 美國 14/494,449

(71)申請人：日月光半導體製造股份有限公司(中華民國) ADVANCED SEMICONDUCTOR ENGINEERING, INC. (TW)

高雄市楠梓加工區經三路 26 號

(72)發明人：謝維銘 HSIEH, WEI MING (TW)；蔡裕斌 TSAI, YU PIN (TW)；曹育誠 TSAO, YUCHENG (TW)；王丞鴻 WANG, CHENGHUNG (TW)；林俊杰 LIN, CHUN CHIEH (TW)；楊秀雄 YANG, HSIU HSIUNG (TW)

(74)代理人：陳長文

(56)參考文獻：

US 7354802B2

US 7719301B2

US 2004/0006404A1

審查人員：孫建文

申請專利範圍項數：19 項 圖式數：22 共 33 頁

(54)名稱

半導體製程

SEMICONDUCTOR PROCESS

(57)摘要

本揭露係關於一種半導體製程，其包括以下步驟：(a)提供一半導體元件，且測試該半導體元件；(b)將該半導體元件經由一黏著層貼附至一載體上，使得該黏著層夾設於該半導體元件及該載體之間；(c)切割該半導體元件以形成複數個半導體元件單體；(d)測試該等半導體元件單體；及(e)比對步驟(a)之測試結果及步驟(d)之測試結果。藉此，該等半導體元件單體彼此間之間隙在切割後即固定，而便於測試該等半導體元件單體。

The present disclosure relates to a semiconductor process, which includes the following steps: (a) providing a semiconductor element, and testing the semiconductor element; (b) attaching the semiconductor element to a carrier by an adhesive layer, so that the adhesive layer is sandwiched between the semiconductor element and the carrier; (c) cutting the semiconductor element to form a plurality of semiconductor units; (d) testing the semiconductor units; and (e) comparing the testing results of the steps (a) and (d). Thereby, the gaps between the semiconductor units are fixed after the cutting process, so as to facilitate testing the semiconductor units.

指定代表圖：

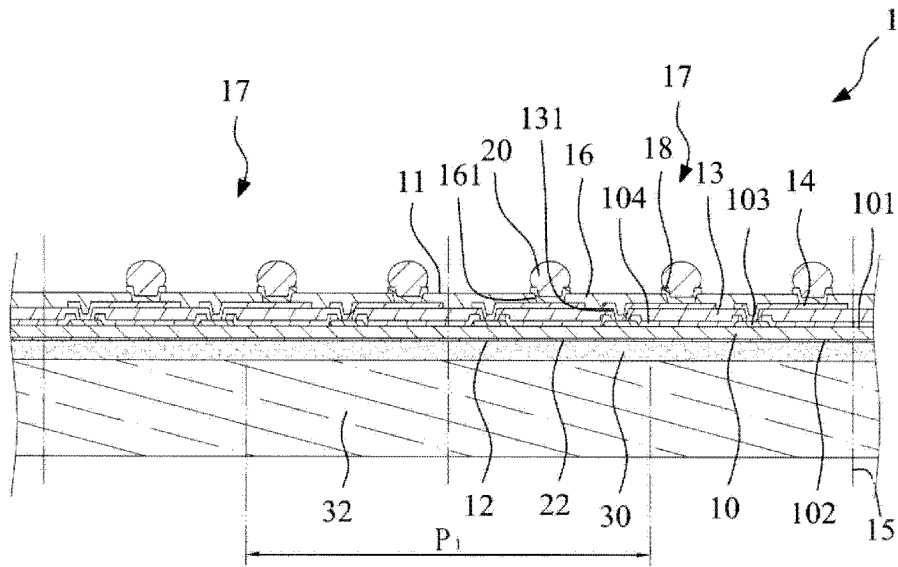


圖6

符號簡單說明：

- 1 . . . 半導體元件
- 10 . . . 半導體元件本體
- 11 . . . 主動面
- 12 . . . 背面
- 13 . . . 第一保護層
- 14 . . . 重佈層
- 15 . . . 切割線
- 16 . . . 第二保護層
- 17 . . . 單體區域
- 18 . . . 凸塊下金屬層
- 20 . . . 錫球
- 22 . . . 保護層
- 30 . . . 黏著層
- 32 . . . 載體
- 101 . . . 半導體元件本體之上表面
- 102 . . . 半導體元件本體之下表面
- 103 . . . 接墊
- 104 . . . 鈍化層
- 131 . . . 第一開口
- 161 . . . 第二開口

發明摘要

104129407

※ 申請案號：

※ 申請日： 104. 9. 0 4

※IPC 分類：H01L 21/66 (2006.01)

【發明名稱】

半導體製程

SEMICONDUCTOR PROCESS

【中文】

● 本揭露係關於一種半導體製程，其包括以下步驟：(a)提供一半導體元件，且測試該半導體元件；(b)將該半導體元件經由一黏著層貼附至一載體上，使得該黏著層夾設於該半導體元件及該載體之間；(c)切割該半導體元件以形成複數個半導體元件單體；(d)測試該等半導體元件單體；及(e)比對步驟(a)之測試結果及步驟(d)之測試結果。藉此，該等半導體元件單體彼此間之間隙在切割後即固定，而便於測試該等半導體元件單體。

【英文】

● The present disclosure relates to a semiconductor process, which includes the following steps: (a) providing a semiconductor element, and testing the semiconductor element; (b) attaching the semiconductor element to a carrier by an adhesive layer, so that the adhesive layer is sandwiched between the semiconductor element and the carrier; (c) cutting the semiconductor element to form a plurality of semiconductor units; (d) testing the semiconductor units; and (e) comparing the testing results of the steps (a) and (d). Thereby, the gaps between the semiconductor units are fixed after the cutting process, so as to facilitate testing the semiconductor units.

【代表圖】

【本案指定代表圖】：第（6）圖。

【本代表圖之符號簡單說明】：

100.100.03)	半導體元件
10	半導體元件本體
11	主動面
12	背面
13	第一保護層
14	重佈層
15	切割線
16	第二保護層
17	單體區域
18	凸塊下金屬層
20	鐳球
22	保護層
30	黏著層
32	載體
101	半導體元件本體之上表面
102	半導體元件本體之下表面
103	接墊
104	鈍化層
131	第一開口
161	第二開口

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體製程

SEMICONDUCTOR PROCESS

【技術領域】

本揭露係關於一種半導體製程。詳言之，本揭露係關於一種半導體切割及測試製程，以及半導體切割後形成圖案之製程。

【先前技術】

習知切割前晶圓之產品測試方式係直接將晶圓置於設備中進行針測，可同時測試多個單體區域內的多顆晶粒 (Die)，但此方式無法偵測出該晶圓切割後的作業缺陷，原因如下所述。

習知切割後晶圓之產品測試方式係將晶圓置於切割膠帶 (Tape) 上，其中該切割膠帶之外緣係由一環狀之膜片架 (Film Frame) 所固定。進行晶圓切割後，形成複數顆分離之晶粒，由於該膜片架對該切割膠帶之橫向拉力，使得該等晶粒會被橫向拉開而發生位置偏移之情況，亦即該等晶粒彼此間之間隙在切割後會加大。而且此偏移會累積，亦即在外圍之晶粒之偏移量會更大。由於測試用之探針在探針頭之位置係固定，當晶粒之偏移量超過一數值後，探針便無法同時測試到與切割前相同數量的多個單體區域內的多個晶粒，因此習知之產品測試方式之作業效率會下降。舉例而言，習知之產品測試方式，切割前可一次同時測試15個單體區域內的多個晶粒，切割後因上述偏移量的關係，一次只能同時測試4個單體區域內的多個晶粒，因此，測試機台之單位小時產能 (Units Per Hour, UPH) 無法有效提升。

此外，上述習知作業方式在進行雷射打印時會有以下問題。首

先，由於雷射必須穿過該切割膠帶，因此該切割膠帶只能選擇非UV解膠材料，然而，非UV解膠材料之黏性較低，會降低該晶圓與該切割膠帶間之黏著力，而影響整個製程。其次，若該晶圓產生較大之翹曲，該切割膠帶無法完全將該晶圓拉平，因此在雷射打印時會產生偏斜。此外，如同上述，該等晶粒在切割後會被橫向拉開而發生位置偏移之情況，因此，該晶圓在切割後無法再進行第二次的雷射打印。

【發明內容】

本揭露之一方面係關於一種半導體製程。在一實施例中，該半導體製程包括以下步驟：(a)提供一半導體元件，且測試該半導體元件；(b)將該半導體元件經由一黏著層貼附至一載體上，使得該黏著層夾設於該半導體元件及該載體之間；(c)切割該半導體元件以形成複數個半導體元件單體；(d)測試該等半導體元件單體；及(e)比對步驟(a)之測試結果及步驟(d)之測試結果。藉此，該等半導體元件單體彼此間之間隙在切割後即固定，而便於測試該等半導體元件單體。

本揭露之另一方面係關於一種半導體製程。在一實施例中，該半導體製程包括以下步驟：(a)提供一半導體元件；(b)將該半導體元件經由一黏著層貼附至一載體上，使得該黏著層夾設於該半導體元件及該載體之間；(c)切割該半導體元件以形成複數個半導體元件單體；及(d)形成一圖案於該等半導體元件單體之一表面上。

本揭露之另一方面係關於一種半導體製程。在一實施例中，該半導體製程包括以下步驟：在切割一半導體元件前，提供該半導體元件之測試結果之一第一圖表之視覺顯示 (Visual Display)，該第一圖表標示切割前該半導體元件中瑕疵之半導體元件單體區域之位置；及在切割該半導體元件後，提供該半導體元件之測試結果之一第二圖表之視覺顯示，該第二圖表標示切割後該半導體元件中瑕疵之半導體元件單體之位置。

【圖式簡單說明】

圖1至圖16顯示本揭露之半導體製程之一實施例之示意圖。

圖17至圖22顯示本揭露中半導體元件貼附至載體之方式之一實施例之示意圖。

【實施方式】

參考圖1至圖16，顯示本揭露之半導體製程之一實施例之示意圖。參考圖1，提供一半導體元件1，其中圖1係顯示該半導體元件1之局部剖視示意圖。在本實施例中，該半導體元件1係為一晶圓，其包括一半導體元件本體10、複數個接墊（Pad）103、一鈍化層（Passivation Layer）104及複數條切割線15。該半導體元件本體10之材質可以是例如矽、鍺、砷化鎵等半導體材料。該半導體元件本體10具有一上表面101及一下表面102，該接墊103係位於該半導體元件本體10之上表面101。該鈍化層104覆蓋該半導體元件本體10之上表面101及部分接墊103，且具有複數個鈍化層開口1041以顯露另一部份該接墊103。該等切割線15定義出複數個單體區域17，且二個最近之單體區域17間之間距（Pitch）定義為第一間距 P_1 。

參考圖1a，顯示本揭露之半導體元件之一實施例之俯視圖。在本實施例中，該半導體元件1係為一晶圓，其係為圓盤狀。

參考圖1b，顯示本揭露之半導體元件之另一實施例之俯視圖。在本實施例中，該半導體元件1係為一條狀體（Strip），其係為矩形。

參考圖2，形成一第一保護層13以覆蓋部份接墊103及該鈍化層104，其中該第一保護層13具有複數個第一開口131以顯露另一部份該接墊103。在本實施例中，該第一保護層13之材質係為聚醯亞胺（Polyimide）；然而在其他實施例中，該第一保護層13之材質係為另一種聚合物（Polymer）或樹脂、奈米聚合物（Nanocomposite），或其組合物。接著，形成一重佈層（Redistribution Layer, RDL）14於該

第一保護層13上及其第一開口131中，以接觸該等接墊103。該重佈層14之材質係為可導電的，例如銅或另一種金屬，或另一種導電材質，或其組合物。接著，形成一第二保護層16以覆蓋該重佈層14及該第一保護層13，其中該第二保護層16具有複數個第二開口161以顯露部份重佈層14。接著，形成一凸塊下金屬層（Under Bump Metallurgy, UBM）18於該第二開口161中以接觸該重佈層14。

參考圖3，形成複數個錫球20於該凸塊下金屬層18上。此時，該半導體元件1具有一主動面11及一背面12。該主動面11即包含該重佈層14及該等錫球20之表面；該背面12即該半導體元件本體10之下表面102。

參考圖3a，顯示第一次測試之測試設定（Setup）。在本實施例中，係利用一測試裝置19測試該半導體元件1。該測試裝置19包含一探針頭191及複數個探針34，該等探針34係連接至該探針頭191，且該等探針34之位置係固定。在本實施例中，利用該等探針34經由該等半導體元件1之單體區域17上之錫球20以測試該等半導體元件1之單體區域17之電性。

參考圖3b，顯示利用圖3a之測試設定（Setup）所得出第一次測試後之測試結果之圖表（map）之一實例之示意圖。如圖3b所示之實例中，二個x符號所標示的半導體元件1的區域代表其對應的二個單體區域17未通過利用圖3a之測試設定所做之電性測試，亦即，該二個被標記之單體區域17為瑕疵。

參考圖4，薄化該半導體元件1之半導體元件本體10。在本實施例中，係研磨(Grinding)該半導體元件1之背面12（該半導體元件本體10之下表面102），以薄化該半導體元件本體10，且增加該半導體元件1之背面12的平坦性。

參考圖5，貼附一保護層22於該半導體元件1之背面12（該半導

體元件本體10之下表面102)。可以理解的是，此步驟係可省略，亦即可以不貼附該保護層22。要注意的是，如果貼附該保護層22，則該半導體元件1之背面12係為該保護層22之下表面；如果不貼附該保護層22，則該半導體元件1之背面12係為該半導體元件本體10之下表面102。

參考圖6，將該半導體元件1經由一黏著層30貼附至一載體32上，且該載體32係為一圓盤，使得該黏著層30夾設於該半導體元件1及該載體32之間。在本實施例中，該半導體元件1係為一晶圓，該載體32係為玻璃、金屬、壓克力或虛晶圓 (Dummy Wafer)，且該載體32之尺寸大致上與該半導體元件1相同。亦即，該載體32之尺寸係在該半導體元件1之尺寸之 $\pm 10\%$ ， $\pm 5\%$ ， $\pm 4\%$ ， $\pm 3\%$ ， ± 2 或 $\pm 1\%$ 之內。該黏著層30係為一雙面膠，其尺寸大致上與該載體32之尺寸相同。亦即，該黏著層30之尺寸係在該載體32之尺寸之 $\pm 10\%$ ， $\pm 5\%$ ， $\pm 4\%$ ， $\pm 3\%$ ， ± 2 或 $\pm 1\%$ 之內。換言之，該半導體元件1、該黏著層30及該載體32皆為尺寸大致相同之圓形，且三者形成一個三層疊合結構。要注意的是，該載體32並非是一空心圓環狀之膜片架 (Film Frame)。在一實施例中，該黏著層30係為二層結構，其上層係為發泡層，下層為主體層 (例如：UV解膠材料，或可遇熱解膠材料)。該發泡層之材質係可遇熱解膠，且其熱解膠溫度 (Thermal Release Temperature) 係為 50°C 至 300°C 或 90°C 至 200°C 。亦即，該發泡層在加熱 (例如 50°C 至 300°C 或 90°C 至 200°C) 後，材料表面結構變化而解膠。該主體層在照射UV光後或加熱 (例如 50°C 至 300°C 或 90°C 至 200°C) 後會解膠。在其他實施例中，該黏著層30上下二層皆為發泡層，但是發泡溫度 (熱解膠溫度) 不同，舉例而言，上層發泡層之發泡溫度為 90°C ，下層發泡層之發泡溫度為 150°C 。在其他另一實施例中，其他單層膠或多層膠也可替代地使用。

如圖1b所示，該半導體元件1可以是條狀體（Strip）之形式。在此實施例中，該載體32可以是圓盤或條狀體，且該條狀體形式之該半導體元件1係利用該黏著層30貼附至該載體32上，該黏著層30係為對應之圓盤或條狀體之形式。

參考圖7，顯示第一次雷射打印（Laser Marking）步驟。亦即，形成一第一圖案於該等單體區域17之保護層22下表面上。在本實施例中，該第一圖案係利用一第一打印雷射（Marking Laser）70移除該等單體區域17之保護層22下表面之一部分而形成之刻痕。由於該第一打印雷射70係施加在該等單體區域17之保護層22下表面，因此，該載體32及該黏著層30係可供該第一打印雷射70穿透。舉例而言，該載體32之材質係為玻璃，例如：無鹼玻璃。該黏著層30之材質係包含可遇熱解膠之材料，且其熱解膠溫度（Thermal Release Temperature）係為50°C至300°C或90°C至200°C，例如：聚酯（Polyester）、聚乙烯（Polyethylene, PE）或聚乙烯對苯二甲酸酯（Polyethylene Terephthalate, PET）。若該黏著層30至少包含一發泡層及一主體層，則該主體層包含上述可遇熱解膠之材料，且其熱解膠溫度（Thermal Release Temperature）係為50°C至300°C或90°C至200°C，例如：聚酯（Polyester）、聚乙烯（Polyethylene, PE）或聚乙烯對苯二甲酸酯（Polyethylene Terephthalate, PET）。在一實施例中，該第一打印雷射70之第一圖案係根據圖3a之測試步驟所得出之第一次測試結果（例如圖3b之圖表）而決定。

參考圖8，在另一實施例中，該保護層22係被省略。該黏著層30係直接貼附至該半導體元件本體10之下表面102。該載體32及該黏著層30之材質係與圖7之該載體32及該黏著層30之材質相同。在本實施例中，該第一圖案係利用該第一打印雷射70移除該等單體區域17之下表面102之一部分而形成之刻痕。亦即，該第一圖案係形成於該等單

體區域17之下表面102上。

參考圖9，利用刀具60沿著該等切割線15切割該半導體元件1以形成複數個半導體元件單體4（即晶粒(Die)）。在本實施例中，係利用一治具35之複數個真空管道351以真空方式吸住該載體32以利切割之進行。在本實施例中，該黏著層30亦被切割到，但是該黏著層30未被切斷而形成一凹口301，該凹口301係對應二個半導體元件單體4間之間隙。然而。要注意的是，該載體32並不會被切割到。當切割該半導體元件1時，由於該黏著層30底下有載體32支撐，所以可以控制切割後形成的該等半導體元件單體4之間保持相同的第二間距 P_2 。亦即，該等半導體元件單體4間之第二間距 P_2 之標準差（Standard Deviation）係在該等單體4間之第二間距 P_2 之平均值之10%，5%，4%，3%，2或1%之內。如圖9所示，該半導體元件單體4與相鄰左邊之半導體元件單體4間之間隙之寬度為 d_1 ，且該半導體元件單體4與相鄰右邊之半導體元件單體4間之間隙之寬度為 d_2 ，其中

$$0 \leq d_2 - d_1 \leq 4\mu\text{m}$$

因此，該等半導體元件單體4間之偏移量可定義為 $(d_2 - d_1)$ ，且該偏移量小於 $4\mu\text{m}$ ，如此，每二個該等半導體元件單體4之間可保持幾乎相同的第二間距 P_2 。而且，該第二間距 P_2 係與圖1之第一間距 P_1 幾乎相同，換言之，切割後之該等半導體元件單體4之位置與未切割前之單體區域17之位置幾乎相同而未發生實質偏移，亦即，該第二間距 P_2 係在該第一間距 P_1 之 $\pm 10\%$ ， $\pm 5\%$ ， $\pm 4\%$ ， $\pm 3\%$ ， ± 2 或 $\pm 1\%$ 之內。如此將有助於第二次測試步驟之效率以及雷射打印之進行，如下所述。

參考圖10，顯示第二次雷射打印步驟。亦即，形成一第二圖案於該等半導體元件單體4之保護層22下表面上。在本實施例中，該第二圖案係利用一第二打印雷射72移除該等半導體元件單體4之保護層

22下表面之一部分而形成之刻痕。由於該第二打印雷射72係施加在該等半導體元件單體4之保護層22下表面，因此，該載體32及該黏著層30係可供該第二打印雷射72穿透。在本實施例中，由於該等半導體元件單體4在切割後並未發生實質偏移，因此，可順利進行該第二次雷射打印步驟，而不需要重新定位。此外，該第二次雷射打印步驟進行過程中所產生之氣泡會從該等凹口301被排出，而不致影響後續製程。

參考圖11，在另一實施例中，該保護層22係被省略。該黏著層30係直接貼附至該半導體元件本體10之下表面102。該載體32及該黏著層30之材質係與圖10之該載體32及該黏著層30之材質相同。在本實施例中，該第二圖案係利用一第二打印雷射72移除該等半導體元件單體4之下表面102之一部分而形成之刻痕。亦即，該第二圖案係形成於該等半導體元件單體4之下表面102上。

參考圖12，顯示用以進行第二次測試之測試設定 (Setup)。在本實施例中，因切割後形成的該等半導體元件單體4之間保持相同間距 (第二間距 P_2)，且此間距與存在於未切割前之單體區域17之間距相同，因此可利用與圖3a相同之測試裝置19測試該等半導體元件單體4，亦即利用該等探針34經由該等半導體元件單體4上之錫球20以測試該等半導體元件單體4。在本實施例中，由於切割後之該等半導體元件單體4未發生偏移，因此，第二次測試步驟中該測試裝置19所測試之該等半導體元件單體4之數目與第一次測試步驟中該測試裝置19所測試之該等單體區域17之數目相同。如此，該測試裝置19可一次測試較多的半導體元件單體4 (例如：一次可測32個半導體元件單體)，因此，測試機台之單位小時產能 (Units Per Hour, UPH) 可有效提升。要注意的是，在圖9的切割步驟中，如果該等半導體元件單體4間之偏移量 ($|d_2-d_1|$) 大於一特定值，例如大於 $4\mu\text{m}$ ，由於偏移量的累積，

會使得該測試裝置19無法一次測試相同數目的半導體元件單體4（例如：一次僅可測16個或更少之半導體元件單體）。如此，第二次測試步驟中該測試裝置19所測試之該等半導體元件單體4之數目與第一次測試步驟中該測試裝置19所測試之該等單體區域17之數目則會不同。

參考圖12a，顯示利用圖12之測試設定（Setup）所得出第二次測試後之測試結果之圖表（map）之一實例之示意圖。如圖12a所示，三個O符號所標示的區域代表其對應的三個半導體元件單體4未通過第二次測試之電性測試，亦即其為瑕疵。由於第二次測試步驟所使用的測試裝置19（圖12）與第一次測試步驟所使用的測試裝置19（圖3a）係相同，因此，比較二次測試步驟之測試結果（圖3b及圖12a）可看出切割後才形成的瑕疵模式（Defect Mode）是否形成於特定區域，進而可藉以調整切割機台之參數或是作動模式，以提升切割後之良率。

參考圖13，顯示第三次雷射打印步驟。亦即，形成一第三圖案於該等半導體元件單體4之保護層22下表面上。在本實施例中，該第三圖案係利用一第三打印雷射74移除該等半導體元件單體4之保護層22下表面之一部分而形成之刻痕。由於該第三打印雷射74係施加在該等半導體元件單體4之保護層22下表面，因此，該載體32及該黏著層30係可供該第三打印雷射74穿透。在本實施例中，由於該等半導體元件單體4在切割後並未發生實質偏移，因此，可順利進行該第三次雷射打印步驟，而不需要重新定位。在一實施例中，該第三打印雷射74之第三圖案係根據圖12之測試步驟所得出之第二次測試結果（例如圖12a之圖表）而決定。

參考圖14，在另一實施例中，該保護層22係被省略。該黏著層30係直接貼附至該半導體元件本體10之下表面102。該載體32及該黏著層30之材質係與圖13之該載體32及該黏著層30之材質相同。在本實

施例中，該第三圖案係利用一第三打印雷射74移除該等半導體元件單體4之下表面102之一部分而形成之刻痕。亦即，該第三圖案係形成於該等半導體元件單體4之下表面102上。

要注意的是，前述三次雷射打印步驟可以不全部皆進行。在某些實施例中，可以僅進行該三次雷射打印步驟之其中一次或二次步驟。本發明提供一可適用於晶圓切割後之雷射打印方法，由於該等半導體元件單體4在切割後並未發生實質偏移，因此，可順利進行該第三次雷射打印步驟，而不需要重新定位。可藉此因應不同測試結果而於同一半導體單元進行不同次的雷射打印，以符合製程或客戶需求。

參考圖15，進行解膠步驟，以解除該黏著層30之黏著性。此解膠之方式可以利用施加高溫或是照UV光等方式。此時，該等半導體元件單體4及該黏著層30仍停留在該載體32上。在本實施例中，係施加一解膠雷射76至該黏著層30，以提供高溫而解除該黏著層30之黏著性。

參考圖16，進行選取（Pick-up）步驟，以取下該等半導體元件單體4。在本實施例中，該等半導體元件單體4係從該載體32及該黏著層30（其已不具黏性）被移除，以形成複數個個別之半導體元件單體4。圖16所示係為單一顆半導體元件單體4。要注意的是，在另一實施例中，該保護層22係被省略，因此，單一顆半導體元件單體4不會包含該保護層22。

參考圖17至圖22，顯示本揭露中該半導體元件貼附至該載體之方式之一實施例之示意圖。該半導體元件貼附至該載體之方式可以有以下三種：在第一種方式中，該黏著層30係先附著至該半導體元件1之背面12，之後再將該載體32貼附至該黏著層30上；在第二種方式中，該黏著層30係先附著至該載體32，之後再將該半導體元件1之背面12貼附至該黏著層30上；在第三種方式中，同時壓合該半導體元件

1之背面12、該黏著層30及該載體32。以下以第一種方式為例。

參考圖17，提供一容置槽50及一上蓋54。該容置槽50定義出一容置空間，其內具有一治具（Chuck）52。該半導體元件1置於該容置空間中且位於該治具52上，其中該半導體元件1之背面12朝上。該上蓋54之下方具有一氣球部（Balloon）56。此時，該氣球部56係大致為平坦，且該黏著層30係利用靜電吸附在該氣球部56上。

參考圖18，將該上蓋54與該容置槽50密合，使得該容置空間形成一密閉空間。接著，對該容置空間抽真空，使得該氣球部56連同該黏著層30因壓力差而向下鼓起，形成弧狀外觀。

參考圖19，該治具52向上移動，使得該黏著層30先接觸到該半導體元件1之背面12之中間位置。隨著該治具52向上移動，該黏著層30漸漸地接觸到該半導體元件1之背面12之外圍，直到完全貼合為止。之後，釋放真空，打開該上蓋54。該黏著層30與該半導體元件1之背面12間之接合力大於該黏著層30與該氣球部56間因靜電而形成之接合力。因此，當該上蓋54打開時，該氣球部56會與該黏著層30分離。

參考圖20，在該第一種方式之接續步驟，該載體32被貼附至該黏著層30。要注意的是，圖20之容置槽50及上蓋54與圖17至圖19之容置槽50及上蓋54可以相同或不同。該上蓋54之下方具有一氣球部（Balloon）56。該載體32利用靜電吸附在該氣球部56上。此時，該氣球部56及該載體32皆大致為平坦。

參考圖21，將該上蓋54與該容置槽50密合，使得該容置空間形成一密閉空間。接著，對該容置空間抽真空，使得該氣球部56因壓力差而向下鼓起，形成弧狀外觀。此時，該載體32仍為平坦狀，亦即該載體32之外圍已與該氣球部56分離。

參考圖22，該治具52向上移動，使得該載體32直接貼合至該黏

著層30。之後，釋放真空，打開該上蓋54，即可取出此三層結構（包含該載體32、該黏著層30及該半導體元件1）。

如圖6所示之實施例中，該載體32並非是膜片架（Film Frame）。因此，在圖9之切割步驟後，該等半導體元件單體4並不會被橫向拉開而發生位置偏移之情況，亦即該等半導體元件單體4之位置在切割前後係固定而沒有實質改變，同時該半導體元件1之尺寸在切割前後係實質相同。藉此，在圖3a及圖12之測試設定可使用一般測試晶圓之機台，其不僅可同時測試多個半導體元件單體4，且不需使用特定高價機台。此外，本實施例可以有效地將製程中的不良品排除，藉以提高整體的封測良率與降低封測成本。

此外，在另一實施例中，位於捲帶包裝（Tape and Reel）之複數個晶粒可被挑回該載體32上，且利用該黏著層30固定於該載體32。藉由將該等晶粒排列成晶圓形式，則後續可使用之一般測試晶圓之機台進行測試。

惟上述實施例僅為說明本揭露之原理及其功效，而非用以限制本揭露。因此，習於此技術之人士對上述實施例進行修改及變化仍不脫本揭露之精神。本揭露之權利範圍應如後述之申請專利範圍所列。

【符號說明】

- | | |
|----|---------|
| 1 | 半導體元件 |
| 4 | 半導體元件單體 |
| 10 | 半導體元件本體 |
| 11 | 主動面 |
| 12 | 背面 |
| 13 | 第一保護層 |
| 14 | 重佈層 |
| 15 | 切割線 |

16	第二保護層
17	單體區域
18	凸塊下金屬層
19	測試裝置
20	鐳球
22	保護層
30	黏著層
32	載體
34	探針
35	治具
50	容置槽
52	治具
54	上蓋
56	氣球部
60	刀具
70	第一打印雷射
72	第二打印雷射
74	第三打印雷射
76	解膠雷射
101	半導體元件本體之上表面
102	半導體元件本體之下表面
103	接墊
104	鈍化層
131	第一開口
161	第二開口
191	探針頭

- 301 凹口
- 351 真空管道
- 1041 鈍化層開口
- P₁ 第一間距
- P₂ 第二間距

申請專利範圍

1. 一種半導體製程，包括以下步驟：
 - (a)提供一半導體元件，且測試該半導體元件；
 - (b)將該半導體元件經由一黏著層貼附至一載體上，使得該黏著層夾設於該半導體元件及該載體之間；
 - (c)切割該半導體元件以形成複數個半導體元件單體；
 - (d)測試該等半導體元件單體；及
 - (e)比對步驟(a)之測試結果及步驟(d)之測試結果。
2. 如請求項1之半導體製程，其中該步驟(c)之後更包括一形成一圖案於該等半導體元件單體之一表面上。
3. 如請求項2之半導體製程，其中該圖案係利用一打印雷射 (Marking Laser) 移除該等半導體元件單體之表面之一部分而形成。
4. 如請求項3之半導體製程，其中該步驟(b)中，該載體及該黏著層係可供該打印雷射穿透。
5. 如請求項4之半導體製程，其中該黏著層之材質係可遇熱解膠，且其熱解膠溫度 (Thermal Release Temperature) 係為50°C至300°C。
6. 如請求項4之半導體製程，其中該黏著層包含一發泡層及一主體層。
7. 如請求項1之半導體製程，其中該步驟(d)之後更包括一形成一圖案於該等半導體元件單體之一表面上之步驟。
8. 如請求項1之半導體製程，其中該步驟(d)之後更包括：
 - (d1)解除該黏著層之黏著性。
9. 如請求項8之半導體製程，其中該步驟(d1)係施加一解膠雷射至

該黏著層，以解除該黏著層之黏著性。

10. 如請求項1之半導體製程，其中該步驟(d)所使用之測試裝置與該步驟(a)所使用之測試裝置相同，且該步驟(d)中該測試裝置所測試之該等半導體元件單體之數目與該步驟(a)中該測試裝置所測試之該等單體區域之數目相同。
11. 一種半導體製程，包括以下步驟：
 - (a)提供一半導體元件；
 - (b)將該半導體元件經由一黏著層貼附至一載體上，使得該黏著層夾設於該半導體元件及該載體之間；
 - (c)切割該半導體元件以形成複數個半導體元件單體；及
 - (d)形成一圖案於該等半導體元件單體之一表面上。
12. 如請求項11之半導體製程，其中該步驟(d)之圖案係利用一打印雷射 (Marking Laser) 移除該等半導體元件單體之表面之一部分而形成。
13. 如請求項12之半導體製程，其中該步驟(b)中，該載體及該黏著層係可供該打印雷射穿透。
14. 如請求項13之半導體製程，其中該黏著層之材質係可遇熱解膠，且其熱解膠溫度 (Thermal Release Temperature) 係為50°C至300°C。
15. 如請求項13之半導體製程，其中該黏著層包含一發泡層及一主體層。
16. 如請求項11之半導體製程，其中該步驟(d)之後更包括：
 - (d1)解除該黏著層之黏著性。
17. 如請求項16之半導體製程，其中該步驟(d1)係施加一解膠雷射至該黏著層，以解除該黏著層之黏著性。
18. 一種半導體製程，包括：

在切割一半導體元件前，提供該半導體元件之測試結果之一第一圖表之視覺顯示（Visual Display），該第一圖表標示切割前該半導體元件中瑕疵之半導體元件單體區域之位置；

在切割該半導體元件後，提供該半導體元件之測試結果之一第二圖表之視覺顯示，該第二圖表標示切割後該半導體元件中瑕疵之半導體元件單體之位置；及

根據該第二圖表以形成一圖案於該等半導體元件單體之一表面上。

19. 如請求項18之半導體製程，其中該第一圖表及該第二圖表係利用相同之測試裝置所產生。

圖式

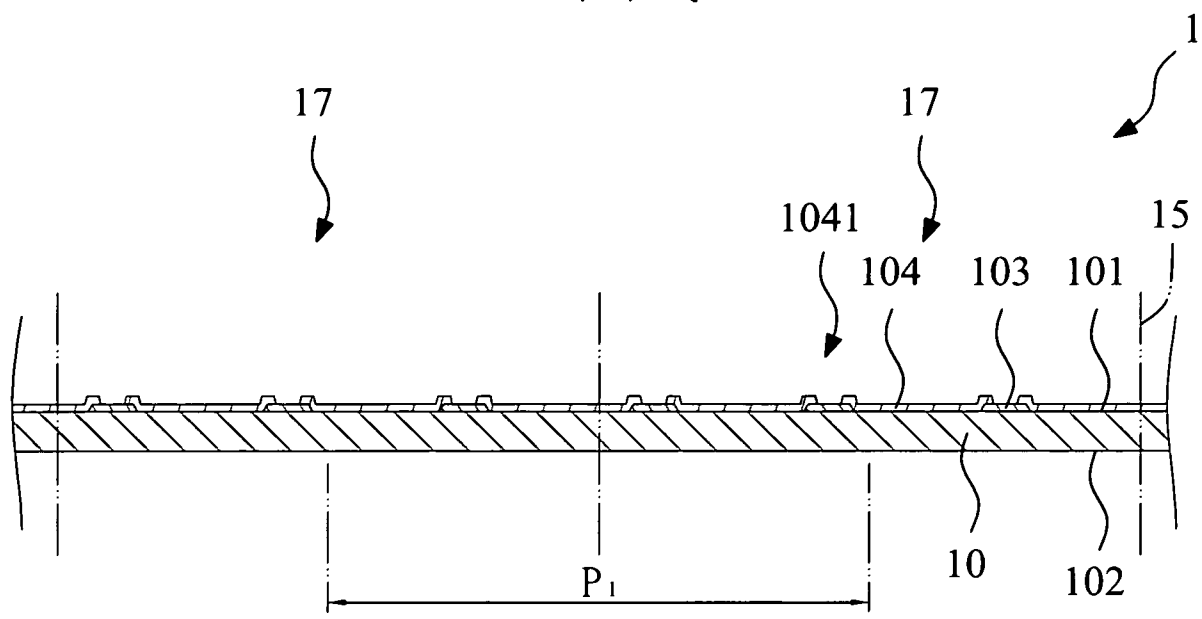


圖1

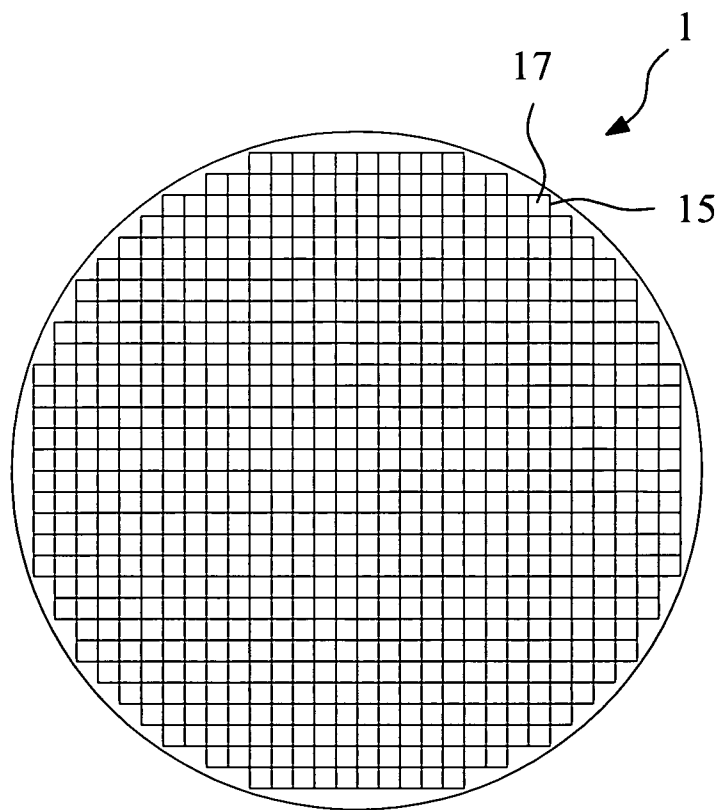


圖1a

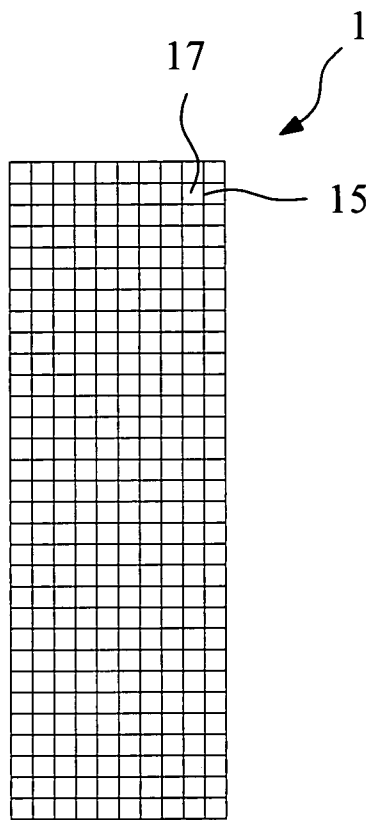


圖1b

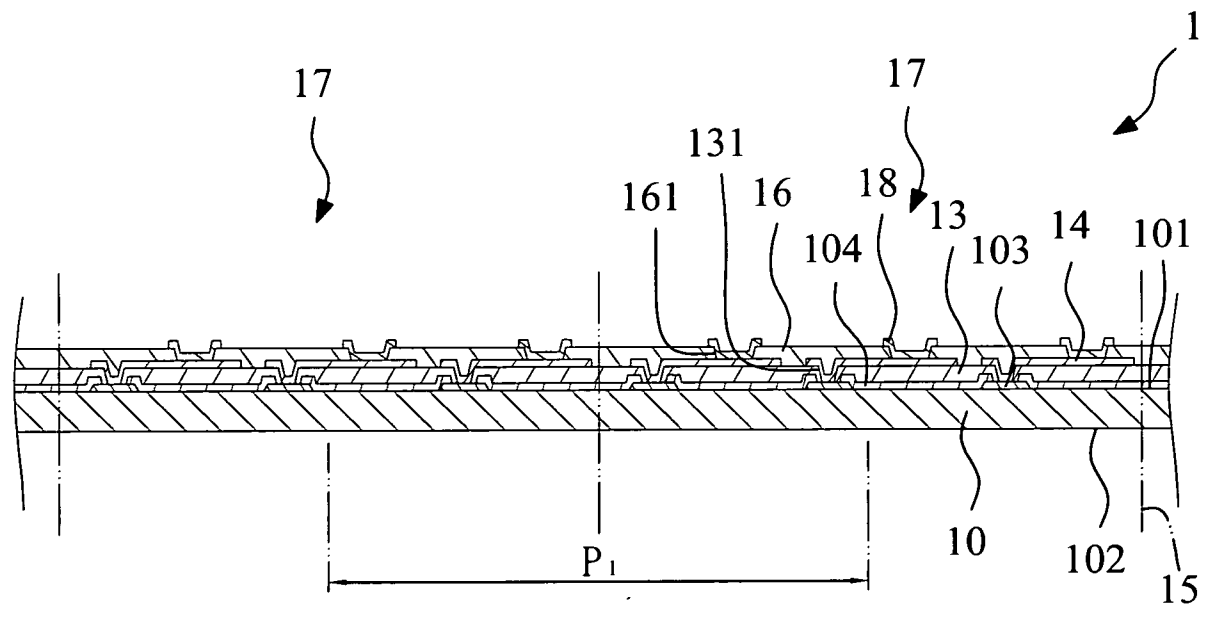


圖2

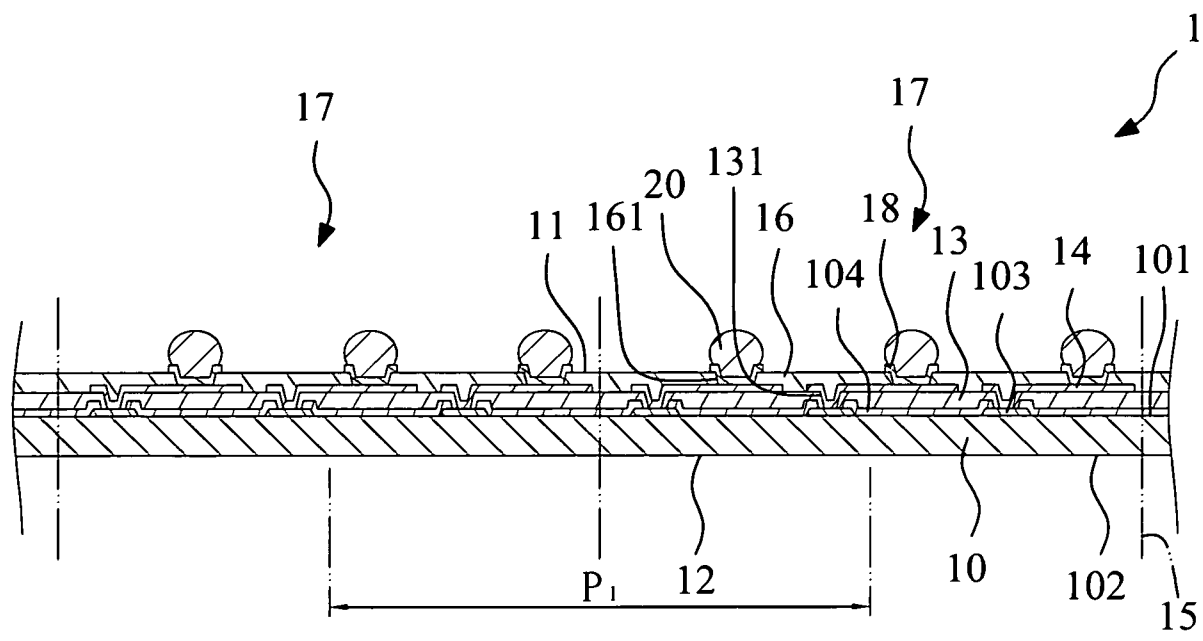


圖3

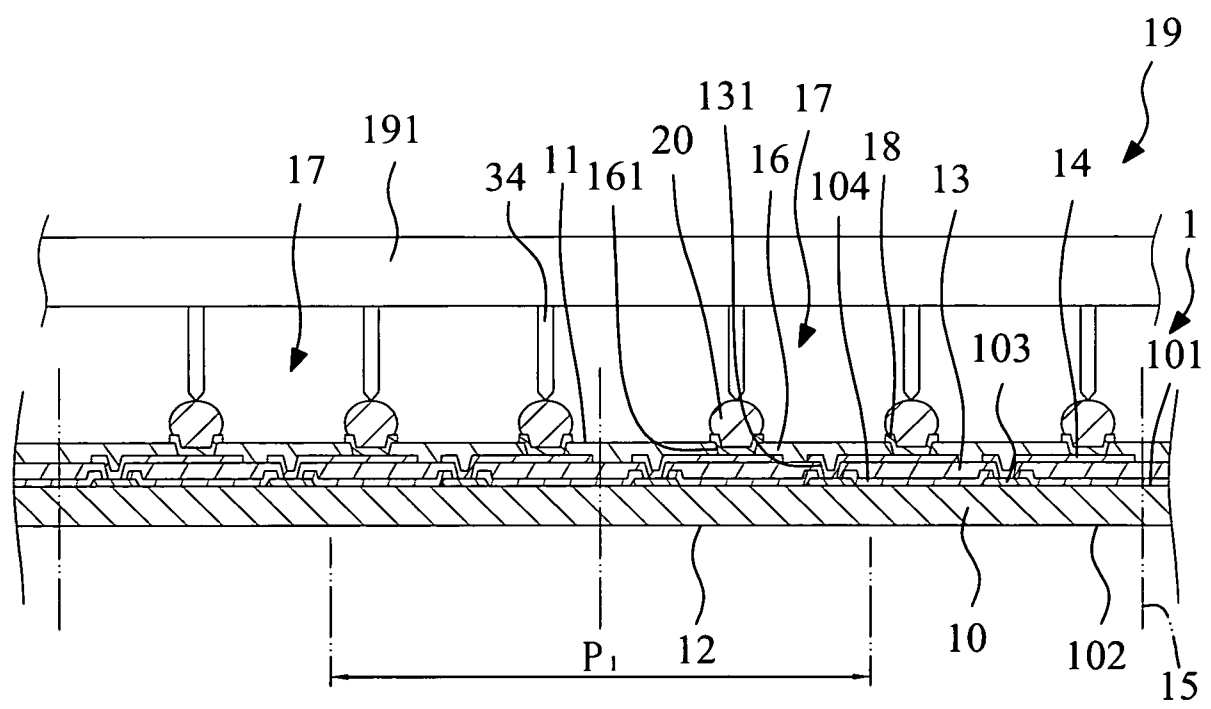


圖3a

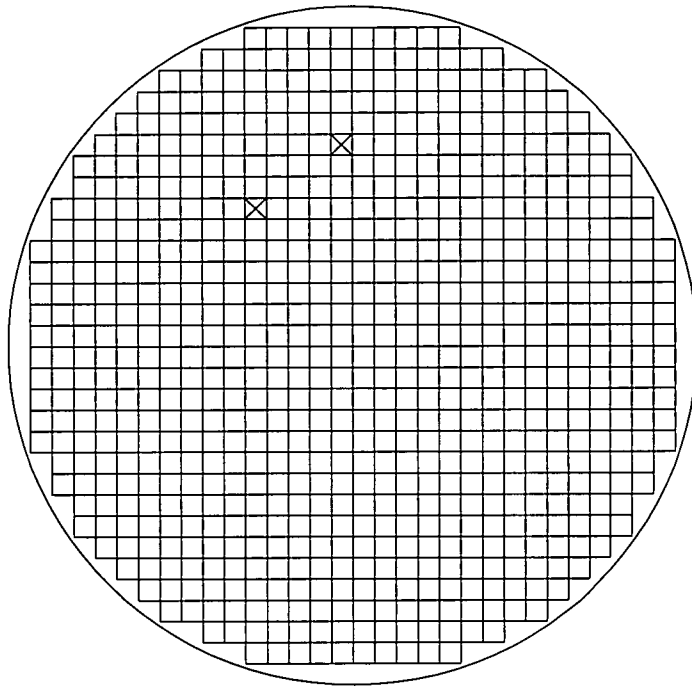


圖3b

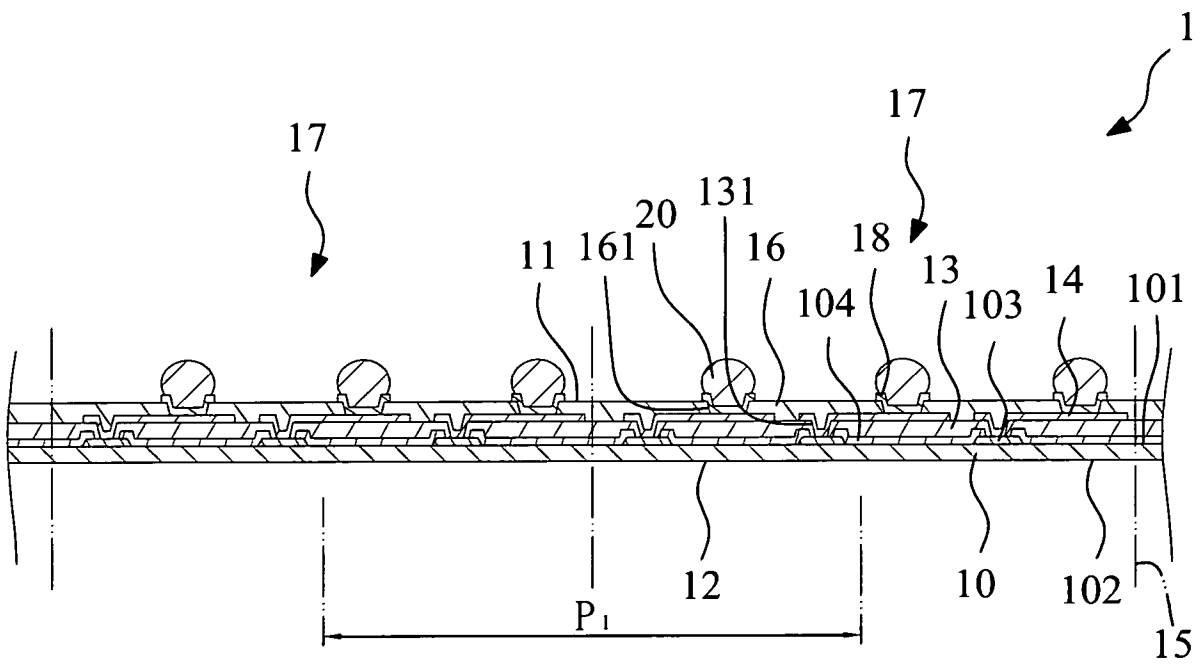


圖4

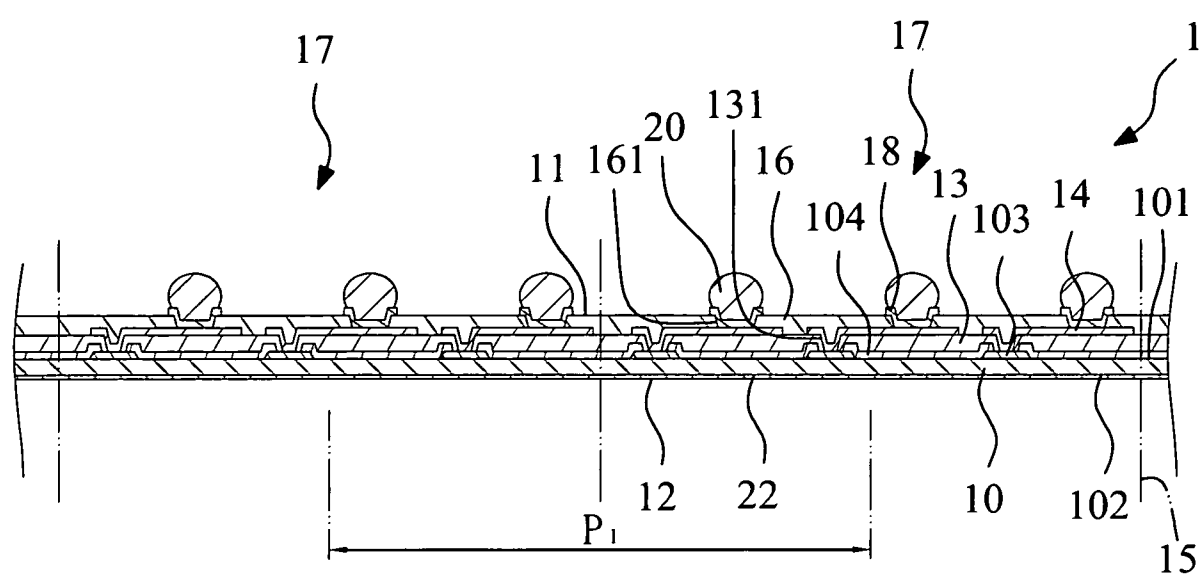


圖5

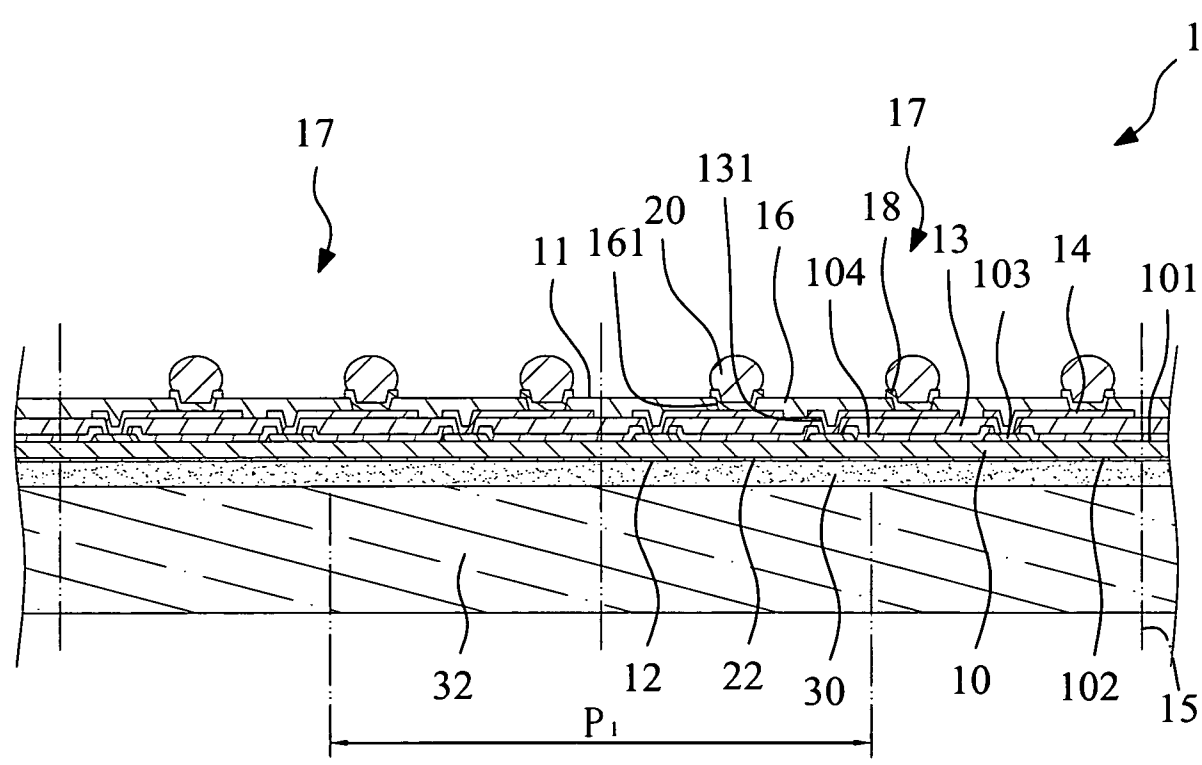


圖6

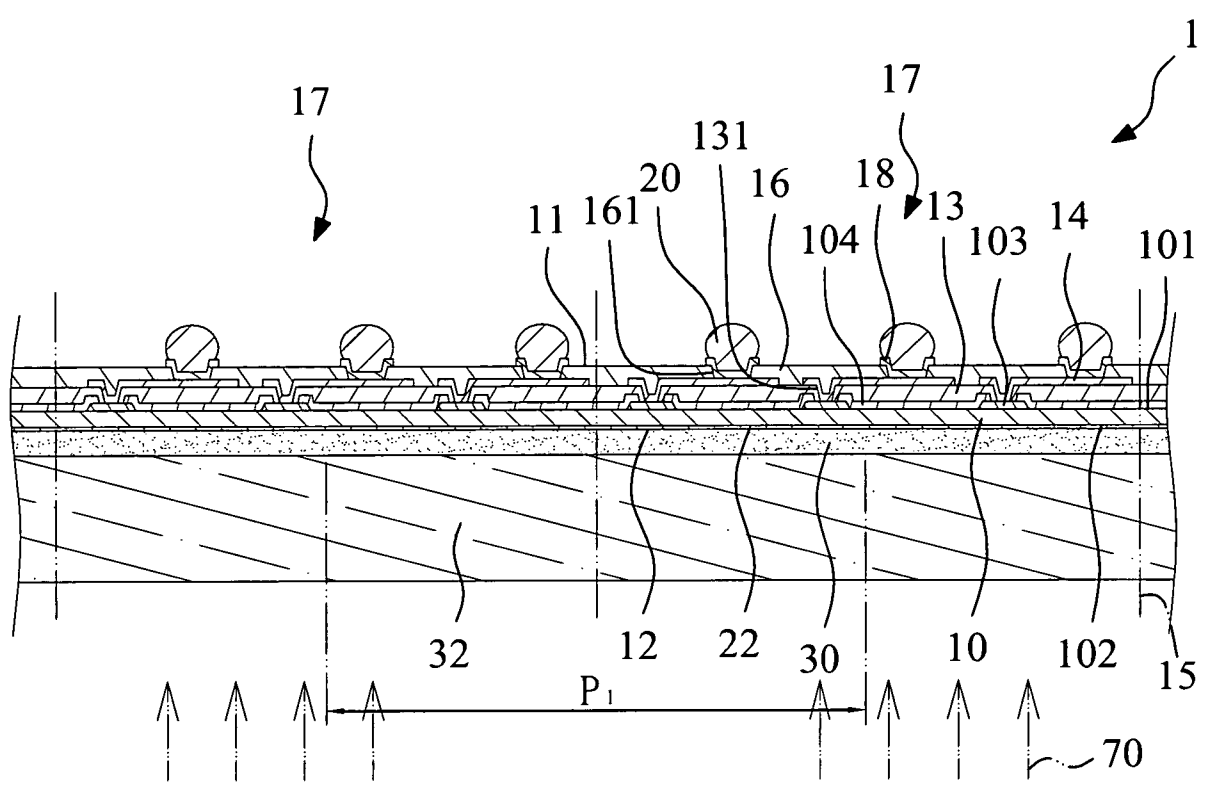


圖7

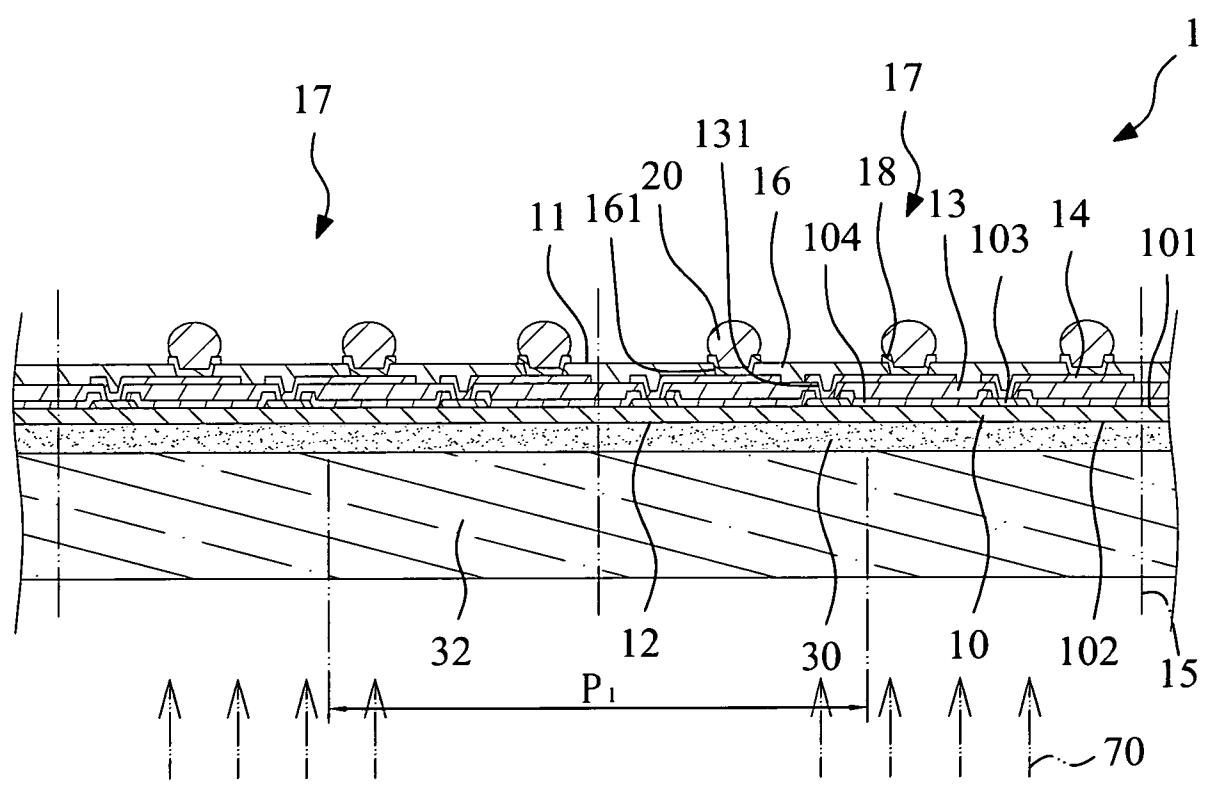


圖8

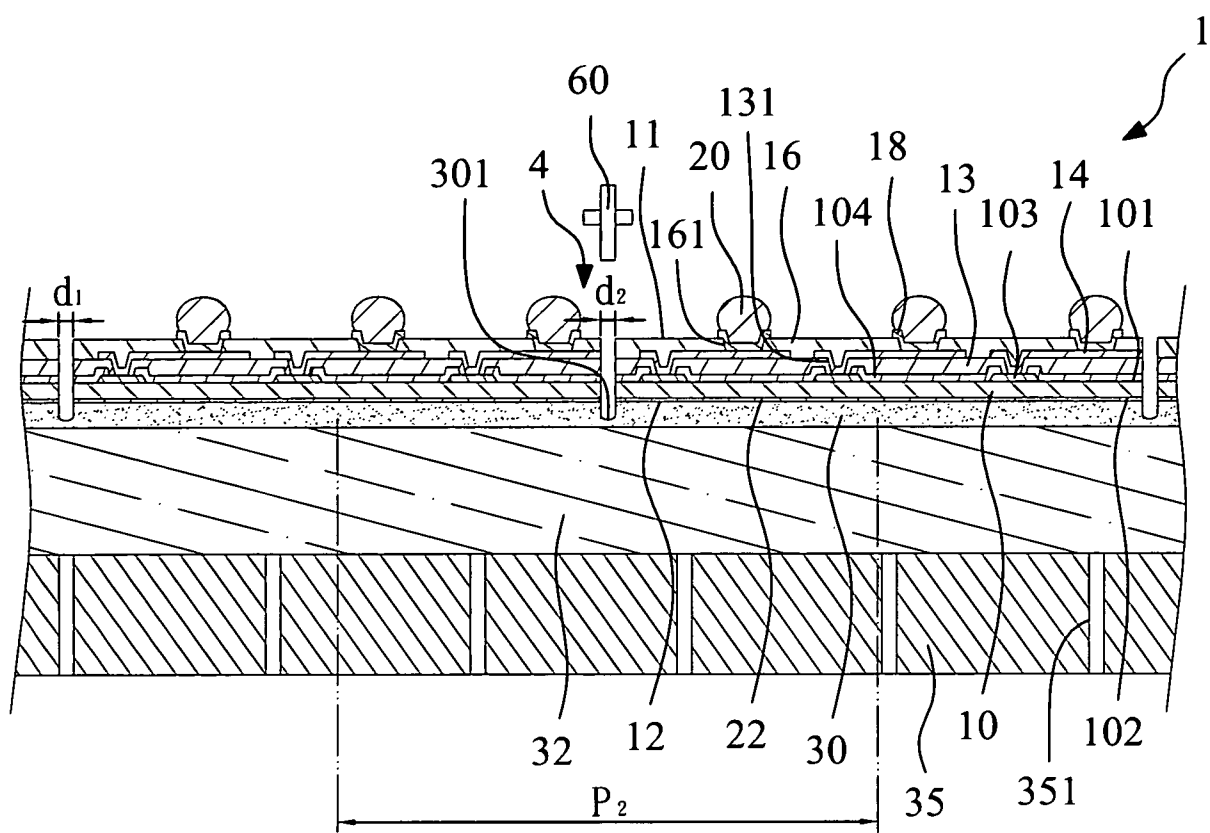


圖9

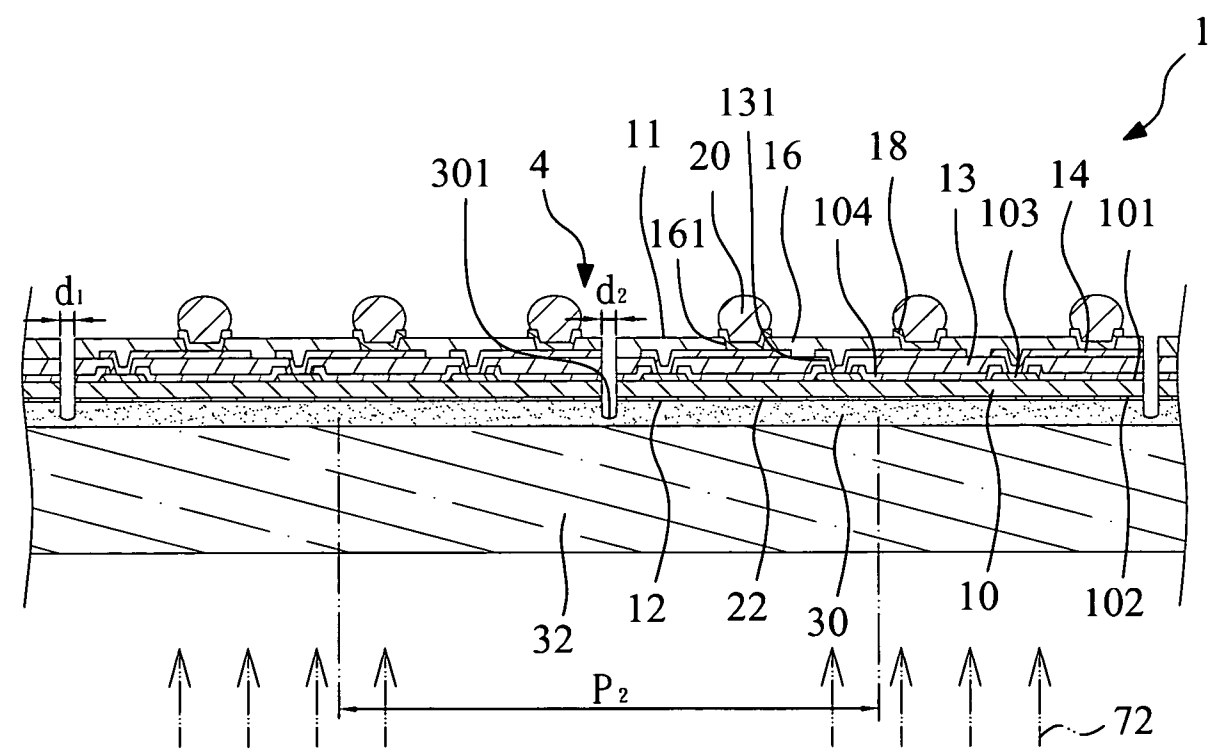


圖10

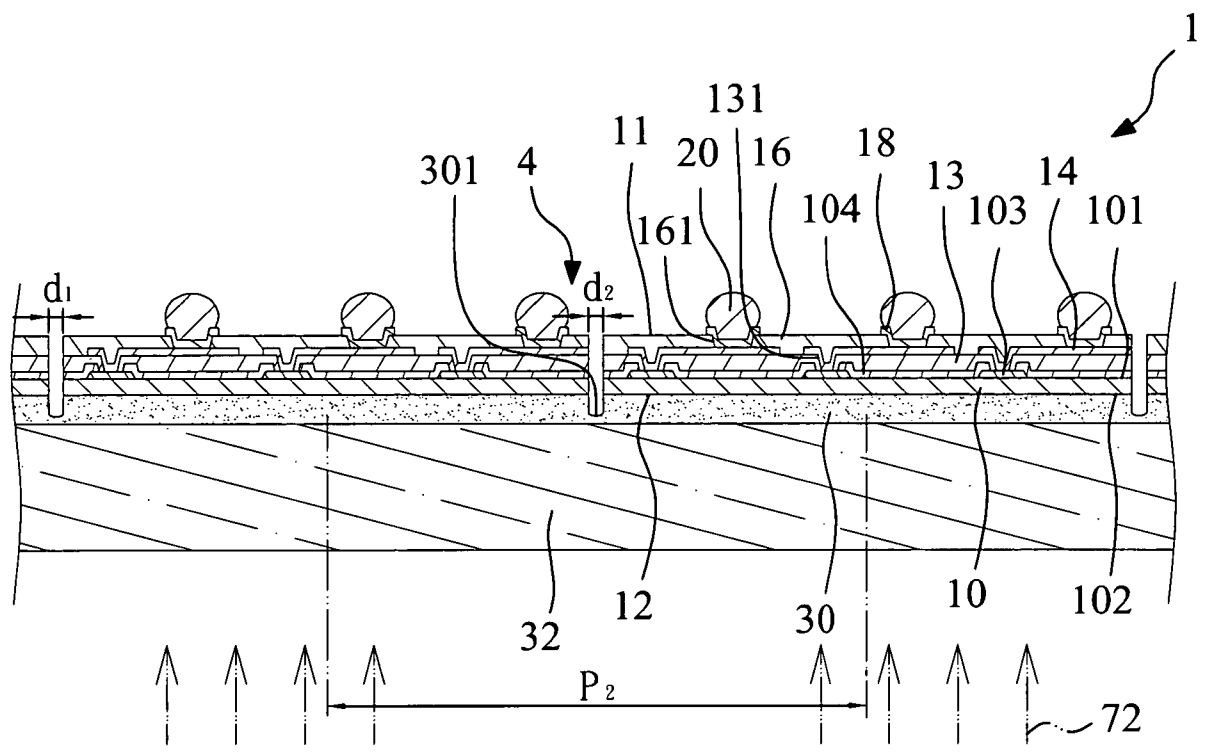


圖11

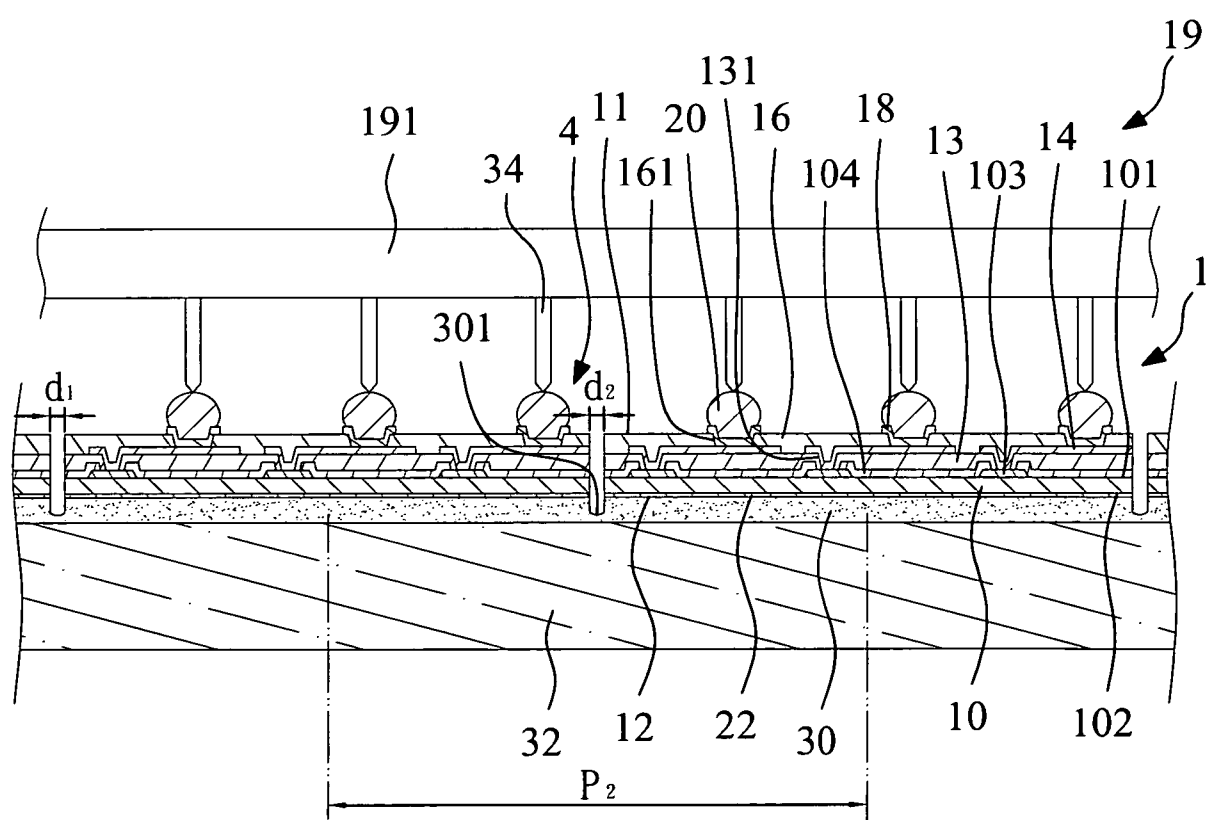


圖12

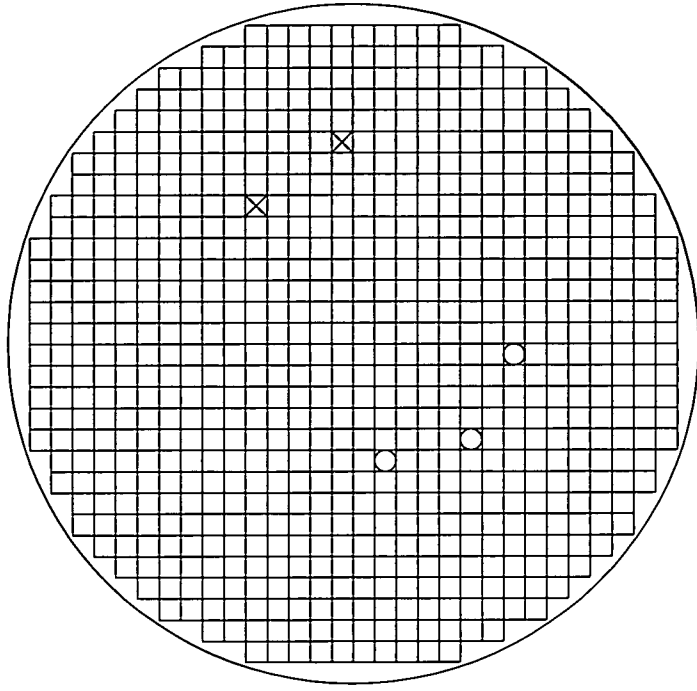


圖12a

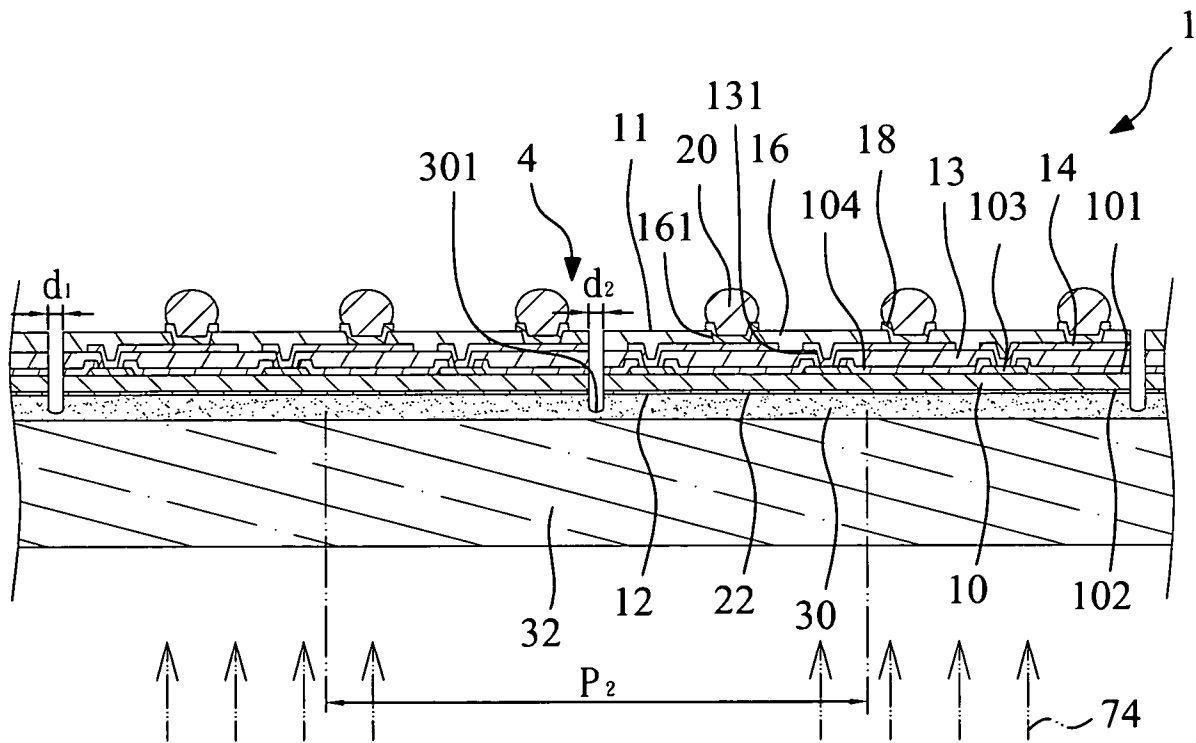


圖13

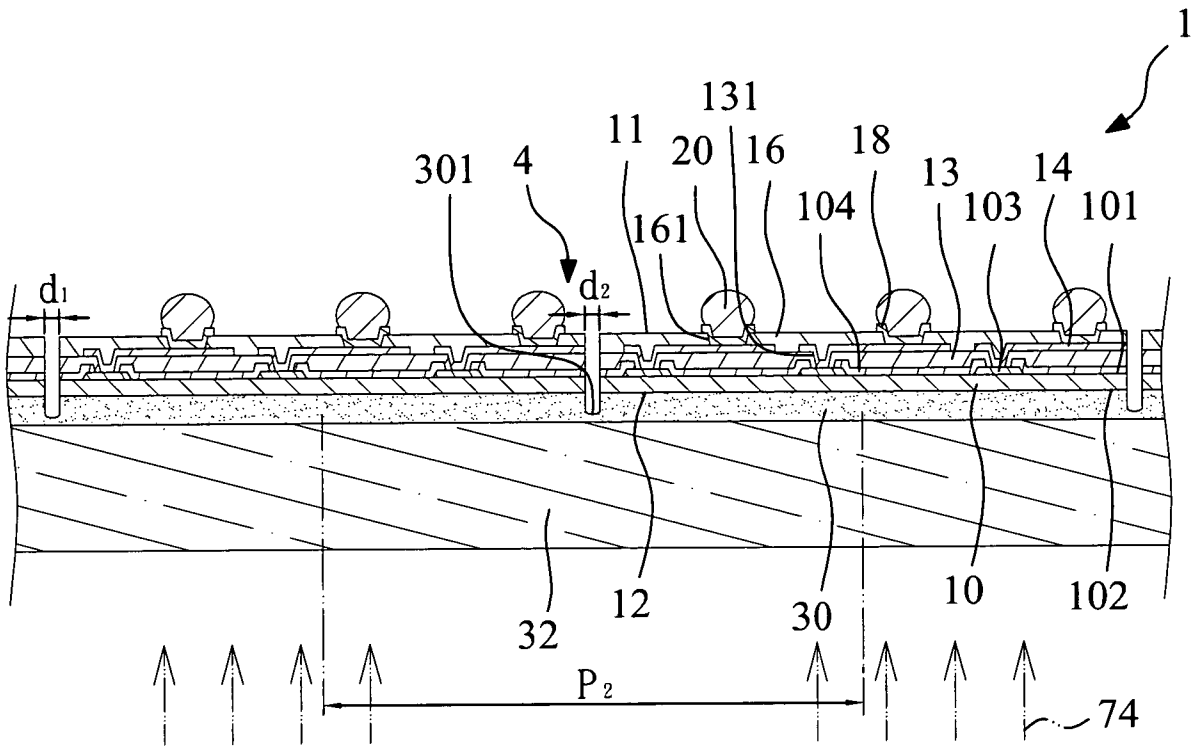


圖14

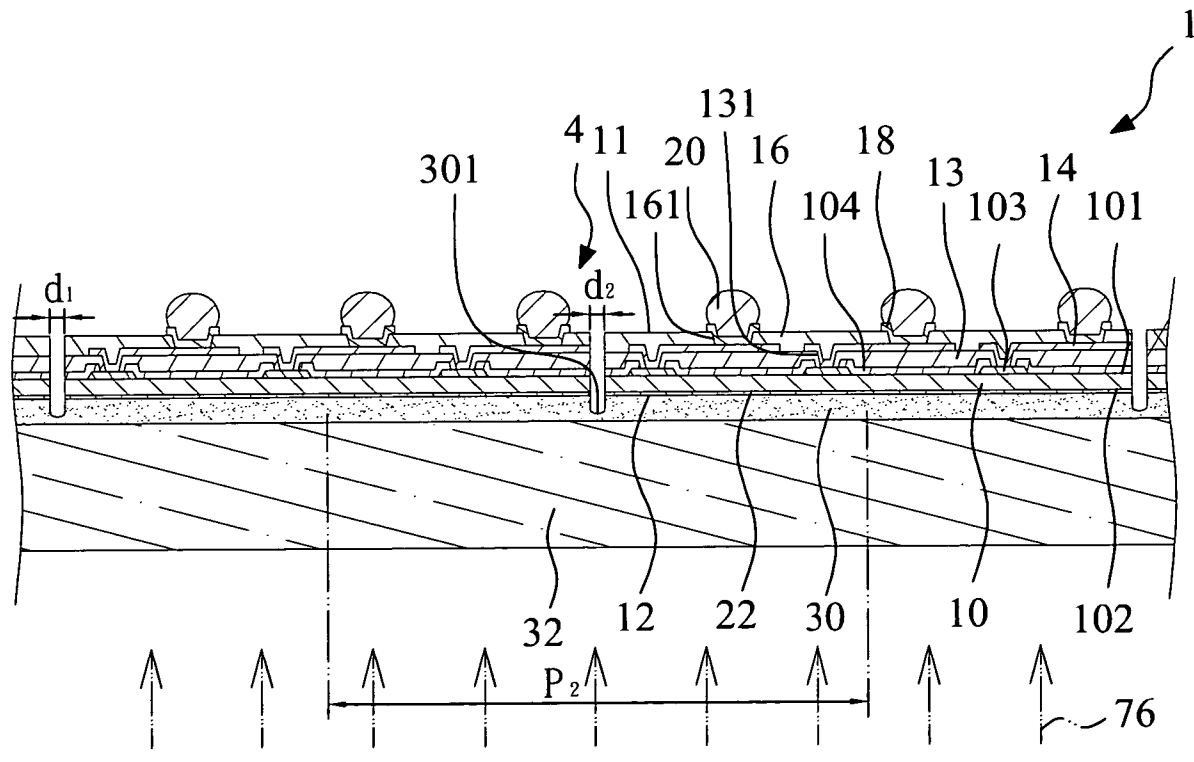


圖15

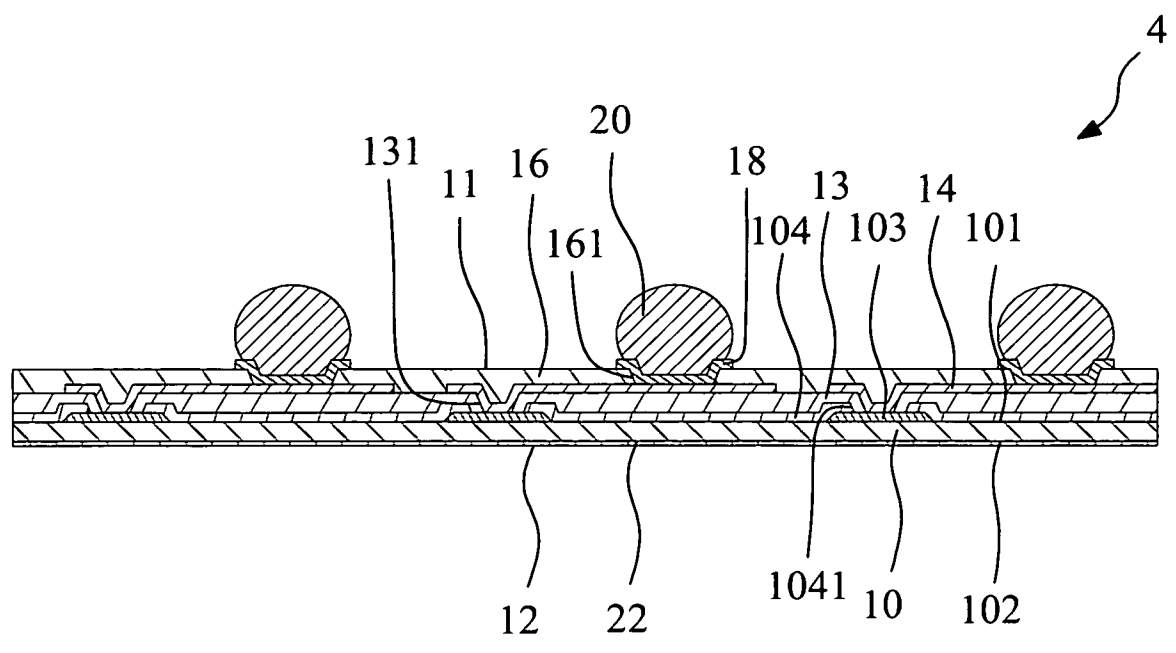


圖16

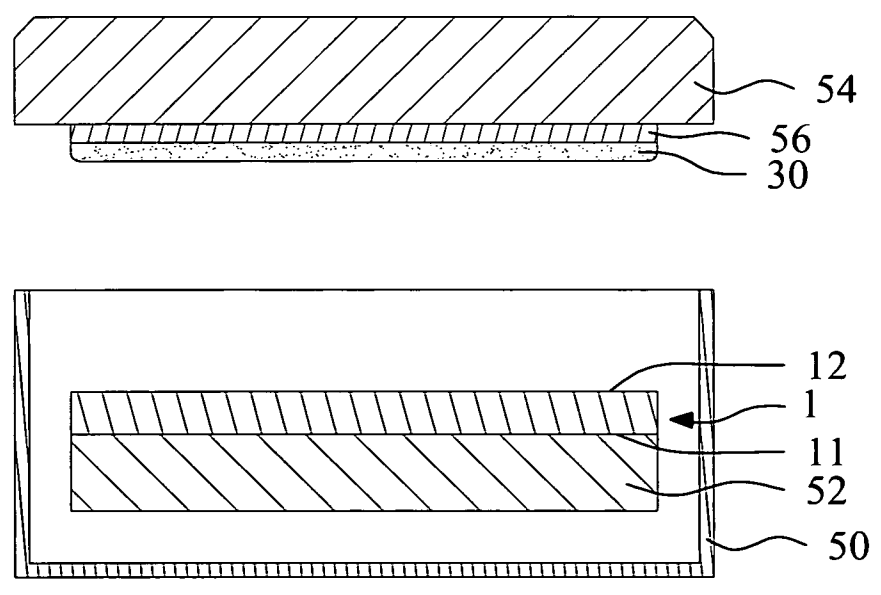


圖17

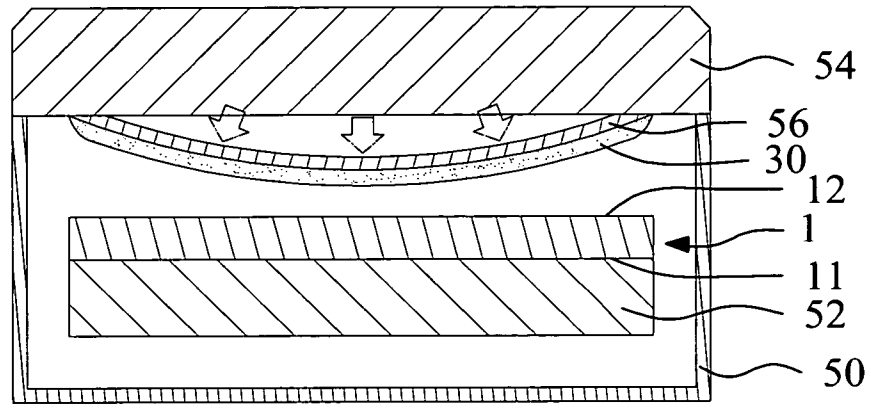


圖18

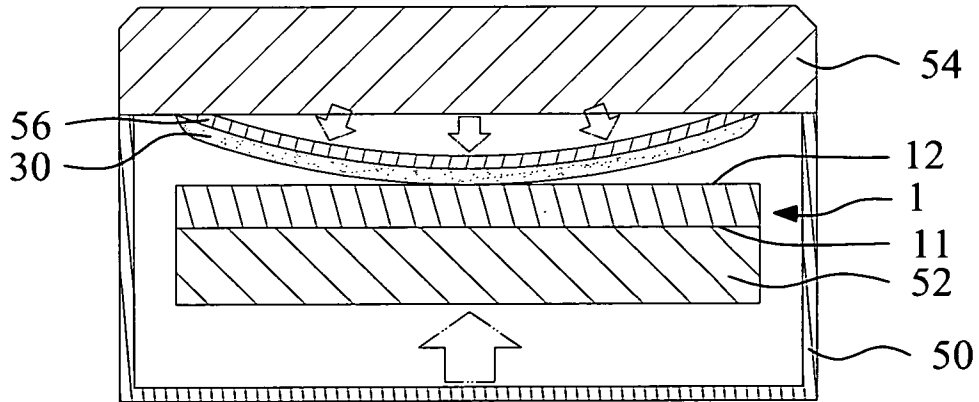


圖19

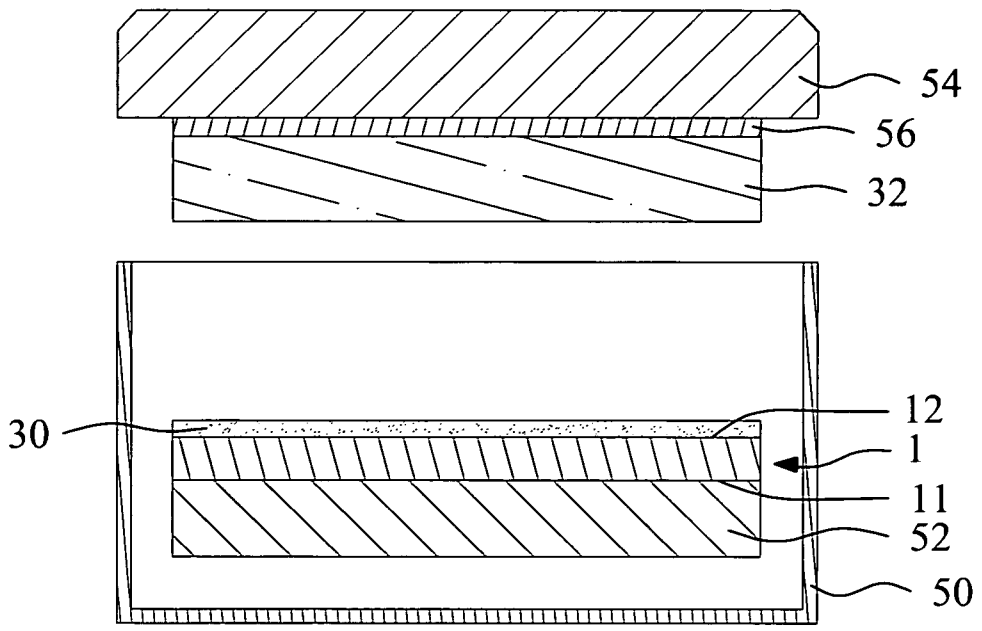


圖20

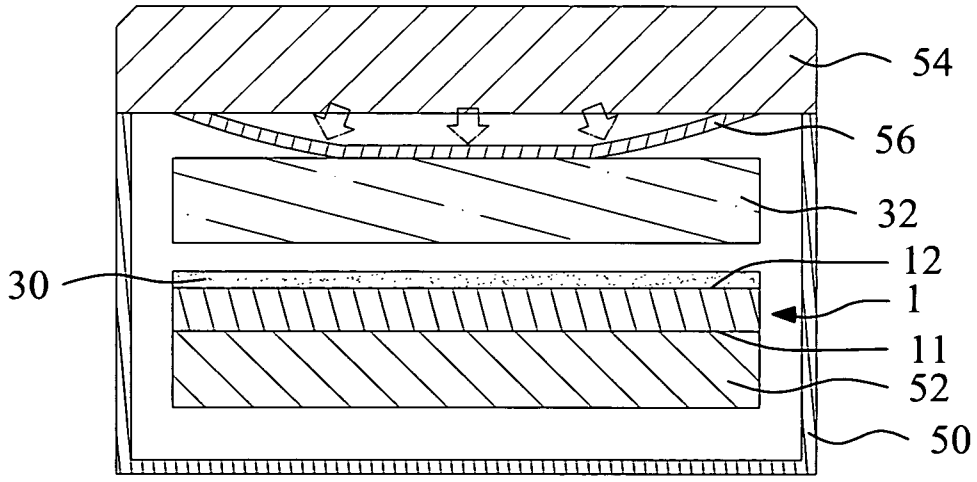


圖21

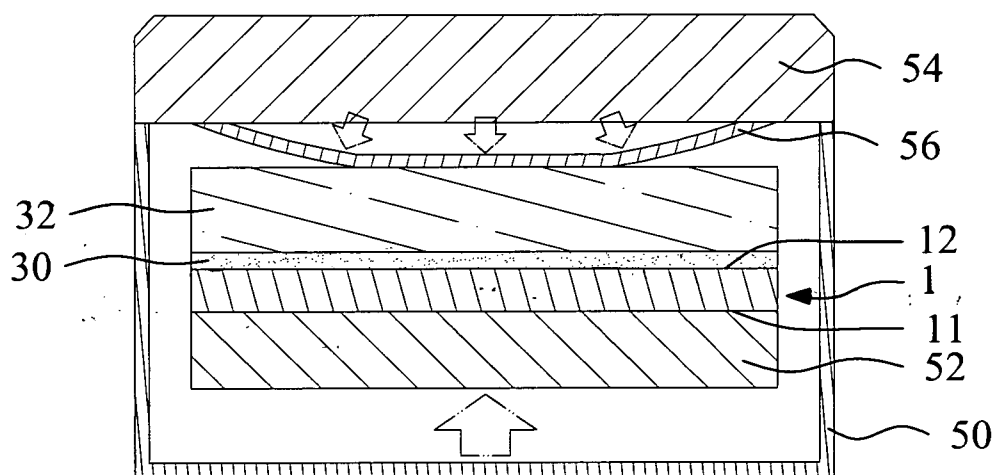


圖22