

公告本

申請日期	85.12.28
案號	85116198
類別	H21C 8238

A4
C4

316330

316330

Int. Cl. (以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	互補式金氧半電晶體淺接面的製造方法
	英文	
二、發明 創作人	姓名	趙天生
	國籍	中華民國
	住、居所	新竹市園後街72巷5號4樓
三、申請人	姓名 (名稱)	趙天生
	國籍	中華民國
	住、居所 (事務所)	新竹市園後街72巷5號4樓
	代表人 姓名	

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係有關於一種互補式金氧半電晶體(CMOS)的製造方法，特別是有關於一種可適用於CMOS中形成非常淺之接面的製造方法，其可以降低深次微米製程的短通道效應。

隨著半導體技術之進步，積體電路元件之尺寸大小也一直朝深次微米而前進。而由於元件縮小所引起之問題也接踵而至，最常見之問題即為短通道效應。在深次微米CMOS技術中，為了降低或防止短通道效應之影響，超淺且低阻值之接面是必須之條件。然而由實驗證明，利用離子佈植法想得到小於 500\AA 之P型接面深度幾乎是不可能的。因此，一般皆採用其他方法，例如固態擴散法，氣體擴散法。其中固態擴散常被採用的是利用硼矽玻璃BSG當作P型之擴散源。

第1A至第1D圖係顯示一種習知利用硼矽玻璃BSG當作P型之擴散源製造CMOS淺接面之流程。製造流程開始於一半導體基底1上，其已形成N井區2、P井區3、以及場氧化層4，且已分別形成複晶矽閘極(polysilicon gate)5、6於上述N井區2以及P井區3之上。首先，形成一光阻層7於N井區2之上，再施行例如是砷離子之離子佈植8，以在P井區3形成N型淺接面9，如第1A圖所示。去除光阻層7後，接著沈積一氧化層10於上述N井區2、P井區3、場氧化層4、以及閘極5、6之上，再加以部份回蝕使得上述氧化層10僅留存在P井區3之上方區域，如第1B圖所示。下一步，沈積一BSG層11，再加以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

回蝕，結果如第 1C 圖所示。最後，分別對 N 井區 2 以及 P 井區 3 施行 P 型以及 N 型離子佈植，然後實施加熱製程，以形成 CMOS 中 PMOS 以及 NMOS 之汲/源極 12、13，其中 N 井區 2 中之淺接面 14 係在加熱製程時由 BSG 層 11 之硼離子擴散出來而形成，而 P 井區 3 由於 BSG 層 11 與 P 井間有氧化層 10 隔絕故其 N 型淺接面 9，不會受到影響，結果如第 1D 圖所示。

上述之方法雖然可以順利在 CMOS 中製造出淺接面，然而，因為 BSG 之形成是全面沈積，故要將不需 P 型淺接面之 N 型電晶體使用一氧化層保護，因而需額外增加了一道光罩。若非如此，則需先完成 N 型電晶體之製作，然後再去使用固態擴散法以形成 P 型電晶體之 P 型淺接面，但如此一來將使得製程更形複雜。

有鑑於此，本發明之一目的係為提供一種互補式金氧半電晶體淺接面的製造方法，適用於深次微米製程中使得 CMOS 得以獲致一超淺且低阻值之接面，以降低短通道效應以及防止通道短路。

本發明之另一目的係為提供一種互補式金氧半電晶體淺接面的製造方法，其製作方法不與傳統 CMOS 製程衝突，而且製程簡單，不會增加額外之製程光罩。

依據本發明可獲致一超淺且低阻值接面的一種互補式金氧半電晶體(CMOS)淺接面的製造方法，可適用於一半導體基底，上述半導體基底上具有 N 井區、P 井區、隔離上述 N 井區和 P 井區之場氧化層、以及分別形成於上述 N 井

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

區和 P 井區中之閘極，上述 CMOS 之製造方法步驟如下：
(a) 使用例如是低壓化學氣相沈積法(LPCVD)形成一複晶矽(polysilicon)層或是一非晶矽(amorphous silicon)層於上述 N 井區、P 井區、場氧化層、以及上述閘極之上；(b) 形成一光阻層於上述 P 井區之上；(c) 施行 P 型離子佈植法，例如採用能量介於 10~30KeV、濃度介於 10^{14} ~ 10^{15} 之硼離子來施行佈植，以將 P 型離子植入上述位於 N 井區上之擴散源層之中；(d) 去除上述 P 井區上之光阻層；(e) 形成一光阻層於上述 N 井區之上；(f) 施行 N 型離子佈植法，例如採用能量介於 10~40KeV、濃度介於 10^{14} ~ 10^{15} 之硼離子或是磷離子來施行佈植，以將 N 型離子植入上述位於 P 井區上之擴散源層之中；(g) 去除上述 N 井區上之光阻層；(h) 使用濕氧化法或是乾氧化法來氧化上述擴散源層，並將摻雜其中之離子分別趨入(drive in)上述 P 井區以及 N 井區中，以形成淺接面。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，做詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1D 圖係顯示一種習知利用硼矽玻璃 BSG 當作 P 型之擴散源製造 CMOS 淺接面之流程；

第 2A 圖至第 2E 圖係顯依據本發明之一種互補式金氧半電晶體淺接面的製造方法；以及

第 3 圖係表示依據本發明之一實驗結果。

五、發明說明(4)

實施例：

本發明之一種互補式金氧半電晶體淺接面的製造方法，可適用於一半導體基底 21，在其基底 21 上已形成有一 P 井區 22、一 N 井區 23、以及分隔上述 P 井區 22 和 N 井區 23 之場氧化物 24，而在 P 井區 22 中以及 N 井區 23 中已分別形成一閘極結構 25、26，如第 2A 圖所示。接著使用低壓化學氣相沈積法沈積一厚度介於 50~100Å 之複晶矽層 27 於上述 P 井區 22、N 井區 23、場氧化物 24、以及閘極結構 25、26 之上，以作為所謂之擴散源層，結果如第 2B 圖所示。

請參照第 2C 圖，在 P 井區 22 之上形成一光阻層 28，以作為離子植入之罩幕，對 N 井區 23 進行能量介於 10~30KeV、濃度介於 10^{14} ~ 10^{15} 之硼離子佈植 29，以使得 N 井區 23 上之擴散源層帶有 P 型離子。接著，請參照第 2D 圖，先去除 P 井區 22 上形成之光阻層 28，而在 N 井區 23 之上形成一光阻層 30，以作為離子植入之罩幕，對 N 井區 22 進行能量介於 10~40KeV、濃度介於 10^{14} ~ 10^{15} 之砷離子佈植 31，以使得 P 井區 22 上之擴散源層帶有 N 型離子。

最後去除光阻層 30 之後，在溫度介於 800~900°C 之範圍下進行濕氧化製程。上述氧化製程將上述之複晶矽層氧化並將其中所帶之 N 型以及 P 型離子分別趨入 P 井區和 N 井區之中，而形成一超淺之淺接面，其中 32 表示 N 型接面，33 表示 P 型接面，如第 2E 圖所示。

第 3 圖係表示依據本發明之實驗結果。圖中之橫座標

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (5)

係表示接面之深度，其縱座標表示濃度。接面之濃度由表面逐次減少，深度愈深濃度愈低，而一般定義所謂接面之深度係以該接面之濃度達到約 10^{18} 時其距離表面之距離為深度。所以由第 3 圖曲線 A 可知其 N^+/P 接面深度約介於 400~500Å 之間。

請參照表一，其顯示未來半導體技術之進程以及規格要求，其中接面深度單位為 Å。

表一

年度	1995	1998	2001	2004	2007	2010
製程範圍	0.35 μ m	0.25 μ m	0.18 μ m	0.13 μ m	0.10 μ m	0.07 μ m
電源	3.3V	2.5V	1.8V	1.5V	1.2V	0.9V
接面深度	700~1500	500~1200	300~800	200~600	150~450	100~300

由上表對照上述之實驗結果可知，應用本發明所製作之淺接面，除了可防止短通效應之外，其又已領先符合未來 (2004 年) 之製程對於接面深度之要求，頗具前瞻性，況且本發明製程簡單，與傳統 CMOS 製程相容，更是符合經濟之效益可提昇競爭力。

雖然本創作已以較佳實施例揭露如上，然其並非用以限定本創作，任何熟悉本項技藝者，在不脫離本創作之精神和範圍內，當可做些許之更動和潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。

四、中文發明摘要 (發明之名稱: 互補式金氧半電晶體淺接面的製造方法)

一種互補式金氧半電晶體 (CMOS) 淺接面的製造方法，可適用於一半導體基底，上述半導體基底上具有 N 井區、P 井區、隔離上述 N 井區和 P 井區之場氧化層、以及分別形成於上述 N 井區和 P 井區中之閘極，上述 CMOS 之製造方法步驟如下：(a) 形成一擴散源層於上述 N 井區、P 井區、場氧化層、以及上述閘極之上；(b) 形成一光阻層於上述 P 井區上方的上述擴散源層上；(c) 施行 P 型離子佈植法，以將 P 型離子植入上述位於 N 井區上之擴散源層之中；(d) 去除上述 P 井區上之光阻層；(e) 形成一光阻層於上述 N 井區上方的上述擴散源層上；(f) 施行 N 型離子佈植法，以將 N 型離子植入上述位於 P 井區上之擴散源層之中；(g) 去除上述 N 井區上之光阻層；(h) 氧化上述擴散源

英文發明摘要 (發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱:)

層，並將摻雜其中之離子分別趨入(drive in)上述 P 井區以及 N 井區中，以形成淺接面。

應用本發明之 CMOS 製造方法有以下優點：一、與傳統之 CMOS 製程不衝突；二、不需多餘之光罩製程簡單；三、製造而得之 CMOS 元件具有很淺之汲/源極接面，可降低短通道效應，以及沒有離子佈植所導致的缺陷。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱:)

六、申請專利範圍

1. 一種互補式金氧半電晶體(CMOS)淺接面的製造方法，可適用於一半導體基底，上述半導體基底上具有N井區、P井區、隔離上述N井區和P井區之場氧化層、以及分別形成於上述N井區和P井區中之閘極，上述CMOS之製造方法步驟如下：

(a) 形成一擴散源層於上述N井區、P井區、場氧化層、以及上述閘極之上；

(b) 形成一光阻層於上述P井區之上；

(c) 施行P型離子佈植法，以將P型離子植入上述位於N井區上之擴散源層之中；

(d) 去除上述P井區上之光阻層；

(e) 形成一光阻層於上述N井區之上；

(f) 施行N型離子佈植法，以將N型離子植入上述位於P井區上之擴散源層之中；

(g) 去除上述N井區上之光阻層；

(h) 氧化上述擴散源層，並將摻雜其中之離子分別趨入(drive in)上述P井區以及N井區中，以形成淺接面。

2. 如申請專利範圍第1項所述一種互補式金氧半電晶體的製造方法，其中上述擴散源層係使用低壓氣相沈積法(LPCVD)形成。

3. 如申請專利範圍第1項所述之一種互補式金氧半電晶體的製造方法，其中上述擴散源層為厚度介於50至100Å之間的複晶矽層。

4. 如申請專利範圍第1項所述之一種互補式金氧半電

六、申請專利範圍

晶體的製造方法，其中上述擴散源層為厚度介於 50 至 100Å 之間的非晶矽層。

5. 如申請專利範圍第 1 項所述之一種互補式金氧半電晶體的製造方法，其中上述 P 型離子植入法係使用能量介於 10~30KeV，濃度介於 10^{14} ~ 10^{15} 之硼離子，來進行佈植。

6. 如申請專利範圍第 1 項所述之一種互補式金氧半電晶體的製造方法，其中上述 N 型離子植入法係使用能量介於 10~40KeV，濃度介於 10^{14} ~ 10^{15} 之砷離子，來進行佈植。

7. 如申請專利範圍第 1 項所述之一種互補式金氧半電晶體的製造方法，其中上述 N 型離子植入法係使用能量介於 10~40KeV，濃度介於 10^{14} ~ 10^{15} 之磷離子，來進行佈植。

8. 如申請專利範圍第 1 項所述之一種互補式金氧半電晶體的製造方法，其中氧化上述擴散源層，係在 800~900°C 之溫度範圍下進行濕氧化法(wet oxidation)。

9. 如申請專利範圍第 1 項所述之一種互補式金氧半電晶體的製造方法，其中氧化上述擴散源層，係在 800~900°C 之溫度範圍下進行乾氧化法(dry oxidation)。

10. 如申請專利範圍第 1 項所述之一種互補式金氧半電晶體的製造方法，其中亦可以先進行步驟(e)、(f)、(g)後再進行步驟(b)、(c)、(d)。

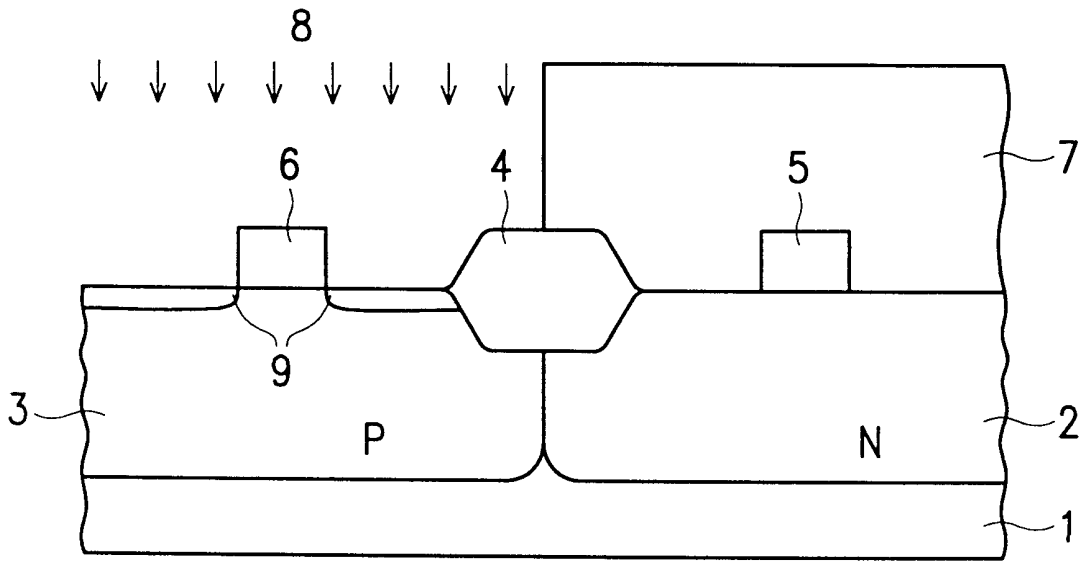
11. 一種互補式金氧半電晶體元件，其具有源/汲極淺接面，係依據申請專利範圍第 1 項所述之製造方法製造而得。

(請先閱讀背面之注意事項再填寫本頁)

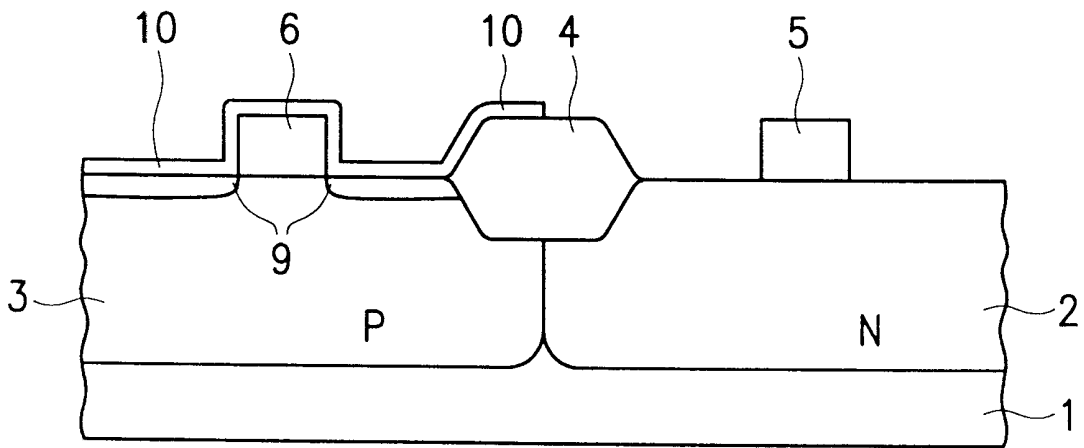
裝

訂

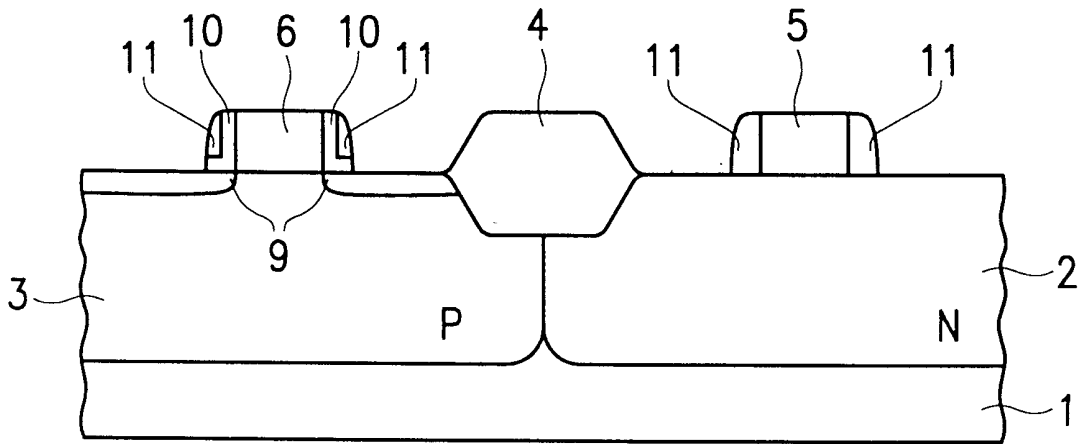
線



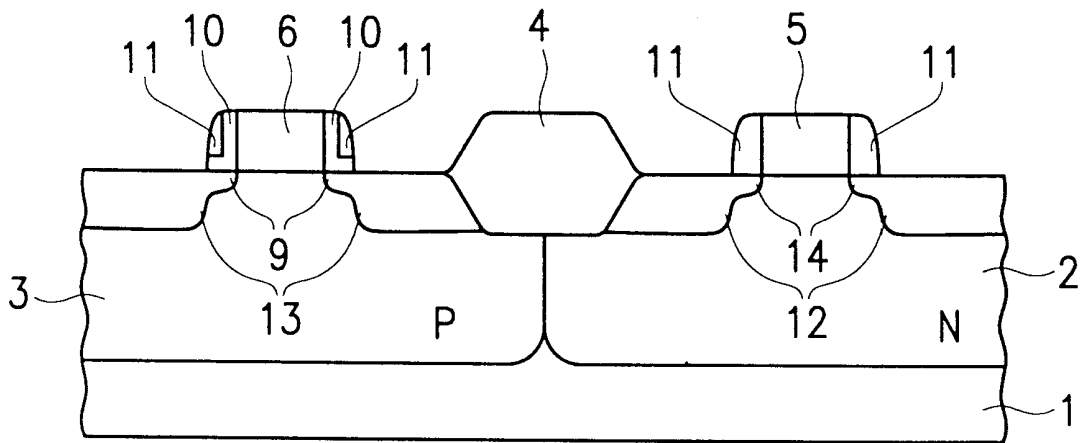
第1A圖



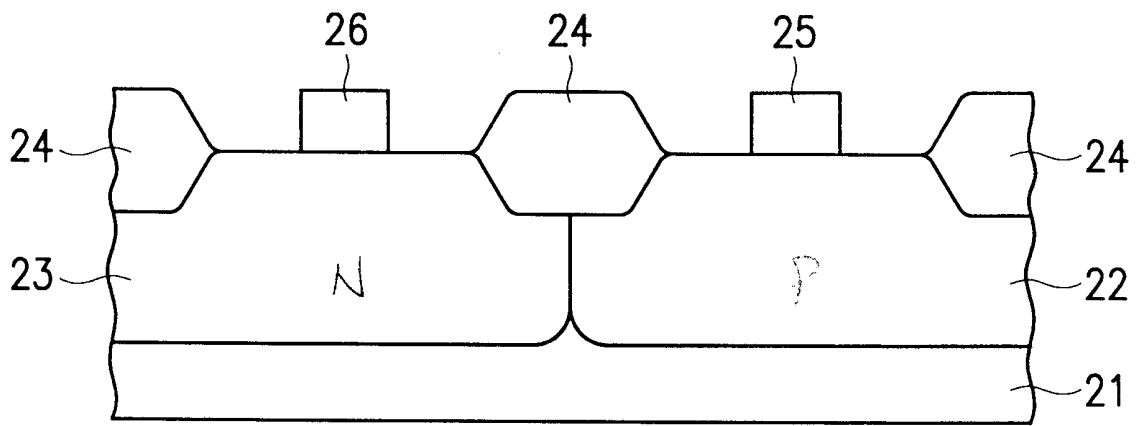
第1B圖



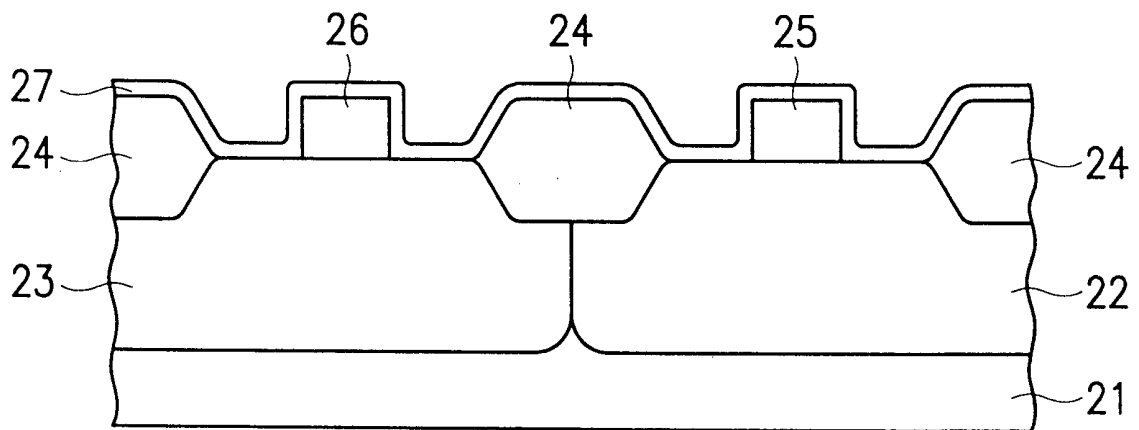
第 1C 圖



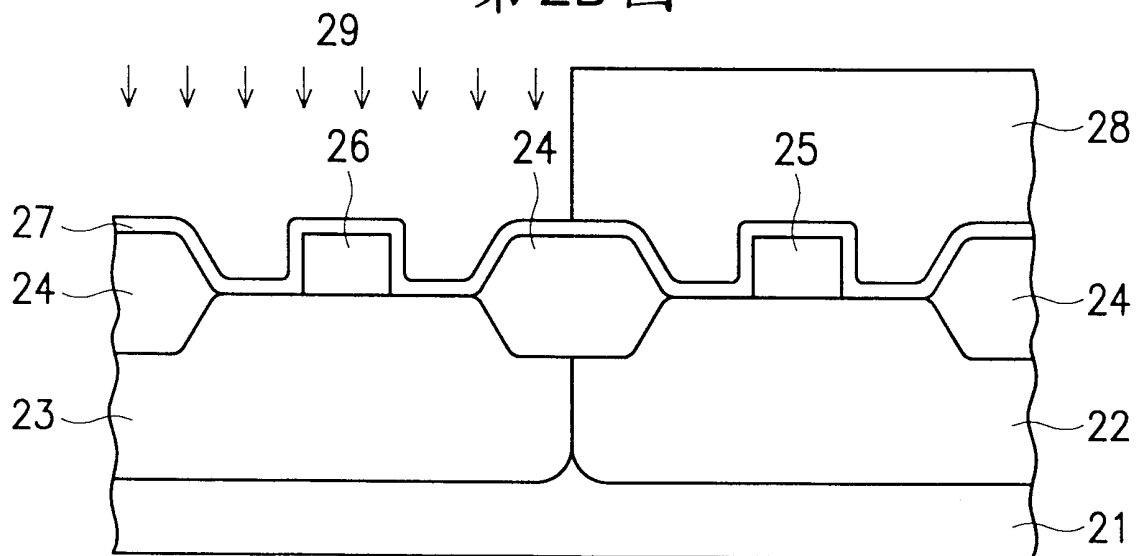
第 1D 圖



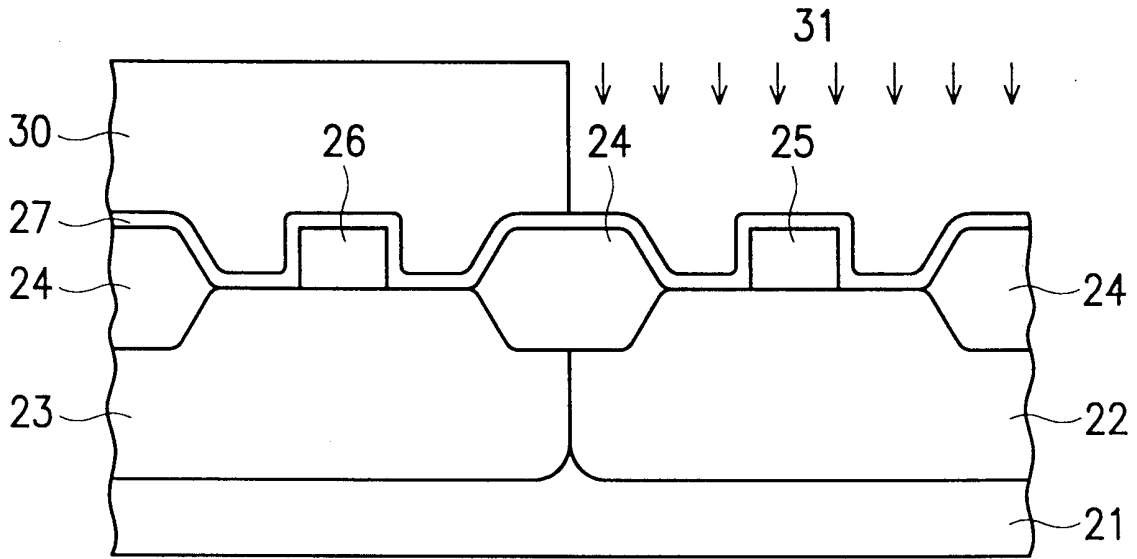
第2A圖



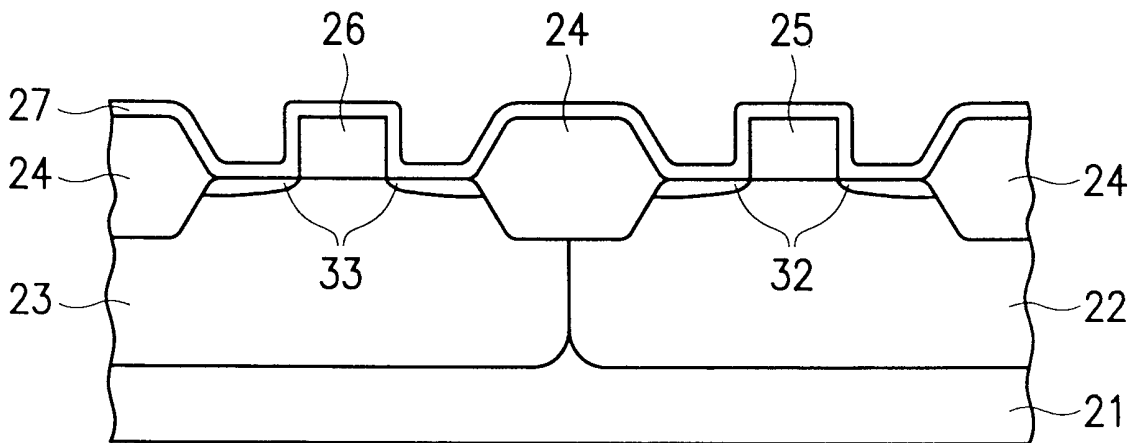
第2B圖



第2C圖

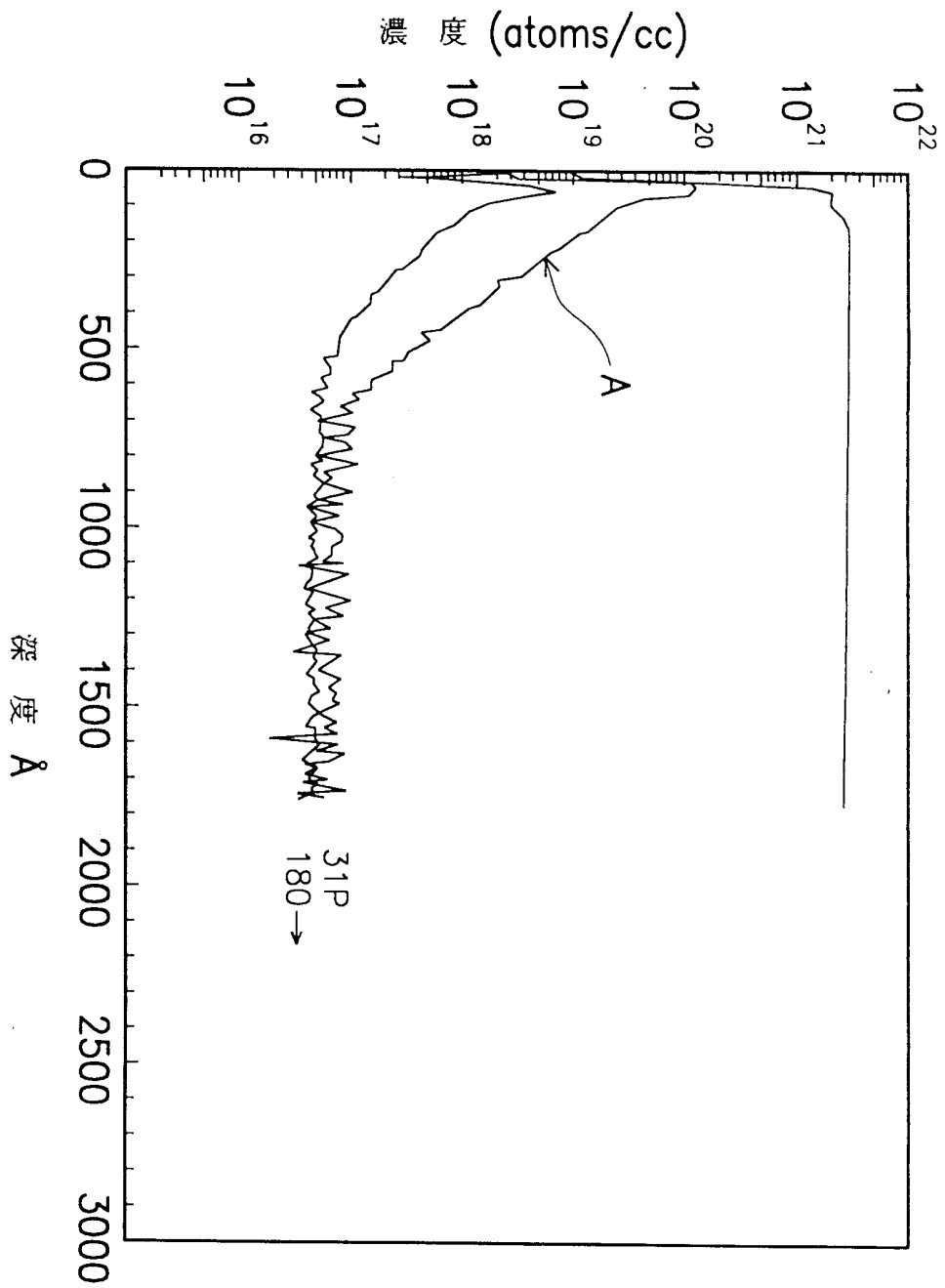


第2D圖



第2E圖

316330



第 3 圖