

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4350227号
(P4350227)

(45) 発行日 平成21年10月21日(2009.10.21)

(24) 登録日 平成21年7月31日(2009.7.31)

(51) Int. Cl.		F I	
HO 1 L 21/203	(2006.01)	HO 1 L 21/203	M
HO 1 L 21/02	(2006.01)	HO 1 L 21/02	B
HO 1 L 21/205	(2006.01)	HO 1 L 21/205	
HO 1 L 21/306	(2006.01)	HO 1 L 21/306	B
HO 1 S 5/343	(2006.01)	HO 1 S 5/343	

請求項の数 4 (全 12 頁)

(21) 出願番号 特願平11-264699
 (22) 出願日 平成11年9月20日(1999.9.20)
 (65) 公開番号 特開2001-93836(P2001-93836A)
 (43) 公開日 平成13年4月6日(2001.4.6)
 審査請求日 平成18年9月20日(2006.9.20)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100086483
 弁理士 加藤 一男
 (72) 発明者 宮澤 誠一
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

審査官 菅野 智子

(56) 参考文献 特開平08-088185(JP,A)

最終頁に続く

(54) 【発明の名称】 半導体結晶成長方法

(57) 【特許請求の範囲】

【請求項1】

半導体を結晶成長させる半導体結晶成長方法において、
 基板に傾斜した側壁を有する溝を形成し、該基板に凹部と凸部を形成する工程と、
 前記凸部の上面の一部に第1の選択成長用マスクを形成する工程と、
 前記傾斜した側壁から横方向に半導体結晶を成長させる工程と、を有し、
 前記凸部の上面の前記第1の選択成長用マスクが形成されてない領域によって、前記基板
 の上に表面の平坦化された半導体層を形成させることを特徴とする半導体結晶成長方法。

【請求項2】

前記凹部の底面に第2の選択成長用マスクを形成する工程を有し、
 前記凹部の底面と前記半導体層の間に空洞部を形成することを特徴とする請求項1に記載
 の半導体結晶成長方法。

【請求項3】

前記傾斜した側壁から横方向に成長された半導体結晶膜の格子定数が前記基板の格子定数
 とは異なる請求項1または2に記載の半導体結晶成長方法。

【請求項4】

前記凸部の上面が(100)面であることを特徴とする請求項1から3のいずれかに記載
 の半導体結晶成長方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、化合物半導体材料を利用した半導体デバイス等に使用される基板構造などの作製に係る半導体結晶成長方法に関する。

【0002】**【従来技術】**

GaAs、InP系に代表される単結晶化合物半導体材料は、高速トランジスタ、フォトディテクタ、半導体レーザ、発光ダイオード等に広く用いられ、重要な材料となっている。さらに近年、MOCVD法、MBE法、CBE法などによる結晶成長法の改善により、超薄膜構成が実現され、これまでにない優れた特性のデバイスを実現させている。しかし、この様な優れた特性を有する材料でありながら、多くの化合物半導体材料はまだ未開発の状況にある。その要因は、化合物半導体を成長する為の基板が限られていることにある。

10

【0003】

優れた特性を有する化合物半導体デバイスを作製しようとした場合、欠陥の少ない半導体材料を成長する必要がある。基板の格子定数と成長する化合物半導体材料の格子定数がずれていると、成長した化合物半導体材料に欠陥が入り、所望の特性が得られないことになる。現在実用化されている基板としては、Si、GaAs、InP、InAs、InSb等が挙げられるが、これらの基板により実現されている化合物半導体材料は化合物半導体全体の数%であり、任意の格子定数を有する化合物半導体材料を成長する技術は、今後の化合物半導体材料技術の発展に大きな影響力を及ぼすと考えられる。

20

【0004】

基板の格子定数と異なった材料を成長する検討例としては、Si基板上にGaAsデバイスを形成したものが挙げられる。Si基板上に欠陥の少ないGaAsを成長する為に、SiとGaAs膜の界面にこれら2つの材料の中間の格子定数を持つ層を形成する手法や、貫通転位を低減する為に超格子構造を入れる手法や、一旦低温でGaAsを形成した後に温度を上げて結晶化して結晶の欠陥を低温層に閉じ込める2段階成長法など、幾つかの格子緩和法および欠陥低減法が提案されている。

【0005】

これらの検討の結果、Si基板の上に室温連続発振するGaAs半導体レーザを実現するまでに至っている。しかし、残念ながら寿命が短く、また特性的にもGaAs基板上に作製した物とは大きな差があり、実用化には至っていない。この根本的原因は、格子定数の違いにより発生した欠陥を低減出来ていないことにある。

30

【0006】**【発明が解決しようとする課題】**

本発明の目的は、基板とその上に形成する半導体材料の格子定数が異なっても欠陥の少ない良質の半導体材料を形成できる基板構造などの作製に係る半導体結晶成長方法を提供することにある。

【0007】**【課題を解決するための手段および作用】**

上記目的を達成する本発明の半導体を結晶成長させる半導体結晶成長方法は、基板に傾斜した側壁を有する溝を形成し、該基板に凹部と凸部を形成する工程と、前記凸部の上面の一部に第1の選択成長用マスクを形成する工程と、前記傾斜した側壁から横方向に半導体結晶を成長させる工程と、を有し、前記凸部の上面の前記第1の選択成長用マスクが形成されてない領域によって、前記基板の上に表面の平坦化された半導体層を形成させることを特徴とする。(100)面等の基準面から傾いた面を形成して横方向成長させることにより、欠陥の伸びる方向が制御され、基板とは格子定数の異なる良質の半導体膜が形成される。

40

【0008】

上記基本構成に基づいて以下の様なより具体的な形態が可能である。傾いた面と基準面の境界付近から選択的に成長が発生し結晶膜が形成される。これにより

50

、半導体結晶膜の表面の平坦化が助長される。

【0009】

選択的に形成される結晶膜中に超格子を含んだり、高濃度の不純物を含んだりすれば、膜質を更に向上させられる。

【0010】

また、選択的に形成される結晶膜の格子定数が基板の格子定数とは異なる場合に、選択的に形成される結晶膜の組成が徐々に変化する様にしても、膜質を更に向上させられる。

【0011】

基準面は、代表的には、(100)面である。InP(100)面を有する基板を加工し、(100)面から傾いた斜面を形成して横方向成長させたり、GaAs(100)面を有する基板を、InP(100)面を有する基板の場合とは異なる方位に加工し、(100)面から傾いた面を形成して横方向成長させたりする。また、InP(100)面を有する基板上に多層構成を形成し、(100)面から傾いた面を形成して横方向成長させることもできる。

10

【0012】

この場合、(100)面上に、(100)面から $\langle 0-11 \rangle$ 方向に傾斜した傾いた面が $\langle 0-1-1 \rangle$ 方位にストライプ状に形成されたり、(100)面上に、(100)面から $\langle 0-1-1 \rangle$ 方向に傾斜した傾いた面が $\langle 0-11 \rangle$ 方位にストライプ状に形成されたりする。ここにおいて、(100)面上に、傾いた面がストライプ状に形成され、その伸びている方向と $\langle 0-1-1 \rangle$ 軸の成す角が 45° から 80° であったり、その伸びている方向と $\langle 0-1-1 \rangle$ 軸の成す角が 15° から 35° であれば、横方向成長速度を大きくできる。この様に、傾いた面を形成する方向を面内で回転することにより、成長速度を改善し、格子定数の異なる良質な面を形成できる。

20

【0013】

傾いた面と(100)面の成す角度を、 20° 付近より小さくしたり、 30° 付近にしたりすることでも、横方向成長速度を大きくできる。傾いた面は、例えば、(111)A面であったり、基板が半導体材料であったり、選択的に形成される結晶膜が三元混晶、四元混晶、または五元以上の混晶であったりする。

【0014】

また、傾いた面は、ストライプ状に平行に形成された複数の凸部の傾斜面であり得る。この場合、複数の凸部の傾斜面に選択的に形成される結晶膜が、1つに繋がっている様にもできる。更に、複数の凸部の傾斜面に選択的に形成される結晶膜の上に他の材料の結晶膜が形成され更にその上に該選択的に形成される結晶膜に格子整合した結晶膜が形成される様にもできる。

30

【0015】

本発明の基板構造の作製方法では、傾いた面の少なくとも一部を残して選択成長膜が基板上に形成され、該選択成長膜をマスクとしてMBE法、MOCVD法、MOVPE法、CBE法、或はハイドライドVPE法により結晶膜が選択的に形成されてもよい。

【0016】

また、本発明の基板構造の作製方法では、傾いた面を成長或はエッチングにより形成してもよい。例えば、加工したInP上に成長を施すことにより、(100)面から傾いた低角度の斜面を形成できる。

40

【0017】

また、本発明の基板構造作製法は、成長により任意の格子定数を持つ膜を含む多層構成が作製された上記の基板構造を作製する工程と、該多層の特定の半導体膜をエッチングして所定の半導体膜を別の基板に転写する工程を含んでもよい。ここで、基板構造において基板とこれと格子定数の異なる膜との間に部分的に空洞が形成されており、この空洞からエッチング液を導入し、該所定の半導体膜を剥離する様にできる。

【0018】

【発明の実施の形態】

50

以下に本発明の具体的な実施の形態を図を参照しつつ説明する。

【0019】

(実施例1)

本発明の第1の実施例を図1から図4を用いて説明する。図1において、(100)面を持つInP基板に通常のホトリソ工程により溝2を形成する。図1の構成の作製法としては、(100)面を持った基板にレジストを塗布し、所望の構成をパターンニングする。このレジストをマスクとして、InP基板をエッチングする。ここで使用したエッチング液は塩酸、磷酸系の混合液を使用している。この後、全体にSiO₂膜を形成し、ホトリソ工程により、斜面部3と凸部1の肩の部分のSiO₂を除去している。こうして、選択成長膜を実現する為のマスク4、5が形成される。

10

【0020】

この他の基板加工法としては、リフトオフ法を用いた方法がある。簡単な加工法を図5に示す。図5(a)に示す様に、基板31上にSiO₂32とレジスト33を塗布する。この後、図5(b)に示す様にレジスト33をパターンニングする。このレジスト33をマスクとして、SiO₂32をエッチングする。この時、オーバーエッチングし、レジスト幅より狭くする。この狭くしたSiO₂32をマスクとして図5(d)の34に示す様に基板であるInP31をエッチングする。さらに、凸部の肩部分にInP31の(100)面を露出する為に、図5(e)の32に示す様にSiO₂をサイドエッチングする。

【0021】

この後、図5(f)の35に示す様にSiO₂を全体に蒸着する。例えば、スパッタとかプラズマなどで形成する。最後に、図5(g)の様にレジスト33のリフトオフで図1に示す様な構成が完成する。

20

【0022】

この様に加工した基板の断面の構成を図1を用いて詳しく説明する。

【0023】

図1の1はエッチングにより残した凸部で、凸部上面の面指数は(100)面である。2は溝である。幅は溝上部で20μmとし、エッチングの深さも同程度としている。3はエッチングにより形成された面である。ここでは、約45°の面が形成されている。斜面部3はA面(In面)が形成されている。尚、面3の角度は45°に限るわけではない。(100)面から傾いていることが重要である。4、5は選択成長膜を実現する為のマスクである。ここでは、SiO₂を使用している。厚みは50nmである。選択成長膜にはSiN_xなども使用可能であり、選択性があれば誘電体に限らない。例えば、誘電体膜だけでなく、金属などでもよい。この誘電体膜4、5は斜面からの成長を促進させる目的で形成されている。

30

【0024】

この様な構成を持った基板にGaAsを成長した例を図2をもって説明する。図2(a)は図1に示した基板上にGaAs膜7をCBE(有機分子線エピタキシャル)法を用いて成長したところである。基板温度は540℃として、TEGを4sccmとし、AsH₃を2sccm流しながら成長している。基板は毎分30回転させている。GaAsの成長は、SiO₂4、5が有る部分では成長せず、下地のInPが露出している部分から成長する。この結果、図2(a)の矢印6に示す様に、斜面部3から横方向に成長する部分が主となる。

40

【0025】

成長させているGaAsはInPと格子整合していないものである。通常、(100)面に成長した場合はミスフィット欠陥が形成され、GaAs膜中には貫通転位などが形成される。しかし、斜面から発生した成長では横方向成長であるため、成長した膜の表面には欠陥が及ばない。尚、図1にも示した様に、(100)面を凸部1の肩の部分に残している理由は、表面の平坦化を補助する為である。(100)面は成長途中で発生するが、初期からあった方が平坦化が促進される。最終的な構成としては図2(b)に示した様な構成とし、7に示す様に結合し表面は平坦化させる。この様に、基板を加工して横方向成長

50

させることにより、格子整合していない成長においても良好な半導体結晶が得られる。

【0026】

図1に示した断面構成を図3の9に示したストライプ状に形成する。埋め込むことを考慮した場合は、ピッチを制御しておく必要がある。ここでは $\langle 0 - 1 1 \rangle$ 方向に形成した。この例では、 $30 \mu\text{m}$ ピッチで形成し、溝間は $20 \mu\text{m}$ である。この様に等間隔に形成しておくことにより、基板全体を埋めることが可能となる。尚、ここでは図2(b)に示す様に埋め込んだが、必ずしも埋め込まずとも使用可能である。たとえば、部分的に形成した膜を、別の基板に転写することにより、部分的に格子定数の異なる領域を形成することが可能となる。

【0027】

図4(a)はCBE成長法またはMBE法でInP上にGaAsを成長した場合の、(100)面上の成長速度と(100)面から傾けて行った時の成長速度について示したものである。(100)面から傾けた角度が 20° 付近に速度の遅い面が形成されるが、その前後では成長速度は上がり、横方向成長には望ましい構成である。特に、 20° 以下の斜面で最も速い成長速度が得られ、望ましい構成である。CBE法などではA面とB面の成長速度差は比較的小さく同じ傾向を示すが、他の方法では異なる。

【0028】

図4(b)はMOVPE法でGaAsを成長した場合の(100)面上の成長速度と(100)面から傾けて行った時の成長速度について示したものである。(100)面から傾けた角度が 25° 付近に成長速度のピークが形成され、それ以降の角度では成長速度は低下している。(100)面となす角度が 45° 以下程度の面を用いることが、成長速度が早く、望ましいと考えられる。MOVPEでは、A面、B面の差が比較的大きく、A面(Inが露出しやすい)の方が速度が速い。

【0029】

図4(c)はハイドライドVPEおよびクロライドVPE法でGaAsを成長した場合の成長速度の面依存性を示している。A面上への成長では(111)面の成長速度が早く、横方向成長には適していると考えられる。B面方位では(311)面で速度が早く、望ましい。つまり、成長速度の速い面は成長法により異なり、成長法に従って構造に反映させていくことが必要である。

【0030】

また、成長膜としてはGaAsに限られるわけではない。本手法の主旨は、基板と格子定数の異なる良質の膜を形成することにある。よって、成長膜としてはSiや、InP、GaSb等の2元系や、InGaAs、GaAsP、InGaP、GaAsSb、InAsAlなどの3元混晶や、AlInAsP、InGaAsP、InGaAsAlなどの4元混晶が挙げられる。特に格子定数の制御が可能な3元混晶、4元混晶、5元混晶以上は望ましいものである。基本的に成長可能な材料であればよい。また基板としては、InPだけではなく、Si、GaAs、InSb、サファイア、GaN等でもよく、特に限定されない。

【0031】

また、成長の手法としては、CBE法の他に、MBE法、MOCVD法、ハイドライドVPE法などが挙げられる。ただし、図2(b)に形成される溝部への廻り込みを抑制する為、最も望ましい手法としてはビーム系の手法である。具体的にはMBE法、CBE法が挙げられる。

【0032】

ここで、GaAs斜面部に成長するInGaAsの膜質を更に向上させる為の手法について説明する。GaAsの斜面にいきなりInGaAsを成長するのではなく、GaAs膜から徐々に組成を変えることにより緩やかに格子定数を変えて、より高品質の膜を得られる。また、別の手法ではInGaAsの成長初期時にGaAsとInGaAsの超格子を挟むことも有効である。また、ドーパントであるSeを $1 \times 10^{10} \text{ cm}^{-3}$ 以上に高濃度ドーブすることも膜質の改善に役立つ。これらの手法は斜面上に成長した膜を平坦化す

10

20

30

40

50

る効果を有するもので、GaAsとInGaAsの界面に限るものではなく、他の半導体膜の界面にも有効である。超格子の組み合わせとしては、基板と成長膜の組み合わせが代表的であるが、基板と成長膜の間の格子定数を有する膜を使用することも効果的である。

【0033】

(実施例2)

第2の実施例は、ウエ八面内でストライプを形成する方位を回転させることにより、より横方向成長速度の速い面を出し、ストライプ間の溝の埋め込みを実現した例である。

【0034】

図6(a)を説明する。70は(100)面を持つGaAsウエ八を上から見たものである。この上にSiO₂マスクを形成し、その上のInPの横方向の成長速度を評価した。71は方位<0-1-1>を示し、72は<0-11>を示している。71の方位から72の方位に、73の矢印の様に方向を変えて成長速度を測定した。結果を図6(b)に示す。

10

【0035】

縦軸は成長速度で、横方向は図6(a)に示す角度である。横方向の成長速度は、<0-1-1>方位から離れるに従い上がり、10°から45°付近でピーク74を持つ。45°付近で低下し、それを過ぎると55°から75°付近で2つ目のピーク75を持つ。この結果から、横方向の成長速度は、ストライプの方位が10°から45°と55°から75°を取るときに速いことが分かる。

【0036】

20

そこで、この方位に伸びて斜面が出来る様にストライプを形成し、InP基板上に格子整合していないInGaAsを成長させた。図7をもって説明する。ストライプを77に示す様に傾けると、ストライプの斜面が横方向の成長面となる。77の方向から見た断面形状は、図1とほぼ同様の構成となり大きな差はなかった。その斜面の成長速度は、<0-1-1>方向への成長速度よりも、約2倍早く溝を埋めることができた。

【0037】

以上説明した様に、ストライプの方向を変え、成長速度が速い面を斜面に出すことにより、埋め込みを早くすることが可能となる。

【0038】

(実施例3)

30

第3の実施例は、基板の転写方法について記述する。図8と図9(a)、(b)を用いて説明する。図8において、81は基板であるところのInPである。加工の形状は、実施例1の図1にて説明した様に溝底部にSiO₂を形成した構成である。83は格子定数0.58nmのInGaPであり、84はAlGaInAsであり、85はInGaPでありこれは下地のInGaP膜83に整合している。

【0039】

AlGaInAsとInGaPは、硫酸系エッチャントで選択性がある。よって、82の空洞領域からエッチング液を入れ、88の隙間部分からAlGaInAs層84をエッチングすることにより、InGaP85を剥離して使用しようとする考えである。剥離する際は、図9(a)に示す様に基体となる87、例えばSi、InP、ガラス等に図8で示す基板構造86全体を貼り付けた後に、エッチング液でAlGaInAs84をエッチングする形となる。結果として図9(b)に示すように、基体87にInGaP85が形成できる。

40

【0040】

図8に示した様に、本実施例により形成される任意の格子定数を持つ膜83は、ブリッジ状に結晶が形成される為、隙間82からエッチング液を入れることが可能となる。よって、容易に任意の格子定数を有した基板85を、例えばガラスの上に形成して、SOIを実現したり、Si等の半導体基板上に良質の膜を形成することが可能となる。

【0041】

基本的な考えは、選択性のある膜を積層構成し、エッチングすることにより、図8に示し

50

たInGaPとAlGaInAsの組み合わせに限定している訳ではない。選択性のある組み合わせを設定することが重要である。

【0042】

以上説明した様に、加工した基板の斜面上に横方向成長により膜を形成し、空洞を形成することにより、エッチング液を導入することが可能となる。この結果、良質の膜をウェットエッチングというダメージの少ない形成法で作製することが可能となる。尚、ここではウェットエッチング法を用いたが、機械的に剥離してもよい。図8にも示した様に空洞82があることから機械的にも弱いと考えられる。よって、剥離可能であり、比較的容易に実現可能である。

【0043】

図9(b)に転写した格子定数0.58nmのInGaP膜85を用いて、キャリア閉じ込めの良く高温動作を実現した半導体レーザの例を図10を用いて示す。図10において、91はInGaPを含んだ基体である。この上に、92に示すクラッドである $n\text{-In}_{0.35}\text{Al}_{0.65}\text{As}$ を形成している。InPに整合した場合にはこの組成を使うことが出来ない。InPに整合した時よりAlの組成が増加している結果、InAlAsのバンドギャップは約0.55eV増加している。この上に、93に示す光閉じ込め層 $n\text{-In}_{0.48}\text{Ga}_{0.38}\text{Al}_{0.14}\text{As}$ を形成する。94は活性領域で、この領域に活性層98とバリア層99が含まれている。活性層98は $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ を含んでおり、圧縮歪みが1.2%入っている。この活性層98を挟む様にバリア層99を2層構成で形成している。このバリア層99は光閉じ込め層93と構成は同じで、ドーピングはしていない。この上に、95に示す上部光閉じ込め層である $p\text{-In}_{0.48}\text{Ga}_{0.38}\text{Al}_{0.14}\text{As}$ を形成した後に、96に示す上部クラッド層である $p\text{-In}_{0.35}\text{Al}_{0.65}\text{As}$ を形成する。最後に、97に示す $p\text{-In}_{0.38}\text{Ga}_{0.62}\text{As}$ を形成した構成となっている。

【0044】

この構成のメリットは、格子定数を0.58nmと小さくすることが可能となった為、クラッド92、96にバンドギャップの大きなInAlAsが使用可能となり、伝導帯の活性層98とバリア層99のエネルギー差 E_c を0.54eVと大きくとれる。その為、電子の閉じ込めを改善でき、高温時におけるキャリアの漏れが少なく安定動作可能なレーザを実現できる。尚、一般的に用いられているInGaAsPバリアの伝導帯の活性層とバリア層のエネルギー差は0.15eVと小さく、温度特性が悪い。この様に、格子定数を制御することで、光デバイスおよび電子デバイスの特性を改善することが出来る。

【0045】

尚、ここでは図9(b)に示した転写したInGaP膜85上へレーザ構成を形成したが、図8の基板構造上に直接半導体レーザを成長してもよい。

【0046】

【発明の効果】

以上説明した様に、本発明による半導体結晶成長方法においては、(100)面等の基準面から傾いた面を形成して横方向成長させるので、欠陥の伸びる方向が制御され、基板とは格子定数の異なる良質の半導体膜が形成される。

【図面の簡単な説明】

【図1】図1は、本発明の第1の実施例において横方向成長が行なわれるマスクを持つ基板の断面図である。

【図2】図2は、本発明の第1の実施例において基板の斜面に横方向成長が行なわれる様子を示す断面図(a)と基板の斜面に横方向成長が行なわれて平坦面が形成された様子を示す断面図(b)である。

【図3】図3は、本発明の第1の実施例において使用されるストライプ状の凸部を持つ基板の平面図である。

【図4】図4は、幾つかの成長法において成長速度と傾斜面の基準面からの角度との関係を示すグラフである。

10

20

30

40

50

【図 5】図 5 は、本発明の第 1 の実施例において横方向成長が行なわれるマスクを持つ基板の形成法の 1 つの工程を示す断面図である。

【図 6】図 6 は、ウエハ面内で凸状ストライプを形成する方位を回転させることで横方向成長速度が如何に変化するかを示す図である。

【図 7】図 7 は、本発明の第 2 の実施例において使用されるストライプ状の凸部を持つ基板の平面図である。

【図 8】図 8 は、本発明の第 3 の実施例において基板の斜面に横方向成長が行なわれて空洞を形成しつつ平坦面が形成された様子を示す断面図である。

【図 9】図 9 は、本発明の第 3 の実施例において基板の斜面に横方向成長されて形成された平坦膜を他の基板に転写する工程を示す断面図である。

【図 10】図 10 は、本発明の第 3 の実施例において他の基板に転写された平坦膜を用いて形成された半導体レーザの共振器方向の断面図である。

【符号の説明】

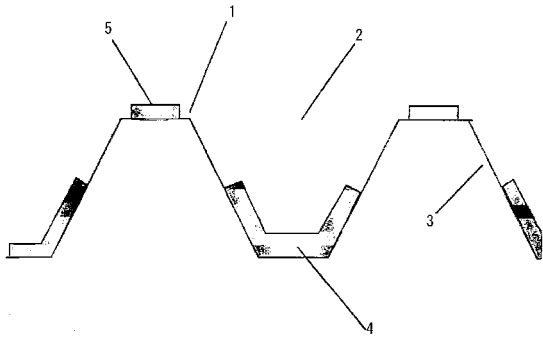
- 1 ストライプ状凸部
- 2 ストライプ状溝
- 3 凸部の斜面（エッチング面、成長面）
- 4、5 マスク（選択成長膜）
- 6 横方向成長方向
- 7、8 3 横方向成長膜（表面）
- 9、7 7 ストライプ
- 3 1、8 1 基板（InP）
- 3 2、3 5 SiO₂
- 3 3 レジスト
- 7 4、7 5 ピーク
- 8 2 空洞領域
- 8 3、8 5 InGaP
- 8 4 AlGaInAs
- 8 6 基板構造
- 8 8 隙間
- 8 7 基体
- 9 1 InGaPを含む基体
- 9 2、9 6 InAlAsクラッド
- 9 3、9 5 光閉じ込め層
- 9 4 活性領域
- 9 7 コンタクト層
- 9 8 活性層
- 9 9 バリア層

10

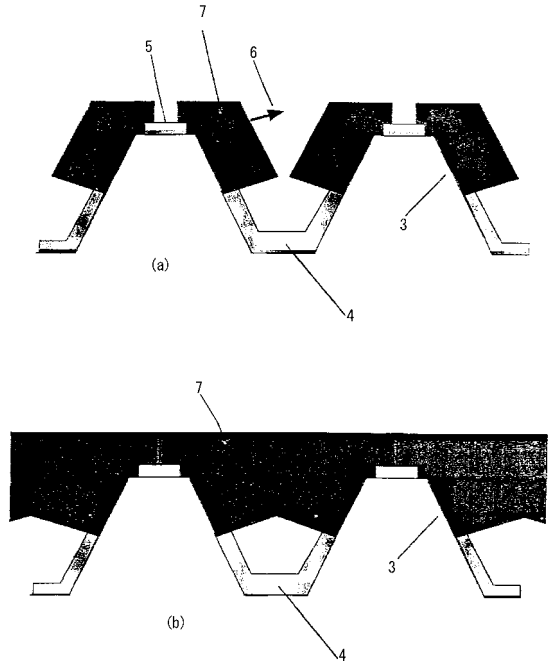
20

30

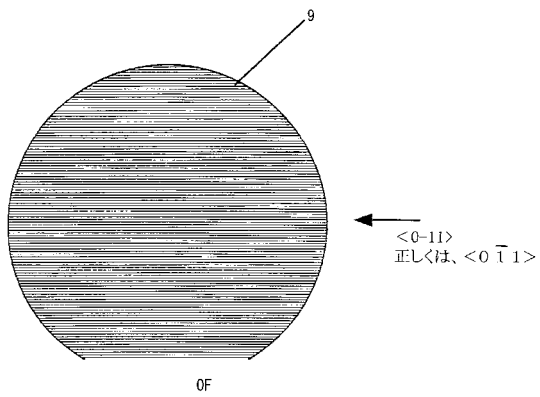
【図1】



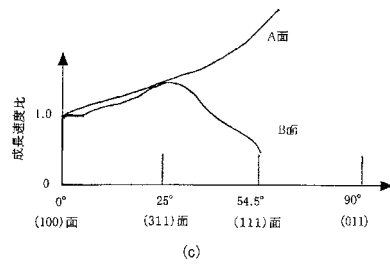
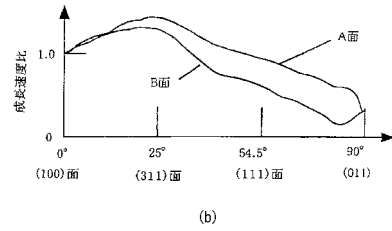
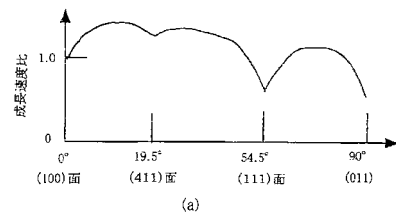
【図2】



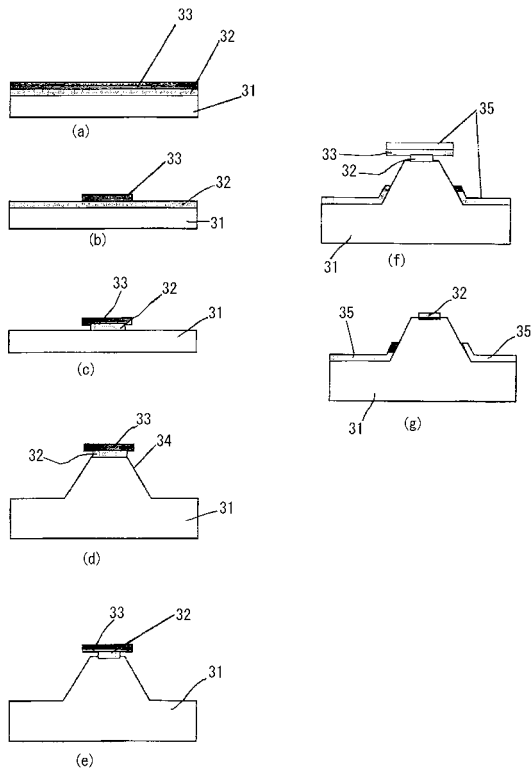
【図3】



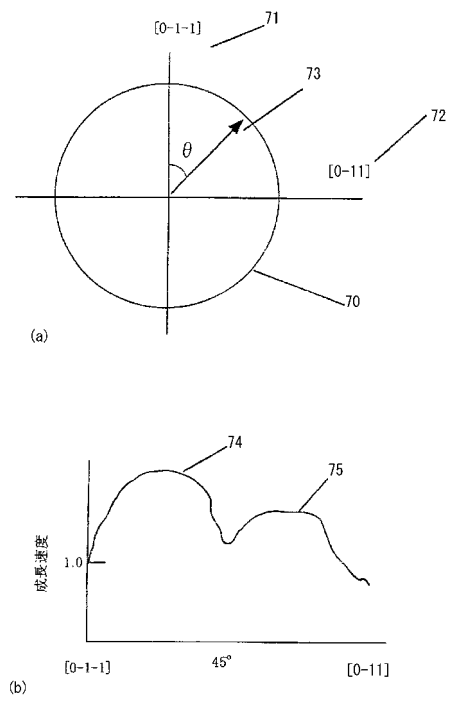
【図4】



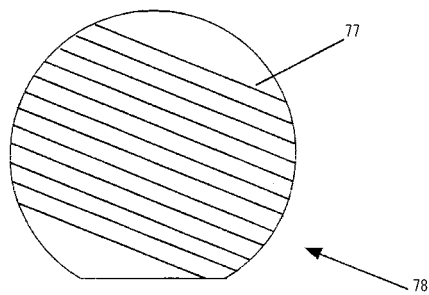
【図5】



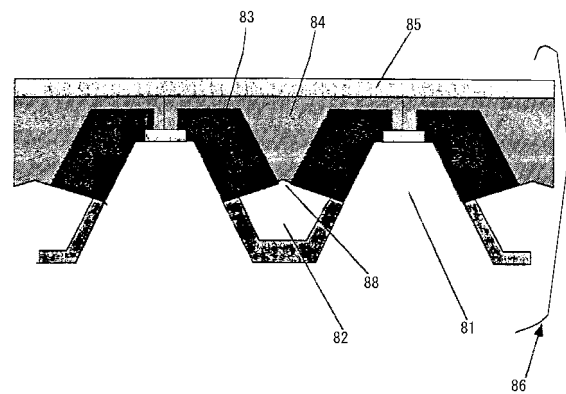
【図6】



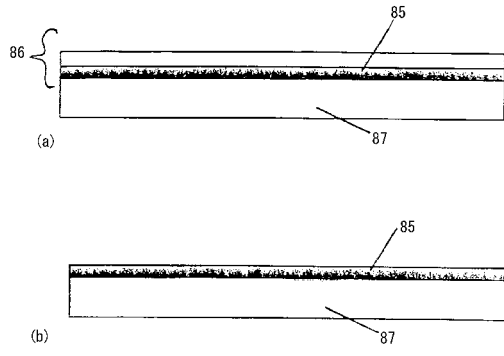
【図7】



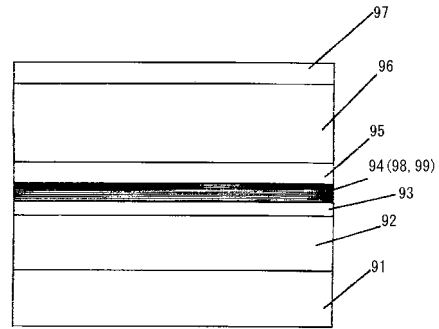
【図8】



【 図 9 】



【 図 10 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/203

H01L 21/02

H01L 21/205

H01L 21/306

H01S 5/343