

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2018年3月8日 (08.03.2018)

(10) 国际公布号
WO 2018/040866 A1

- (51) 国际专利分类号:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2017/096597
- (22) 国际申请日: 2017年8月9日 (09.08.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610789301.6 2016年8月31日 (31.08.2016) CN
- (71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN).
- (72) 发明人: 卞诤 (BIAN, Zheng); 中国江苏省无锡市新区新洲路8号, Jiangsu 214028 (CN).
- (74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区花城大道85号3901房, Guangdong 510623 (CN).
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: VDMOS DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: VDMOS器件及其制造方法

- 101 在半导体衬底中形成沟槽, 所述沟槽包括第一沟槽区域、第二沟槽区域、第三沟槽区域, 所述沟槽还包括第一沟槽区域和第三沟槽区域之间的第四沟槽区域, 以及所述沟槽的第二沟槽区域和第三沟槽区域之间的第五沟槽区域
- 102 在所述半导体衬底上形成第一绝缘层, 所述第一绝缘层填充所述第三沟槽区域和第五沟槽区域, 且附着在所述第一沟槽区域、第二沟槽区域和第四沟槽区域的侧壁上
- 103 在所述第一绝缘层上形成第一多晶硅层, 所述第一多晶硅层填充所述第一沟槽区域, 附着在所述第二沟槽区域中的所述第一绝缘层的侧壁上, 且所述第一沟槽区域中的第一多晶硅层与所述第二沟槽区域中的第一多晶硅层相连
- 104 在所述第一多晶硅层上形成第二绝缘层, 所述第二绝缘层填充所述第二沟槽区域
- 105 去除部分所述第一绝缘层, 直至露出所述第一多晶硅层
- 106 去除部分所述第一多晶硅层, 留下的第一多晶硅层构成第一电极
- 107 在所述半导体衬底上形成第三绝缘层, 所述第三绝缘层填充所述第一沟槽区域、第二沟槽区域和第四沟槽区域
- 108 去除部分所述第三绝缘层, 第二绝缘层和第一绝缘层, 以使所述第一多晶硅层的顶部高于所述第一绝缘层和所述第二绝缘层的顶部
- 109 在所述半导体衬底上形成栅氧化硅层
- 110 在所述栅氧化硅层的上形成第二多晶硅层, 所述第二多晶硅层填充所述沟槽
- 111 去除部分所述第二多晶硅层, 露出位于所述半导体衬底表面的栅氧化硅层以及所述第一绝缘层的顶部, 留下的第二多晶硅层构成第二电极

图 1

(57) Abstract: A VDMOS device and a manufacturing method therefor. The manufacturing method comprises: forming a groove in a semiconductor substrate, the groove comprising a first groove area, a second groove area, a third groove area, a fourth groove area and a fifth groove area; successively forming a first insulation layer, a first polycrystalline silicon layer and a second insulation layer on the semiconductor substrate; removing some of the second insulation layer until the first polycrystalline silicon layer is exposed; removing some of the first polycrystalline silicon layer, the remaining first polycrystalline silicon layer forming a first electrode; forming a third

WO 2018/040866 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

insulation layer on the semiconductor substrate, removing some of the third insulation layer, the second insulation layer and the first insulation layer, so that the top of the first polycrystalline silicon layer is higher than the top of the first insulation layer and the second insulation layer; and successively forming a gate oxide layer and a second polycrystalline silicon layer on the semiconductor substrate, and removing some of the second polycrystalline silicon layer, exposing the gate oxide layer located on the surface of the semiconductor substrate and the top of the second insulation layer, the remaining second polycrystalline silicon layer forming a second electrode.

(57) 摘要: 一种VDMOS器件及其制造方法, 制造方法包括: 在半导体衬底中形成沟槽, 沟槽包括第一沟槽区域、第二沟槽区域、第三沟槽区域、第四沟槽区域、以及第五沟槽区域; 在半导体衬底上依次形成第一绝缘层、第一多晶硅层、第二绝缘层; 去除部分第二绝缘层, 直至露出第一多晶硅层; 去除部分第一多晶硅层, 留下的第一多晶硅层构成第一电极; 在半导体衬底上形成第三绝缘层, 去除部分第三绝缘层、第二绝缘层和第一绝缘层, 以使第一多晶硅层的顶部高于第一绝缘层和第二绝缘层的顶部; 在半导体衬底上依次形成栅氧化物层、第二多晶硅层, 并去除部分第二多晶硅层, 露出位于半导体衬底表面的栅氧化物层以及第二绝缘层的顶部, 留下的第二多晶硅层构成第二电极。

说明书

发明名称：VDMOS 器件及其制造方法

技术领域

本发明涉及半导体制造工艺，具体而言涉及一种垂直双扩散金属-氧化物半导体场效应晶体管（Vertical Double-diffused MOS，VDMOS）器件及其制造方法。

背景技术

目前沟槽型 VDMOS 产品开始引入电荷平衡的技术，分离栅器件结构是
5 基于现有工艺较容易实现的一种形式。对于分离栅技术而言，由于其采用了双栅设计，而双栅需要引出到不同的电极（源极和栅极），中间的深沟槽栅极采用直接打孔与源极金属连接的方式连接到源极，侧面的浅沟槽栅极则使用增加多晶硅光刻层次的方法引出到有源区的外围再做打孔接出。相比传统的沟槽型 VDMOS，这需要增加额外的多晶硅光刻来分离两个栅极，由此增加
10 了工艺成本，造成浅沟槽栅极的引出高于硅片平面，形成一定的台阶，对后续工艺的实施有一定影响。

发明内容

基于此，有必要提供一种无需增加多晶硅光刻层次，就可以实现栅极第一和第二电极的分离引出的 VDMOS 器件及其制造方法。

一种 VDMOS 器件的制造方法，包括：

15 在半导体衬底中形成沟槽，所述沟槽包括第一沟槽区域、第二沟槽区域、第三沟槽区域、连通所述第一沟槽区域和第二沟槽区域的第四沟槽区域、以及连通所述第二沟槽区域和第三沟槽区域的第五沟槽区域；所述第二沟槽区域的宽度大于所述第一沟槽区域的宽度，所述第一沟槽区域的宽度大于所述第三沟槽区域、第四沟槽区域和第五沟槽区域的宽度；

20 在所述半导体衬底上形成第一绝缘层，所述第一绝缘层填满所述第三沟槽区域和第五沟槽区域，且贴附在所述第一沟槽区域、第二沟槽区域和第四沟槽区域的侧壁上；

在所述第一绝缘层上形成第一多晶硅层，所述第一多晶硅层填满所述第一沟槽区域，贴附在所述第二沟槽区域中的所述第一绝缘层的侧壁上，且所述第一沟槽区域内的第一多晶硅层与所述第二沟槽区域内的第一多晶硅层相连；

5 在所述第一多晶硅层上形成第二绝缘层，所述第二绝缘层填满所述第二沟槽区域；

去除部分所述第二绝缘层，直至露出所述第一多晶硅层；

去除部分所述第一多晶硅层，留下的第一多晶硅层构成第一电极；

10 在所述半导体衬底上形成第三绝缘层，所述第三绝缘层填满所述第一沟槽区域、第二沟槽区域和第四沟槽区域；

去除部分所述第三绝缘层、第二绝缘层和第一绝缘层，以使所述第一多晶硅层的顶部高于所述第一绝缘层和所述第二绝缘层的顶部；

在所述半导体衬底上形成栅氧化物层；

15 在所述栅氧化物层上形成第二多晶硅层，所述第二多晶硅层填满所述沟槽；

去除部分所述第二多晶硅层，露出位于所述半导体衬底表面的栅氧化物层以及所述第二绝缘层的顶部，留下的第二多晶硅层构成第二电极。

此外，还提供一种 VDMOS 器件，包括：

半导体衬底，所述半导体衬底设有沟槽，所述沟槽包括第一沟槽区域、第二沟槽区域、第三沟槽区域、连通所述第一沟槽区域和第二沟槽区域的第四沟槽区域、以及连通所述第二沟槽区域和第三沟槽区域的第五沟槽区域；所述第二沟槽区域的宽度大于所述第一沟槽区域的宽度，所述第一沟槽区域的宽度大于所述第三沟槽区域、第四沟槽区域和第五沟槽区域的宽度；

所述第一沟槽区域内设有由第一多晶硅层构成的深栅的第一电极、包裹所述第一电极的第一绝缘层、位于所述第一电极顶部的由第二多晶硅层构成的浅栅的第二电极以及位于所述第一电极和所述第二对晶硅层之间的栅氧化物层；

所述第二沟槽区域内设有由第一多晶硅层构成的深栅的第一电极、被所述第一电极隔离的第一绝缘层和第二绝缘层、位于所述第一电极顶部的由第

二多晶硅层构成的浅栅的第二电极以及位于所述第一电极和所述第二对晶硅层之间的栅氧化物层；

所述第三沟槽区域内的底部设有第一绝缘层、位于所述第一绝缘层顶部的由第二多晶硅层构成的浅栅的第二电极；以及包裹所述第二电极的栅氧化物层；

所述第四沟槽内设有由第一多晶硅层构成的深栅的第一电极、包裹所述第一电极的第一绝缘层、位于所述第一电极顶部的由第二多晶硅层构成的浅栅的第二电极以及位于所述第一电极和所述第二对晶硅层之间的栅氧化物层；

所述第五沟槽区域内的底部设有第一绝缘层、位于所述第一绝缘层顶部的由第二多晶硅层构成的浅栅的第二电极；以及包裹所述第二电极的栅氧化物层。

5 根据上述 VDMOS 器件的制造方法，无需增加多晶硅光刻层次，就可以实现栅极第一和第二电极的分离引出，同时，所有的多晶硅栅极仍然留在沟槽内，因此产品的表面没有明显的台阶，后续光刻、腐蚀工艺的实施难度有所降低。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他实施例的附图。

图 1 为根据一实施例的 VDMOS 器件的制造方法的流程图；

10 图 2A-图 2I 为根据一实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图；

图 2J 为从图 2I 中的 D1 位置获取的截面的示意图；

图 2K 为从图 2I 中的 D2 位置获取的截面的示意图；

图 2L 为从图 2I 中的 D3 位置获取的截面的示意图；

图 3 为根据一实施例的方法所制备的 VDMOS 器件版图的示意图。

具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的较佳实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本发明的公开内容的理解更加透彻全面。

为了解决现有的分离栅技术所存在的工艺成本提高、增加后续工艺的実施难度等不足之处，如图 1 所示，在一个实施例中，一种 VDMOS 器件的制造方法包括：

在步骤 101 中，在半导体衬底中形成沟槽，所述沟槽包括第一沟槽区域、第二沟槽区域、第三沟槽区域、将第一沟槽区域和第二沟槽区域连通的第四沟槽区域、以及将第二沟槽区域和第三沟槽区域连通的第五沟槽区域，第二沟槽区域的宽度大于第一沟槽区域的宽度，第一沟槽区域的宽度大于第三沟槽区域、第四沟槽区域和第五沟槽区域的宽度。

如图 2A 所示，提供半导体衬底 200，半导体衬底 200 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅 (SOI)、绝缘体上层叠硅 (SSOI)、绝缘体上层叠锗化硅 (S-SiGeOI)、绝缘体上锗化硅 (SiGeOI) 以及绝缘体上锗 (GeOI) 等。作为示例，在本实施例中，半导体衬底 200 的构成材料选用单晶硅。在半导体衬底 200 中形成有隔离结构，作为示例，隔离结构为浅沟槽隔离 (STI) 结构或者局部氧化硅 (LOCOS) 隔离结构。

接下来，在半导体衬底 200 中形成沟槽。如图 3 所示，所述沟槽包括第一沟槽区域 201、第二沟槽区域 202、第三沟槽区域 203、将第一沟槽区域 201 和第二沟槽区域 202 连通的第四沟槽区域 216 以及将第二沟槽区域 202 和第三沟槽区域 203 连通的第五沟槽区域 217，第二沟槽区域 202 的宽度远大于第一沟槽区域 201 的宽度，第一沟槽区域 201 的宽度大于第三沟槽区域 203、第四沟槽区域 216 和第五沟槽区域 217 的宽度，第三沟槽区域 203 的宽度与第四沟槽区域 216、第五沟槽区域 217 的宽度相同或相近。在图 2A-图 2I 的剖面示意图中仅分别示例性的示出第一沟槽区域 201、第二沟槽区域 202 和第三沟槽区域 203 形成栅极电极的过程，为了简化，在图 2A-图 2I 中未示出第四沟槽区域 216 和第五沟槽区域 217。

后续在第一沟槽区域 201、第二沟槽区域 202 和第四沟槽区域 216 内形

成作为深栅的第一电极，在所述沟槽内形成作为浅栅的第二电极。第一沟槽区域 201 的宽度 A 大于第三沟槽区域 203 的宽度 C，以确保后续在半导体衬底 200 上形成第一绝缘层之后，所述第一绝缘层仅填满第三沟槽区域 203 和第五沟槽区域 217。第二沟槽区域 202 的宽度 B 远大于第一沟槽区域 201 的宽度 A，以确保后续在半导体衬底 200 上形成第一多晶硅层之后，所述第一多晶硅层仅填满第一沟槽区域 201 和第四沟槽区域 216。

形成所述沟槽的工艺步骤包括：在半导体衬底 200 上形成具有所述沟槽图案的掩膜层，可以采用常规的光刻、刻蚀工艺形成所述掩膜层，所述掩膜层可以为单层结构或多层结构，具有单层结构的掩膜层为图案化的光刻胶层，具有多层结构的掩膜层可以包括自下而上层叠的图案化的先进图案化层、抗反射涂层和光刻胶层；以所述掩膜层为掩膜，蚀刻半导体衬底 200，在半导体衬底 200 中形成所述沟槽，所述蚀刻可以是常规的各向异性的干法蚀刻；去除所述掩膜层，可以采用常规的灰化工艺去除所述掩膜层；实施湿法清洗，以去除前述蚀刻所产生的副产物和杂质。

在步骤 102 中，在半导体衬底上形成第一绝缘层，以确保填满第三沟槽区域和第五沟槽区域，且第一沟槽区域、第二沟槽区域和第四沟槽区域的侧壁形成有第一绝缘层但未填满第一沟槽区域、第二沟槽区域和第四沟槽区域。

如图 2B 所示，在半导体衬底 200 上形成第一绝缘层 204，以确保填满第三沟槽区域 203 和第五沟槽区域，且第一沟槽区域 201、第二沟槽区域 202 和第四沟槽区域的侧壁形成有第一绝缘层 204 但未填满第一沟槽区域 201、第二沟槽区域 202 和第四沟槽区域。形成第一绝缘层 204 的方法可以采用本领域技术人员所熟习的任何现有技术，例如沉积或者氧化生长工艺，优选化学气相沉积法(CVD)，如低温化学气相沉积(LTCVD)、低压化学气相沉积(LPCVD)、快热化学气相沉积(RTCVD)、等离子体增强化学气相沉积(PECVD)。第一绝缘层 204 的材料包括氧化物，例如二氧化硅。

在步骤 103 中，在第一绝缘层上形成第一多晶硅层，以确保填满第一沟槽区域，第二沟槽区域未填满，且第一沟槽区域内的第一多晶硅层与第二沟槽区域内的第一多晶硅层相连。

如图 2B 所示，在第一绝缘层 204 上形成第一多晶硅层 205，以确保填满第一沟槽区域 201 和第四沟槽区域。由于第一绝缘层 204 已填满第三沟槽区域 203 和第五沟槽区域，第一多晶硅层 205 只能进入第一沟槽区域 201、第二沟槽区域 202 以及第四沟槽区域。形成第一多晶硅层 205 的方法可以采用

本领域技术人员所熟习的任何现有技术，优选化学气相沉积法，如低温化学气相沉积、低压化学气相沉积、快热化学气相沉积、等离子体增强化学气相沉积。

5 在步骤 304 中，在第一多晶硅层上形成第二绝缘层，以确保填满第二沟槽区域。

如图 2B 所示，在第一多晶硅层 205 上形成第二绝缘层 206。由于第一绝缘层 204 已填满第三沟槽区域 203 和第五沟槽区域，第一多晶硅层 205 已填满第一沟槽区域 201 和第四沟槽区域，第二绝缘层 206 只能进入第二沟槽区域 202。形成第二绝缘层 206 的方法可以采用本领域技术人员所熟习的任何
10 现有技术，例如沉积工艺，优选化学气相沉积法，如低温化学气相沉积、低压化学气相沉积、快热化学气相沉积、等离子体增强化学气相沉积。第二绝缘层 206 的材料包括氧化物，例如 TEOS。

在步骤 105 中，去除部分第二绝缘层，直至露出第一多晶硅层。

15 如图 2C 所示，去除多余的第二绝缘层 206，直至露出第一多晶硅层 205。作为示例，采用腐蚀工艺去除多余的第二绝缘层 206，所述腐蚀工艺可以为湿法腐蚀。

在步骤 106 中，去除部分第一多晶硅层后，留下的第一多晶硅层构成第一电极。

20 如图 2C 所示，去除多余的第一多晶硅层 205，以形成作为深栅（元胞分离栅的底部栅极）的第一电极。作为示例，采用腐蚀工艺去除多余的第一多晶硅层 205，所述腐蚀工艺可以为湿法腐蚀。

在步骤 107 中，在半导体衬底上形成第三绝缘层，以确保填满第一沟槽区域、第二沟槽区域和第四沟槽区域的未填充部分。

25 如图 2D 所示，在半导体衬底 200 上形成第三绝缘层 207，以确保填满第一沟槽区域 201、第二沟槽区域 202 和第四沟槽区域的未填充部分。形成第三绝缘层 207 的方法可以采用本领域技术人员所熟习的任何现有技术，例如沉积工艺，优选化学气相沉积法，如低温化学气相沉积、低压化学气相沉积、快热化学气相沉积、等离子体增强化学气相沉积。第三绝缘层 207 的材料包括氧化物，例如 TEOS。

30 在步骤 108 中，去除部分第三绝缘层、第二绝缘层和第一绝缘层，以使第一多晶硅层的顶部高于第一绝缘层和第二绝缘层的顶部。

如图 2E 所示，去除多余的第三绝缘层 207、第一绝缘层 204 和第二绝缘

层 206。实施所述去除后，第三绝缘层 207、第一绝缘层 204 和第二绝缘层 206 的顶部平齐，第三绝缘层 207、第一绝缘层 204 和第二绝缘层 206 的顶部与半导体衬底 200 表面的高度差根据器件结构的实际情况加以确定，在此不做具体限定。作为示例，采用腐蚀工艺去除多余的第三绝缘层 207、第一绝缘层 204 和第二绝缘层 206，所述腐蚀工艺可以为湿法腐蚀。

如图 2F 所示，实施湿法清洗，去除蚀刻残留物和杂质的同时，去除位于第一多晶硅层 205 顶部的第三绝缘层 207。实施所述湿法清洗之后，第一多晶硅层 205 的顶部高于第一绝缘层 204 和第二绝缘层 206 的顶部。

在步骤 109 中，在半导体衬底上形成栅氧化物层。

如图 2G 所示，形成栅氧化物层 208，以实现第一多晶硅层 205 和后续形成的第二多晶硅层 209 之间的电气绝缘。作为示例，采用热氧化或者化学氧化工艺形成栅氧化物层 208。栅氧化物层 208 位于半导体衬底 200 的表面、露出的第一多晶硅层 205 的表面以及所述沟槽的露出的侧壁部分。

在步骤 110 中，在栅氧化物层上形成第二多晶硅层，第二多晶硅层填满所述沟槽。

如图 2G 所示，在半导体衬底 200 上形成第二多晶硅层 209，第二多晶硅层 209 填满所述沟槽的未填充部分。形成第二多晶硅层 209 的方法可以采用本领域技术人员所熟习的任何现有技术，优选化学气相沉积法，如低温化学气相沉积、低压化学气相沉积、快热化学气相沉积、等离子体增强化学气相沉积。

在步骤 111 中，去除部分第二多晶硅层，露出位于半导体衬底表面的栅氧化物层以及第二绝缘层的顶部。

如图 2H 所示，去除多余的第二多晶硅层 209，露出位于半导体衬底 200 表面的栅氧化物层 208 和位于第二沟槽 202 内的第二多晶硅层 206。作为示例，采用腐蚀工艺去除多余的第二多晶硅层 209，所述腐蚀工艺可以为湿法腐蚀。此时，形成于所述沟槽内的第二多晶硅层 209 构成作为浅栅（顶部引出栅）的第二电极。此时，栅氧化物层 208 作为第一多晶硅层 205 和第二多晶硅层 209 之间的电气绝缘层。

除了形成所述沟槽时使用一次光刻工艺，形成所述第一电极和第二电极时未使用光刻工艺，半导体衬底 200 的表面没有明显的台阶，不会对后续形成阱区及金属互连层时实施的光刻、刻蚀工艺造成影响。

根据上述 VDMOS 器件的制造方法，无需增加多晶硅光刻层次，就可以

实现栅极第一和第二电极的分离引出，同时，所有的多晶硅栅极仍然留在沟槽内，因此产品的表面没有明显的台阶，后续光刻、腐蚀工艺的实施难度有所降低。

5 为了彻底理解本发明，将在下列的描述中提出详细的结构及/或步骤，以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

在一个实施例中，VDMOS 器件的制造方法还包括通过离子注入工艺在半导体衬底 200 中形成阱区和源区。形成阱区和源区的工艺为本领域技术人员所熟习，在此不再加以赘述。

10 在一个实施例中，VDMOS 器件的制造方法还包括在半导体衬底 200 上形成层间介质层 210。作为示例，层间介质层 210 的材料优选具有低介电常数的材料，所述具有低介电常数的材料包括但不限于 k 值为 2.5-2.9 的硅酸盐化合物 (Hydrogen Silsesquioxane, 简称为 HSQ)、k 值为 2.2 的甲基硅酸盐化合物 (Methyl Silsesquioxane, 简称 MSQ)、以及化学气相沉积方法形成的多孔性二氧化硅等等。层间介质层 210 的形成方法可以采用本领域技术人员所熟习的任何现有技术，优选化学气相沉积法，如低温化学气相沉积、低压化学气相沉积、快热化学气相沉积、等离子体增强化学气相沉积等。

20 如图 2I 所示，在一个实施例中，VDMOS 器件的制造方法还包括通过光刻、刻蚀工艺形成贯穿层间介质层 210 的底部分别电连接位于元胞区的源区、位于第二沟槽区域 202 内的第一多晶硅层 205 和位于第三沟槽区域 203 内的第二多晶硅层 209 的第一接触塞 211、第二接触塞 212 和第三接触塞 213。作为示例，在层间介质层 210 上形成具有第一接触塞 211、第二接触塞 212 和第三接触塞 213 图案的掩膜层，以该掩膜层为掩膜，蚀刻露出的层间介质层 210，在层间介质层 210 中形成露出位于元胞区的源区、位于第二沟槽区域 202 内的第一多晶硅层 205 和位于第三沟槽区域 203 内的第二多晶硅层 209 顶部的通孔，去除该掩膜层后，在所述通孔中填充金属层，以形成第一接触塞 211、第二接触塞 212 和第三接触塞 213。

30 在一个实施例中，VDMOS 器件的制造方法还包括在层间介质层 210 上形成彼此独立的第一金属层 214 和第二金属层 215。第一接触塞 211 和第二接触塞 212 的顶部电连接第一金属层 214，第三接触塞 213 的顶部电连接第二金属层 215。

如图 2J 所示，位于第一沟槽区域 201 内的第一多晶硅层 205 与第二沟槽

区域 202 内的第一多晶硅层 205 相连接。

如图 2K 所示, 第一多晶硅层 205 构成第一电极, 所述第一电极包括在第一沟槽区域 201 内的底部留下的柱状第一多晶硅层与在第二沟槽区域 202 内的底部留下的桶状第一多晶硅层。

5 如图 2L 所示, 第二多晶硅层 209 构成第二电极, 所述第二电极包括在第一沟槽区域 201 内的上部留下的柱状第二多晶硅层、在第二沟槽区域 202 内的上部留下的环状第二多晶硅层与在第三沟槽区域 203 内的上部留下的柱状第二多晶硅层, 且三者相连接。

至此, 完成了根据一实施例的方法实施的工艺步骤。可以理解的是, 10 VDMOS 器件制作方法不仅包括上述步骤, 在上述步骤之前、之中或之后还可包括其他需要的步骤, 其都包括在本实施制作方法的范围内。

与现有工艺相比, 根据上述实施例提出的 VDMOS 器件的制造方法, 无需增加多晶硅光刻层次, 就可以实现栅极第一和第二电极的分离引出, 同时, 所有的多晶硅栅极仍然留在沟槽内, 因此产品的表面没有明显的台阶, 后续 15 光刻、腐蚀工艺的实施难度有所降低。

此外, 还提供根据一实施例的方法实施的工艺步骤获得的 VDMOS 器件, 如图 2I 所示, VDMOS 器件包括: 半导体衬底 200, 在半导体衬底 200 中形成有隔离结构, 作为示例, 隔离结构为浅沟槽隔离(STI)结构或者局部氧化硅(LOCOS)隔离结构。

20 半导体衬底 200 内还设有沟槽, 述沟槽包括第一沟槽区域、第二沟槽区域、第三沟槽区域、将第一沟槽区域和第二沟槽区域连通的第四沟槽区域以及将第二沟槽区域和第三沟槽区域连通的第五沟槽区域, 第二沟槽区域的宽度远大于第一沟槽区域的宽度, 第一沟槽区域的宽度大于第三沟槽区域、第四沟槽区域和第五沟槽区域的宽度, 第三沟槽区域的宽度与第四沟槽区域、 25 第五沟槽区域的宽度相同或相近。

其中, 第一沟槽区域、第二沟槽区域和第四沟槽区域内设有作为深栅的第一电极, 在沟槽内设有作为浅栅的第二电极。第一沟槽区域的宽度大于第三沟槽区域的宽度, 以确保后续在半导体衬底上的第一绝缘层仅填满第三沟槽区域和第五沟槽区域。第二沟槽区域的宽度远大于第一沟槽区域的宽度, 30 以确保后续在半导体衬底上的第一多晶硅层仅填满第一沟槽区域和第四沟槽区域。

在隔离结构所限定的需要形成 VDMOS 的半导体衬底 200 中形成有由第

一多晶硅层 205 构成的第一沟槽状栅极和由第二多晶硅层 209 构成的第二沟槽状栅极，第一沟槽状栅极构成作为深栅的第一电极，第二沟槽状栅极构成作为浅栅的第二电极。位于第一沟槽区域和第四沟槽区域内的第一沟槽状栅极的侧壁被第一绝缘层 204 围绕，位于第二沟槽区域内的第一沟槽状栅极夹在第一绝缘层 204 和第二绝缘层 206 之间，呈 U 形，第一沟槽状栅极的顶部形成有第二多晶硅层 209，第一沟槽状栅极和第二多晶硅层 209 之间形成有栅氧化物层 208 以实现电气绝缘。第二沟槽状栅极底部的下方形成有第一绝缘层 204。

具体地，第一沟槽区域内设有由第一多晶硅层 205 构成的深栅的第一电极、包裹第一电极的第一绝缘层 204、位于第一电极顶部的由第二多晶硅层 209 构成的浅栅的第二电极以及位于第一电极和第二对晶硅层 209 之间的栅氧化物层 208。

第二沟槽区域内设有由第一多晶硅层 205 构成的深栅的第一电极、被第一电极隔离的第一绝缘层 204 和第二绝缘层 206、位于第一电极顶部的由第二多晶硅层 209 构成的浅栅的第二电极以及位于第一电极和第二对晶硅层之间的栅氧化物层 208。

第三沟槽区域内的底部设有第一绝缘层 204、位于第一绝缘层顶部的由第二多晶硅层 209 构成的浅栅的第二电极；以及包裹第二电极的栅氧化物层 208。

第四沟槽内设有由第一多晶硅层 205 构成的深栅的第一电极、包裹第一电极的第一绝缘层 204、位于第一电极顶部的由第二多晶硅层 209 构成的浅栅的第二电极以及位于第一电极和第二对晶硅层 209 之间的栅氧化物层 208。

第五沟槽区域内的底部设有第一绝缘层 204、位于第一绝缘层顶部的由第二多晶硅层 209 构成的浅栅的第二电极；以及包裹第二电极的栅氧化物层 208。

在一个实施例中，位于第一沟槽区域 201 内的第一多晶硅层 205 与第二沟槽区域 202 内的第一多晶硅层 205 相连接。

在一个实施例中，第一多晶硅层 205 构成第一电极，第一电极包括在第一沟槽区域 201 内的底部留下的柱状第一多晶硅层与在第二沟槽区域 202 内的底部留下的桶状第一多晶硅层。

在一个实施例中，第二多晶硅层 209 构成第二电极，第二电极包括在第一沟槽区域 201 内的上部留下的柱状第二多晶硅层、在第二沟槽区域 202 内

的上部留下的环状第二多晶硅层与在第三沟槽区域 203 内的上部留下的柱状第二多晶硅层，且三者相连接。

上述 VDMOS 器件可以实现栅极第一和第二电极的分离引出，同时，VDMOS 器件所有的多晶硅栅极仍然留在沟槽内，因此 VDMOS 器件的表面
5 没有明显的台阶，后续光刻、腐蚀工艺的实施难度有所降低。

在一个实施例中，VDMOS 器件还包括位于半导体衬底 200 上的层间介质层 210。作为示例，层间介质层 210 的材料优选具有低介电常数的材料，具有低介电常数的材料包括但不限于 k 值为 2.5-2.9 的硅酸盐化合物 (Hydrogen Silsesquioxane, 简称为 HSQ)、k 值为 2.2 的甲基硅酸盐化合物
10 (Methyl Silsesquioxane, 简称 MSQ)，以及化学气相沉积方法形成的多孔性二氧化硅等等。层间介质层 210 中设有有底部分别电连接位于元胞区的源区、位于第二沟槽区域内的第一沟槽状栅极、位于第三沟槽区域内的第二沟槽状栅极的第一接触塞 211、第二接触塞 212、第三接触塞 213。

在一个实施例中，VDMOS 器件还包括位于层间介质层 210 上的彼此独
15 立的金属层 214 和第二金属层 215。第一接触塞 211 和第二接触塞 212 的顶部电连接第一金属层 214，第三接触塞 213 的顶部电连接第二金属层 215。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

20 以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明的保护范围应以所附权利要求为准。

权利要求书

1、一种 VDMOS 器件的制造方法，包括：

在半导体衬底中形成沟槽，所述沟槽包括第一沟槽区域、第二沟槽区域、第三沟槽区域、连通所述第一沟槽区域和第二沟槽区域的第四沟槽区域、以及连通所述第二沟槽区域和第三沟槽区域的第五沟槽区域；所述第二沟槽区域
5 的宽度大于所述第一沟槽区域的宽度，所述第一沟槽区域的宽度大于所述第三沟槽区域、第四沟槽区域和第五沟槽区域的宽度；

在所述半导体衬底上形成第一绝缘层，所述第一绝缘层填满所述第三沟槽区域和第五沟槽区域，且贴附在所述第一沟槽区域、第二沟槽区域和第四沟槽区域的侧壁上；

10 在所述第一绝缘层上形成第一多晶硅层，所述第一多晶硅层填满所述第一沟槽区域，贴附在所述第二沟槽区域中的所述第一绝缘层的侧壁上，且所述第一沟槽区域内的第一多晶硅层与所述第二沟槽区域内的第一多晶硅层相连；

15 在所述第一多晶硅层上形成第二绝缘层，所述第二绝缘层填满所述第二沟槽区域；

去除部分所述第二绝缘层，直至露出所述第一多晶硅层；

去除部分所述第一多晶硅层，留下的第一多晶硅层构成第一电极；

在所述半导体衬底上形成第三绝缘层，所述第三绝缘层填满所述第一沟槽区域、第二沟槽区域和第四沟槽区域；

20 去除部分所述第三绝缘层、第二绝缘层和第一绝缘层，以使所述第一多晶硅层的顶部高于所述第一绝缘层和所述第二绝缘层的顶部；

在所述半导体衬底上形成栅氧化物层；

在所述栅氧化物层上形成第二多晶硅层，所述第二多晶硅层填满所述沟槽；

去除部分所述第二多晶硅层，露出位于所述半导体衬底表面的栅氧化物层以及所述第二绝缘层的顶部，留下的第二多晶硅层构成第二电极。

2、根据权利要求 1 所述的方法，其特征在于，所述第一电极包括在所述第一沟槽区域内的底部留下的柱状第一多晶硅层与在所述第二沟槽区域内的底部留下的桶状第一多晶硅层，所述柱状第一多晶硅层与所述桶状第一多晶硅层相连接。

3、根据权利要求1所述的方法，其特征在于，所述第二电极包括在所述第一沟槽区域内的上部留下的柱状第二多晶硅层、在所述第二沟槽区域内的上部留下的环状第二多晶硅层以及在所述第三沟槽区域内的上部留下的柱状第二多晶硅层；所述第一沟槽区域内、第二沟槽区域内和第三沟槽区域内的第二多晶硅层相连接。

4、根据权利要求1所述的方法，其特征在于，在所述半导体衬底上形成栅氧化物层包括：在所述沟槽露出的侧壁上以及所述第一多晶硅层上形成所述栅氧化物层。

5、根据权利要求1所述的方法，其特征在于，采用沉积或者氧化生长工艺形成所述第一绝缘层；采用沉积工艺形成所述第二绝缘层和所述第三绝缘层。

6、根据权利要求1所述的方法，其特征在于，通过湿法腐蚀工艺实施所述去除。

7、根据权利要求1所述的方法，其特征在于，所述去除部分所述第三绝缘层、第二绝缘层和第一绝缘层的步骤包括：

去除部分所述第三绝缘层、所述第一绝缘层和所述第二绝缘层，使所述第三绝缘层、第一绝缘层和第二绝缘层的顶部平齐；

10 实施湿法清洗，去除所述第三绝缘层的同时使所述第一多晶硅层的顶部高于所述第一绝缘层和所述第二绝缘层的顶部。

8、根据权利要求1所述的方法，其特征在于，去除多余的所述第二多晶硅层后，所述方法还包括：在所述半导体衬底上形成层间介质层的步骤。

9、根据权利要求1所述的方法，其特征在于，去除多余的所述第二多晶
15 硅层后，所述方法还包括：在所述半导体衬底中形成阱区和源区的步骤。

10、根据权利要求6所述的方法，其特征在于，所述方法还包括：

形成贯穿所述层间介质层的第一接触塞、第二接触塞和第三接触塞；

所述第一接触塞的底部与元胞区的源区电连接；所述第二接触塞的底部与
20 所述第一沟槽区域内的第一多晶硅层电连接；所述第三接触塞的底部与
所述第二沟槽区域内的第二多晶硅层电连接。

11、根据权利要求10所述的方法，其特征在于，所述方法还包括：在所述层间介质层上形成彼此独立的第一金属层和第二金属层，所述第一接触塞

和所述第二接触塞的顶部电连接所述第一金属层，所述第三接触塞的顶部电连接所述第二金属层。

12、根据权利要求1所述的方法，其特征在于，所述第一电极构成深栅，所述第二电极构成浅栅，所述第一电极与所述第二电极之间通过所述栅氧化物层实现电气绝缘。

13、一种VDMOS器件，包括：

半导体衬底，所述半导体衬底设有沟槽，所述沟槽包括第一沟槽区域、第二沟槽区域、第三沟槽区域、连通所述第一沟槽区域和第二沟槽区域的第四沟槽区域、以及连通所述第二沟槽区域和第三沟槽区域的第五沟槽区域；所述第二沟槽区域的宽度大于所述第一沟槽区域的宽度，所述第一沟槽区域的宽度大于所述第三沟槽区域、第四沟槽区域和第五沟槽区域的宽度；

所述第一沟槽区域内设有由第一多晶硅层构成的深栅的第一电极、包裹所述第一电极的第一绝缘层、位于所述第一电极顶部的由第二多晶硅层构成的浅栅的第二电极以及位于所述第一电极和所述第二对晶硅层之间的栅氧化物层；

所述第二沟槽区域内设有由第一多晶硅层构成的深栅的第一电极、被所述第一电极隔离的第一绝缘层和第二绝缘层、位于所述第一电极顶部的由第二多晶硅层构成的浅栅的第二电极以及位于所述第一电极和所述第二对晶硅层之间的栅氧化物层；

所述第三沟槽区域内的底部设有第一绝缘层、位于所述第一绝缘层顶部的由第二多晶硅层构成的浅栅的第二电极；以及包裹所述第二电极的栅氧化物层；

所述第四沟槽内设有由第一多晶硅层构成的深栅的第一电极、包裹所述第一电极的第一绝缘层、位于所述第一电极顶部的由第二多晶硅层构成的浅栅的第二电极以及位于所述第一电极和所述第二对晶硅层之间的栅氧化物层；

所述第五沟槽区域内的底部设有第一绝缘层、位于所述第一绝缘层顶部的由第二多晶硅层构成的浅栅的第二电极；以及包裹所述第二电极的栅氧化物

物层。

14、根据权利要求 13 所述的 VDMOS 器件，其特征在于，还包括位于所述半导体衬底的层间介质层；所述层间介质层中设有第一接触塞、第二接触塞和第三接触塞；

所述第一接触塞的底部与元胞区的源区电连接；所述第二接触塞的底部与所述第一沟槽区域内的第一多晶硅层电连接；所述第三接触塞的底部与所述第二沟槽区域内的第二多晶硅层电连接。

15、根据权利要求 13 所述的 VDMOS 器件，其特征在于，还包括位于所述层间介质层上方且彼此独立的第一金属层和第二金属层；

所述第一接触塞和所述第二接触塞的顶部分别与所述第一金属层电连接；所述第三接触塞的顶部与所述第二金属层电连接。

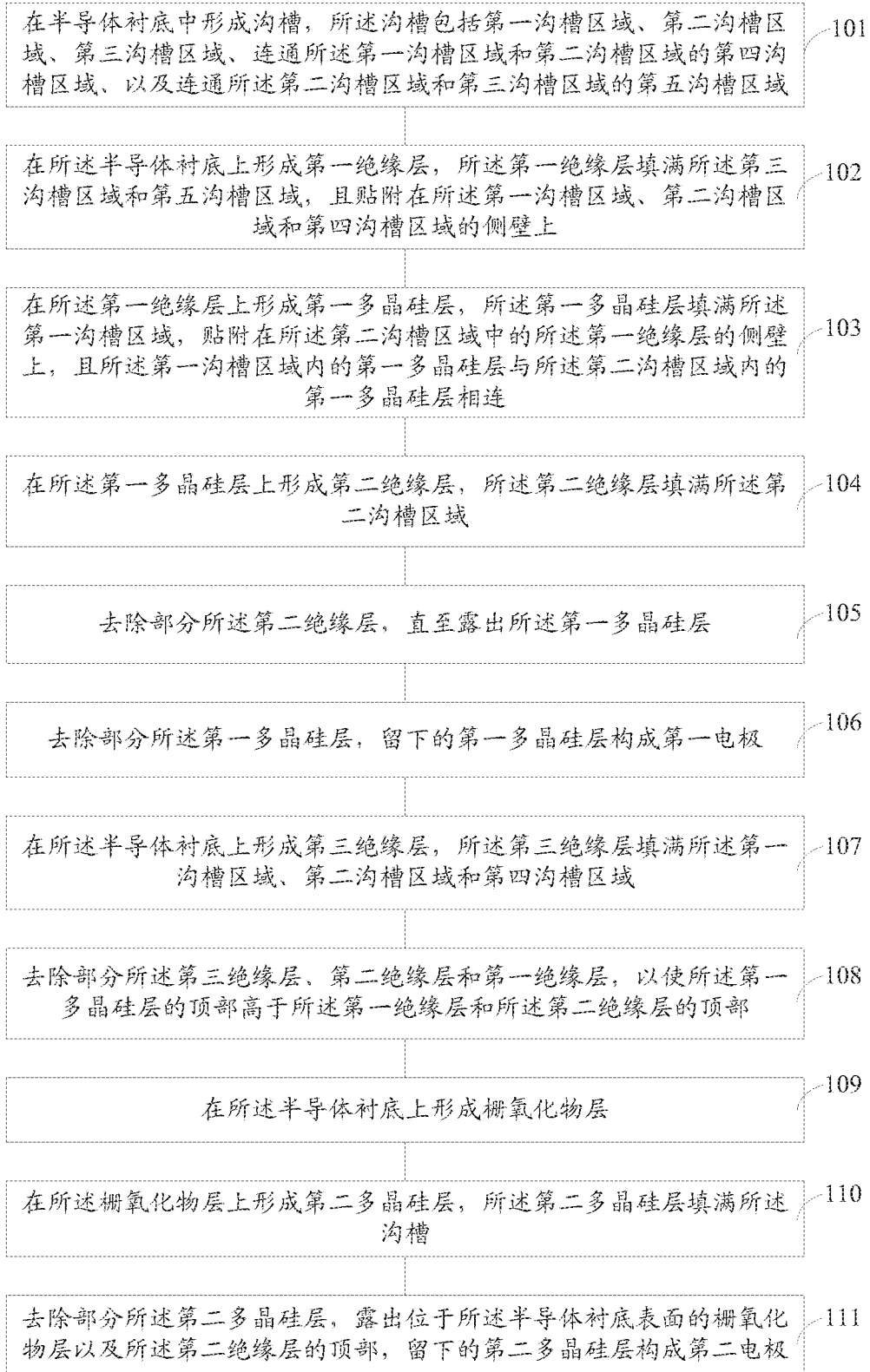


图 1

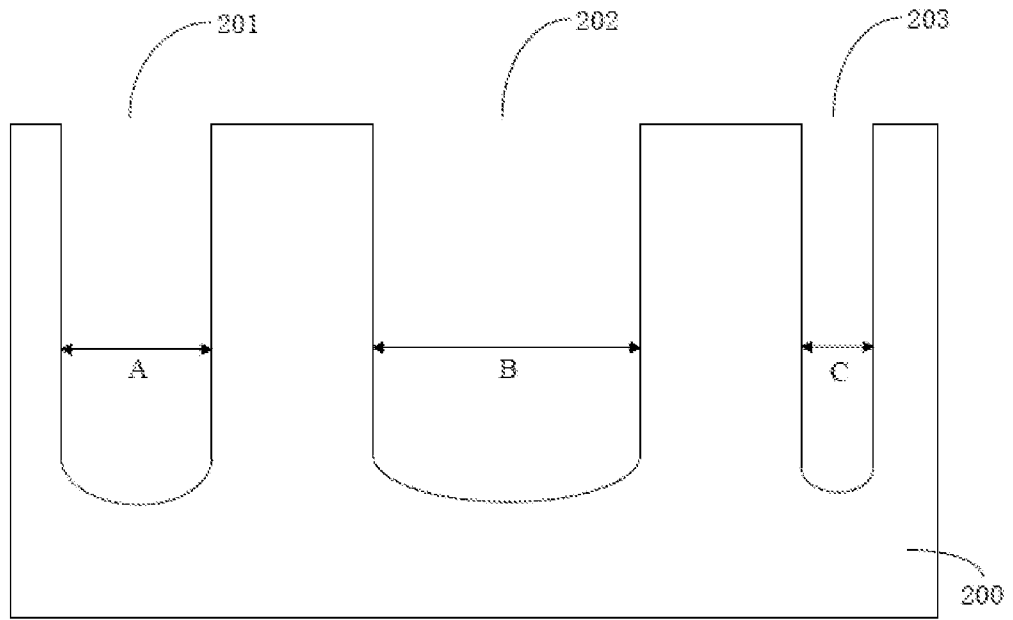


图 2A

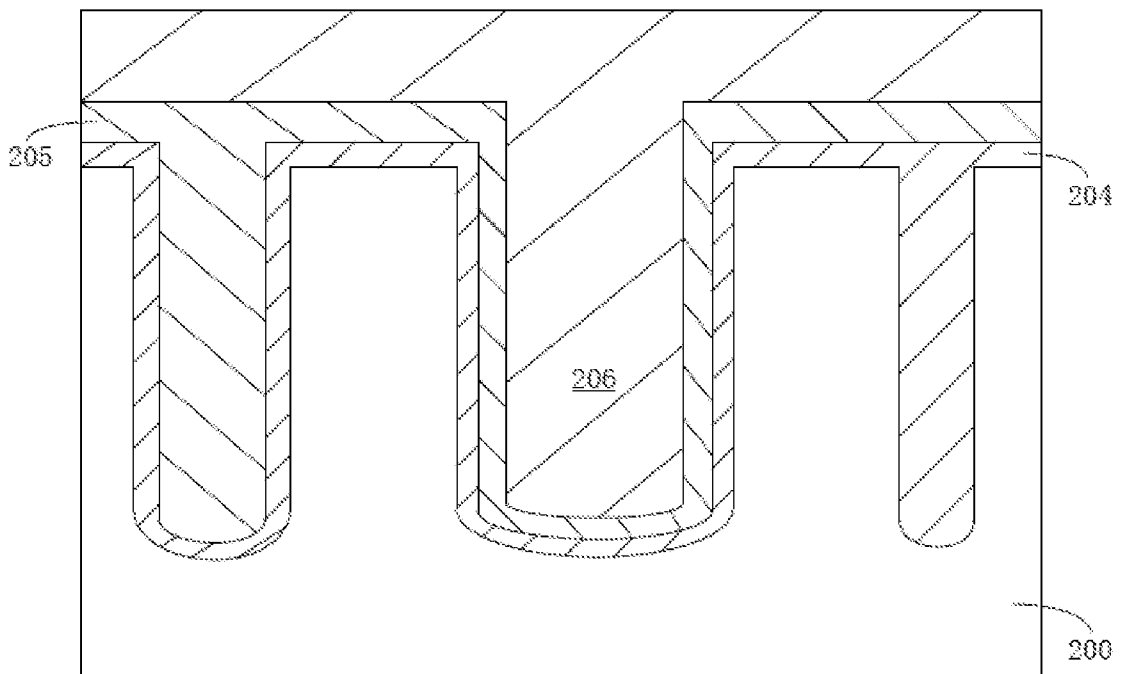


图 2B

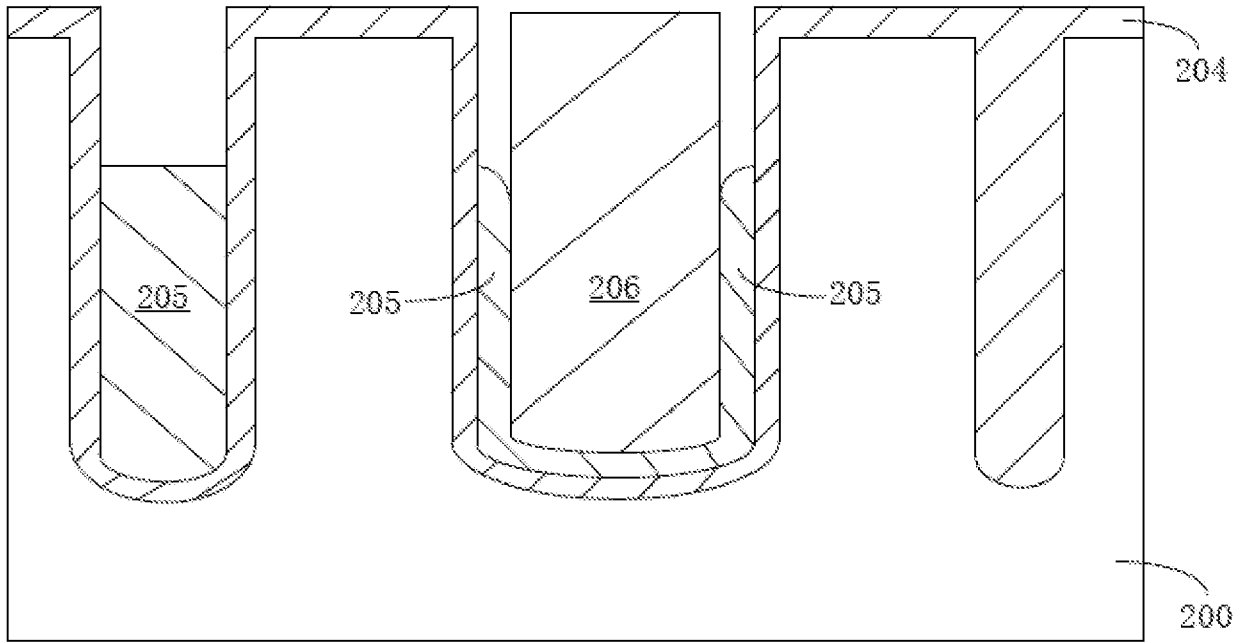


图 2C

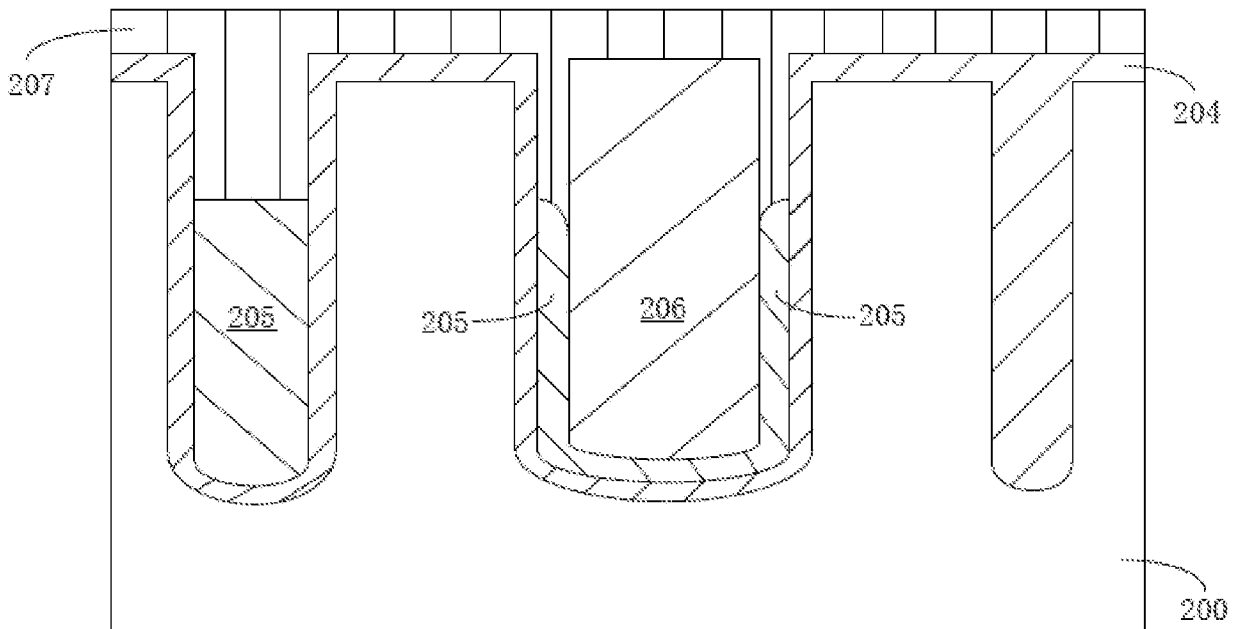


图 2D

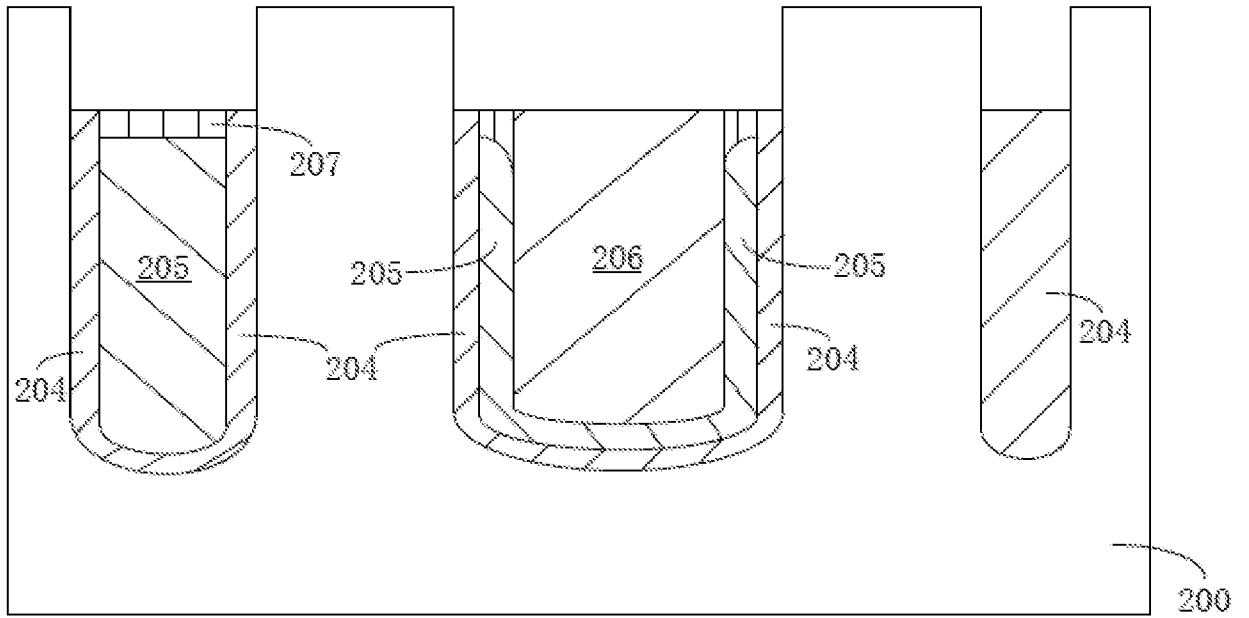


图 2E

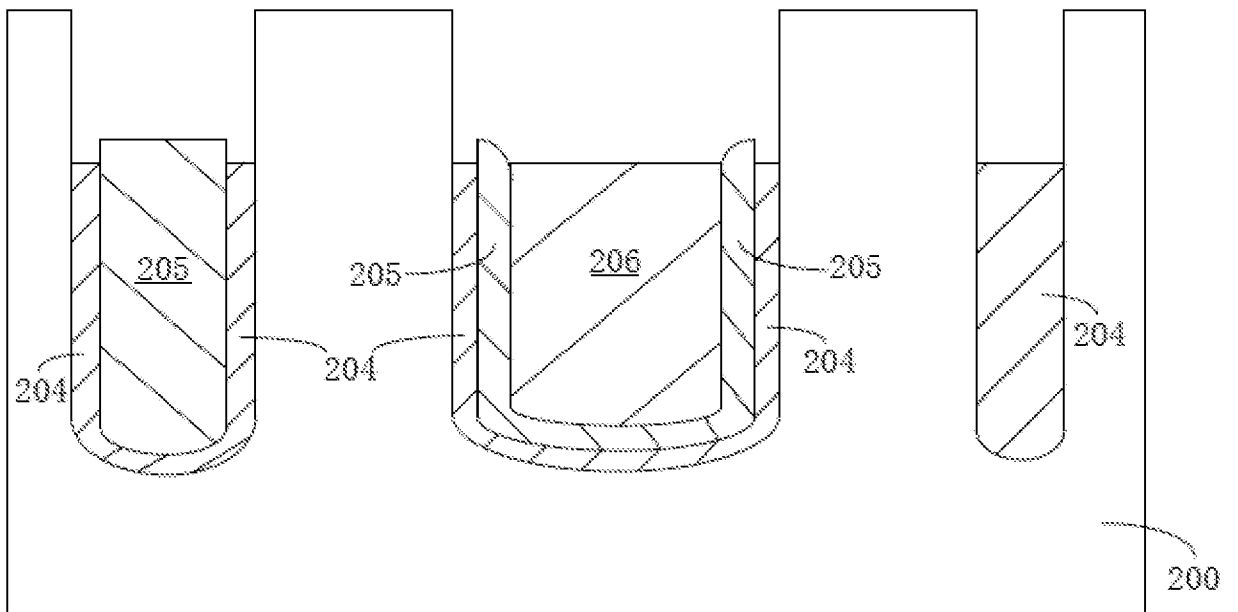


图 2F

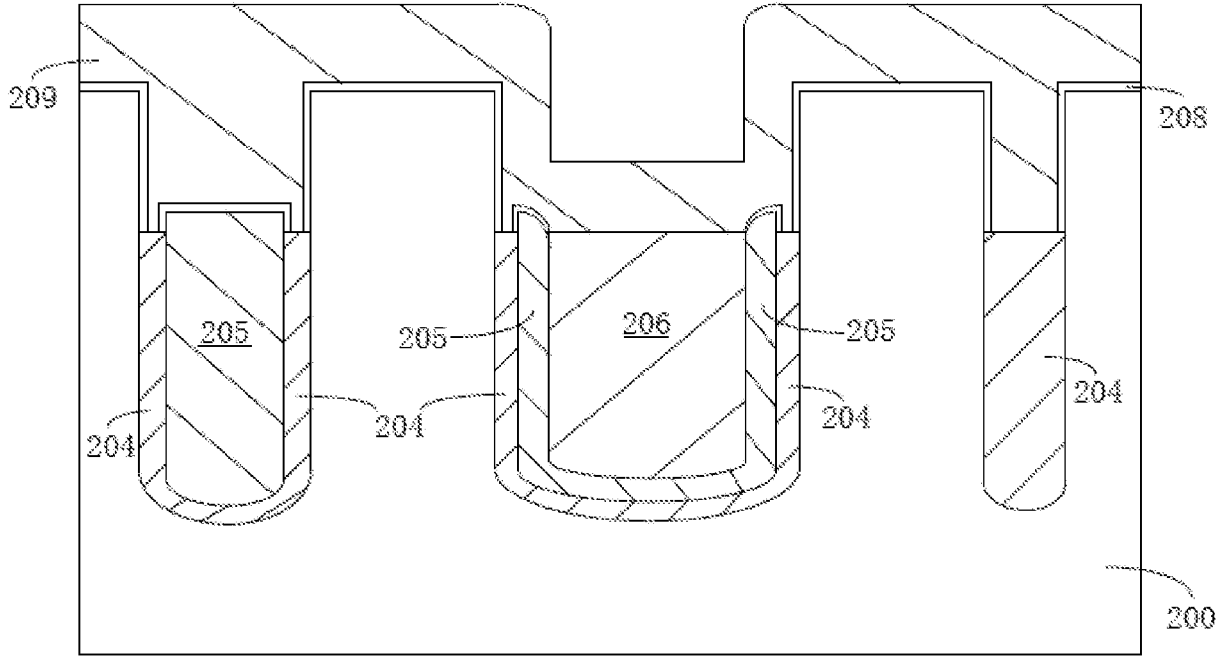


图 2G

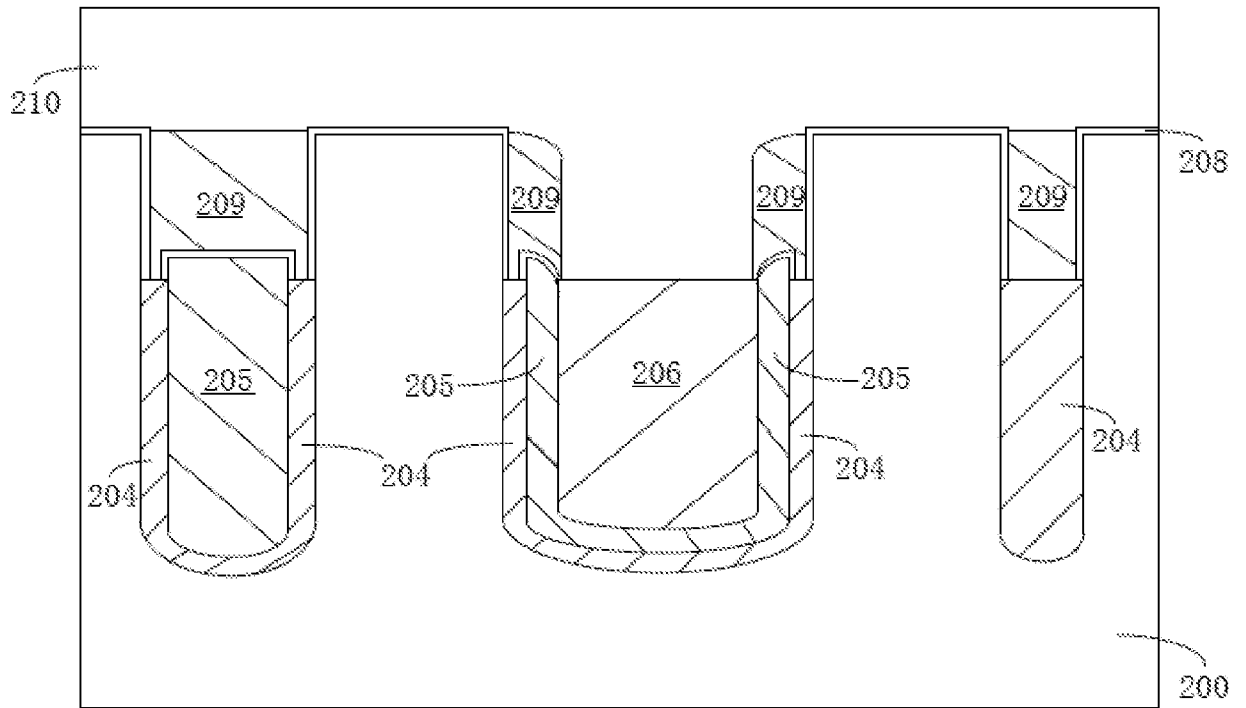


图 2H

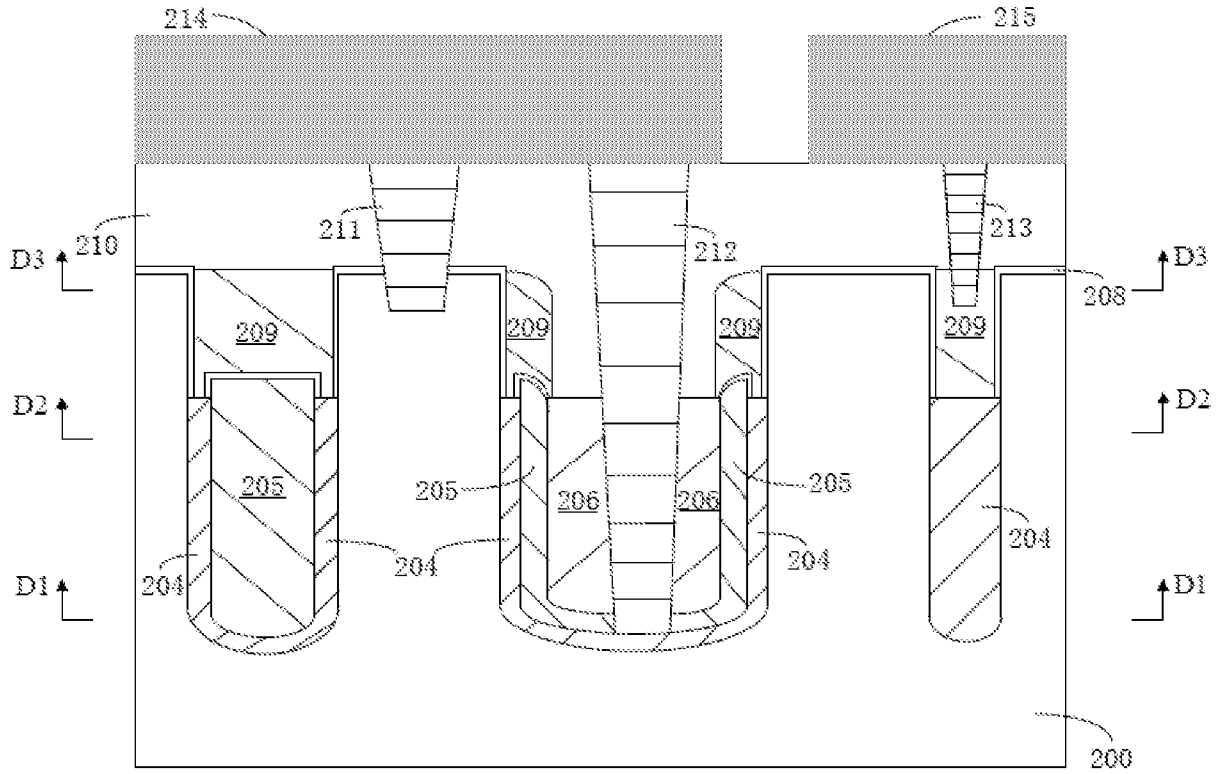


图 2I

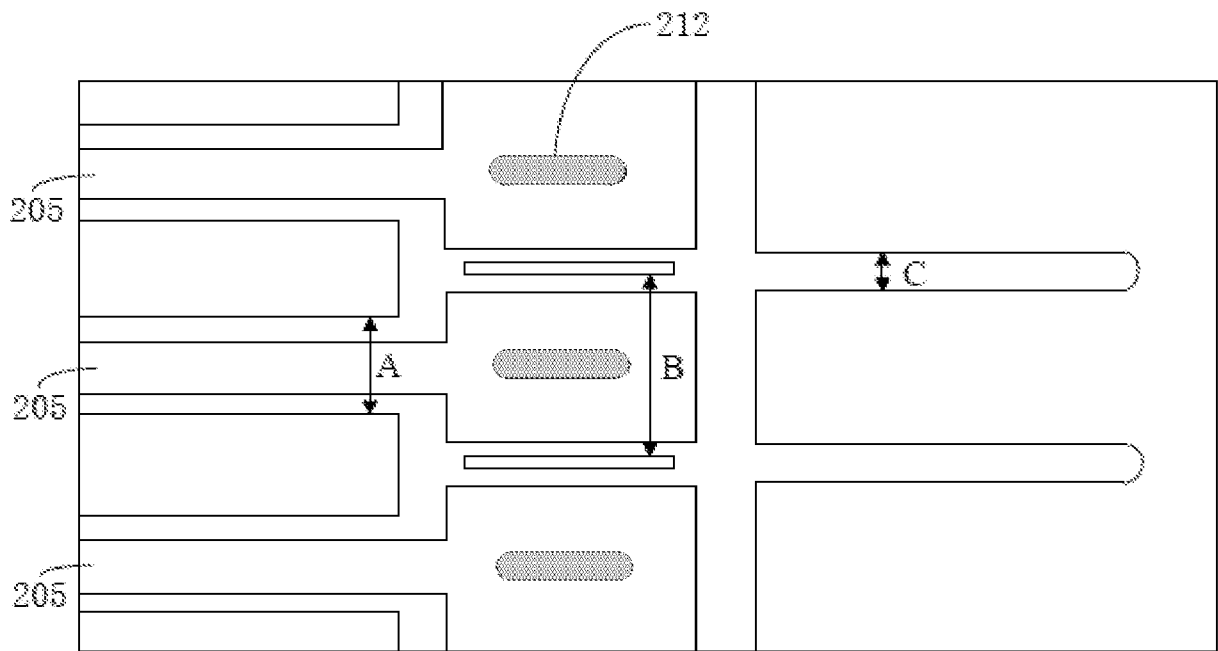


图 2J

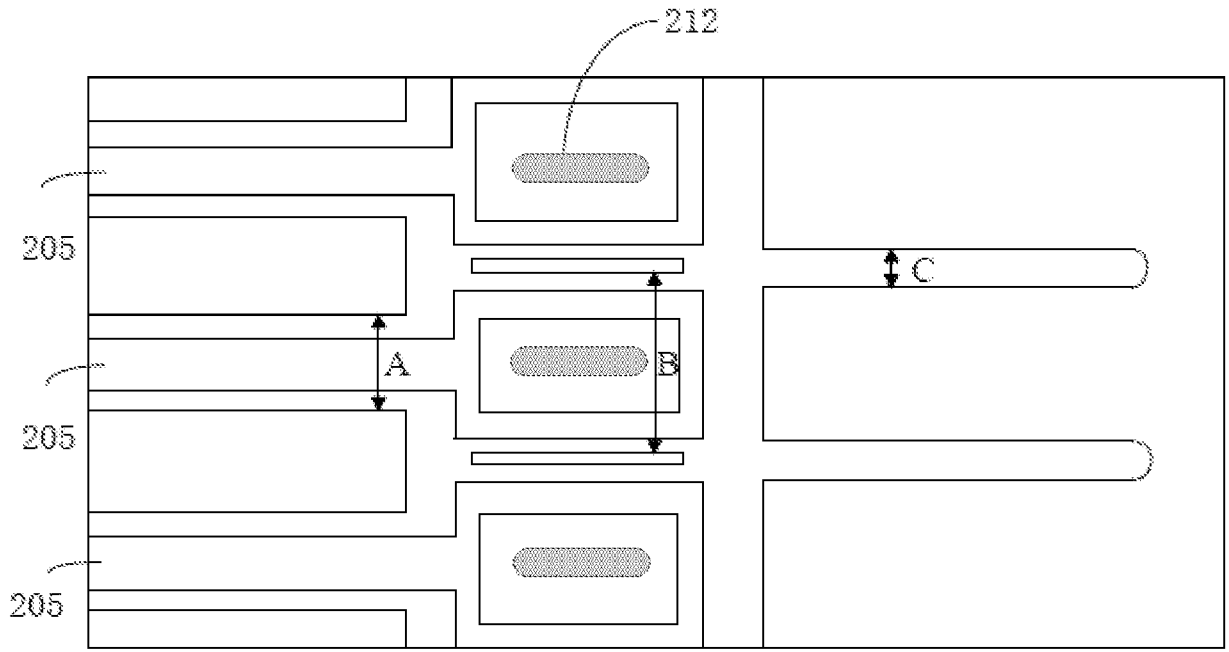


图 2K

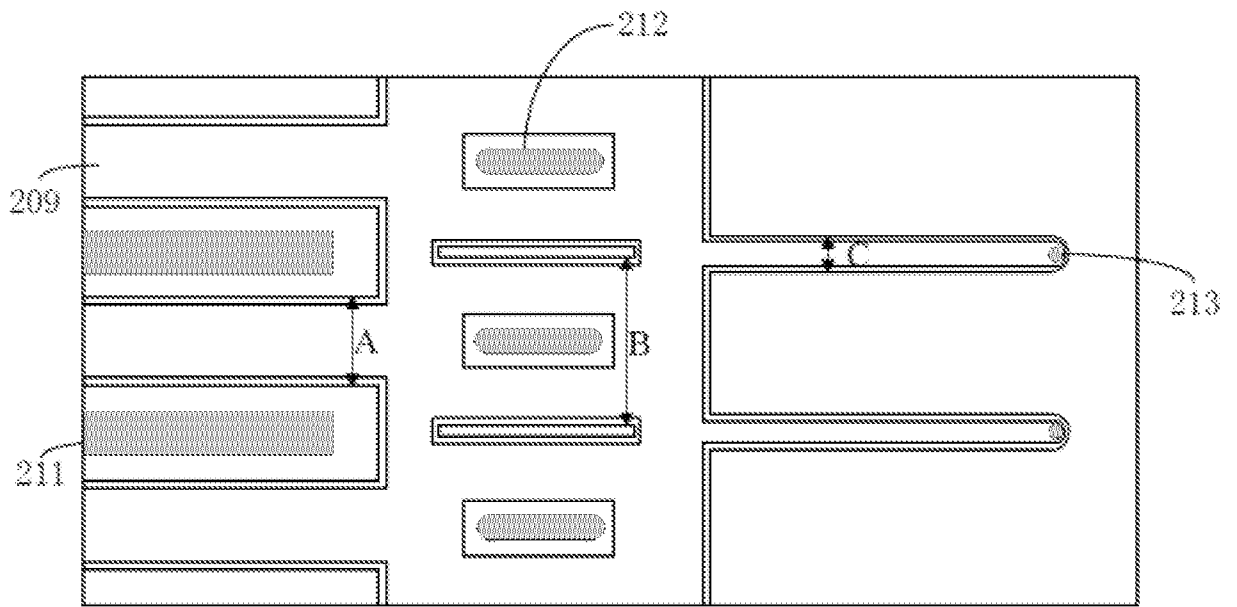


图 2L

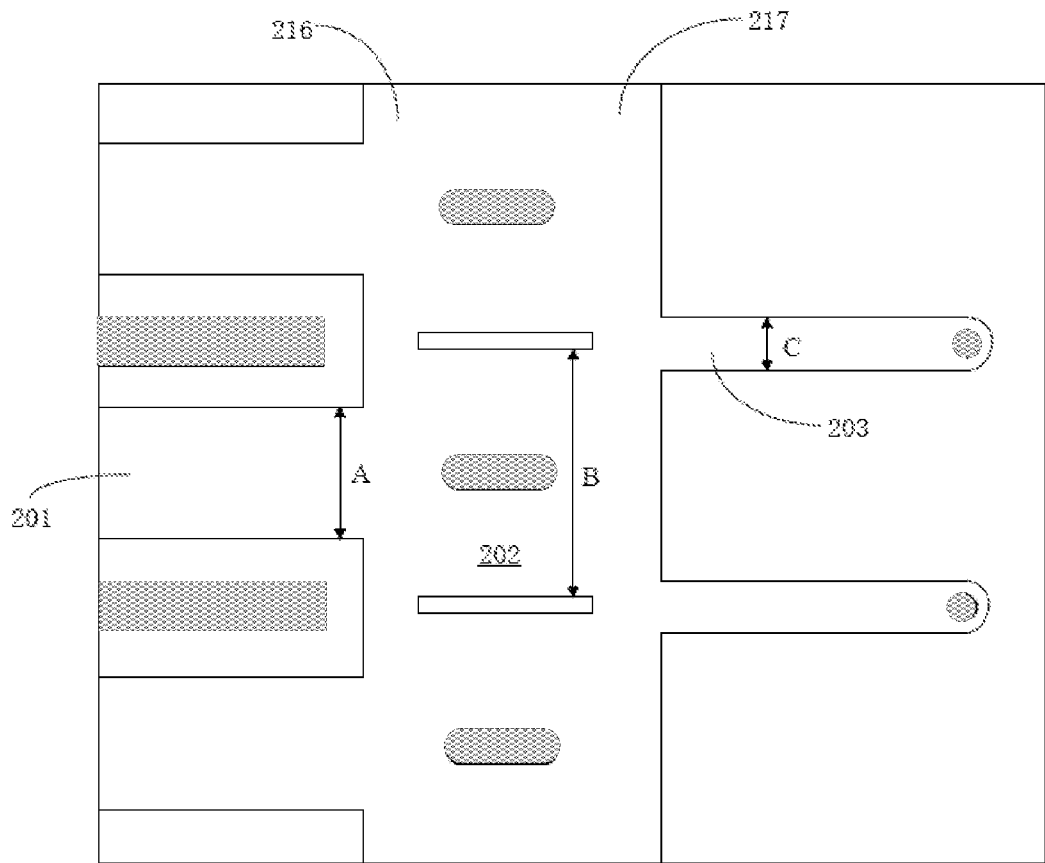


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/096597

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i; H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; DWPI: 垂直双扩散, 栅, 沟槽, 多晶硅, 绝缘, VDMOS, polysilicon, insulator, groove, trench

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103377929 A (PEKING UNIVERSITY FOUNDER GROUP CO., LTD. et al.) 30 October 2013 (30.10.2013), entire document	1-15
A	CN 103236439 A (WUXINCE POWER CO., LTD.) 07 August 2013 (07.08.2013), entire document	1-15
A	CN 105097545 A (PEKING UNIVERSITY FOUNDER GROUP CO., LTD. et al.) 25 November 2015 (25.11.2015), entire document	1-15
A	CN 203288599 U (WUXINCE POWER CO., LTD.) 13 November 2013 (13.11.2013), entire document	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search
08 November 2017

Date of mailing of the international search report
15 November 2017

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
DOU, Mingsheng
Telephone No. (86-10) 62411819

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/096597

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103377929 A	30 October 2013	CN 103377929 B	30 March 2016
CN 103236439 A	07 August 2013	CN 103236439 B	17 June 2015
CN 105097545 A	25 November 2015	None	
CN 203288599 U	13 November 2013	None	

国际检索报告

国际申请号

PCT/CN2017/096597

<p>A. 主题的分类 H01L 29/78(2006.01)i; H01L 21/336(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT;CNABS;DWPI:垂直双扩散, 栅, 沟槽, 多晶硅, 绝缘, VDMOS, polysilicon, insulator, groove, trench</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 103377929 A (北大方正集团有限公司 等) 2013年 10月 30日 (2013 - 10 - 30) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 103236439 A (无锡新洁能股份有限公司) 2013年 8月 7日 (2013 - 08 - 07) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 105097545 A (北大方正集团有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 203288599 U (无锡新洁能股份有限公司) 2013年 11月 13日 (2013 - 11 - 13) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 103377929 A (北大方正集团有限公司 等) 2013年 10月 30日 (2013 - 10 - 30) 全文	1-15	A	CN 103236439 A (无锡新洁能股份有限公司) 2013年 8月 7日 (2013 - 08 - 07) 全文	1-15	A	CN 105097545 A (北大方正集团有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-15	A	CN 203288599 U (无锡新洁能股份有限公司) 2013年 11月 13日 (2013 - 11 - 13) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 103377929 A (北大方正集团有限公司 等) 2013年 10月 30日 (2013 - 10 - 30) 全文	1-15															
A	CN 103236439 A (无锡新洁能股份有限公司) 2013年 8月 7日 (2013 - 08 - 07) 全文	1-15															
A	CN 105097545 A (北大方正集团有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-15															
A	CN 203288599 U (无锡新洁能股份有限公司) 2013年 11月 13日 (2013 - 11 - 13) 全文	1-15															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>																	
国际检索实际完成的日期	国际检索报告邮寄日期																
2017年 11月 8日	2017年 11月 15日																
ISA/CN的名称和邮寄地址	受权官员																
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	窦明生																
传真号 (86-10)62019451	电话号码 (86-10)62411819																

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/096597

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103377929	A	2013年 10月 30日	CN	103377929	B	2016年 3月 30日
CN	103236439	A	2013年 8月 7日	CN	103236439	B	2015年 6月 17日
CN	105097545	A	2015年 11月 25日	无			
CN	203288599	U	2013年 11月 13日	无			