

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-178550

(P2006-178550A)

(43) 公開日 平成18年7月6日(2006.7.6)

(51) Int. Cl.

G06F 11/18 (2006.01)

F I

G06F 11/18 310G

テーマコード(参考)

5B034

審査請求有 請求項の数 13 O L (全 23 頁)

(21) 出願番号 特願2004-368633 (P2004-368633)  
 (22) 出願日 平成16年12月21日(2004.12.21)

(出願人による申告)平成15年度 新エネルギー・産業技術総合開発機構 15度新エネ電情第0619006号 半導体アプリケーションチッププロジェクト(高機能・高信頼性サーバー用半導体チップ) 次世代高可用性サーバに係わる半導体チップ及び関連ソフトウェア技術の研究開発、産業活力再生特別措置法第30条の適用を受ける特許出願

(71) 出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (74) 代理人 100102864  
 弁理士 工藤 実  
 (72) 発明者 両角 裕一  
 東京都港区芝五丁目7番1号 日本電気株式会社内  
 Fターム(参考) 5B034 AA01 CC01 CC02 CC05 DD05 DD06

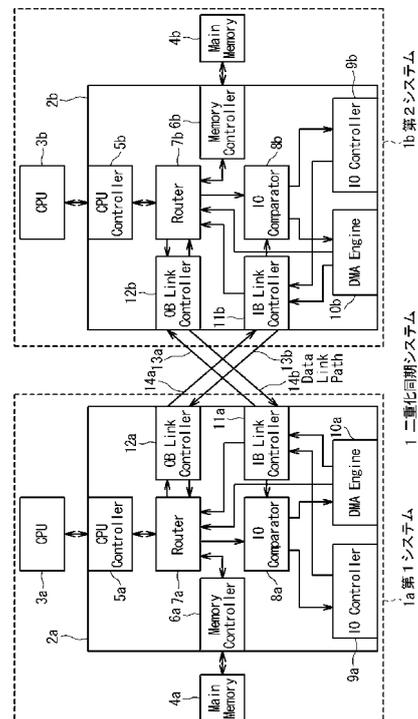
(54) 【発明の名称】 二重化同期システム、及び二重化同期システムの動作方法

(57) 【要約】 (修正有)

【課題】システム運用の一時停止期間の短縮。

【解決手段】二重化同期システム1は、第1システム1aと、その第1システム1aと同期して動作する第2システム1bとを備え、複数のデータリンクパス13、14を介して接続される。第1システム1aは、第1メモリ4aと、第1メモリ4aに対する読み書きを制御する第1コントローラ6aと、第1コントローラ6aにアクセス可能な第1DMAエンジン10aとを備える。第2システム1bも同様の構成を備える。第1メモリ4aから第2メモリ4bへのデータのコピー動作時、第1DMAエンジン10aは、第1読み出しコマンドと、第2読み出しコマンドとを、第1コントローラ6aに発信する。第1コントローラ6aは、2つの読み出しコマンドのそれぞれにตอบสนองして、第1メモリ4aからデータを読み出し、読み出されたデータを第1DMAエンジン10a及び第2DMAエンジン10bのそれぞれに返信する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 システムと、

前記第 1 システムと同期して動作する第 2 システムと

を具備し、

前記第 1 システムと前記第 2 システムは複数のデータリンクパスを介して接続され、

前記第 1 システムは、

第 1 メモリと、

前記第 1 メモリに対する読み書きを制御する第 1 コントローラと、

前記第 1 コントローラにアクセス可能な第 1 D M A エンジンと

を備え、

前記第 2 システムは、

第 2 メモリと、

前記第 2 メモリに対する読み書きを制御する第 2 コントローラと、

前記第 2 コントローラにアクセス可能な第 2 D M A エンジンと

を備え、

前記第 1 D M A エンジン及び前記第 2 D M A エンジンは、発信元が指定された読み出しコマンドを前記第 1 コントローラと前記第 2 コントローラのいずれかに発信する際、前記発信元を前記第 1 D M A エンジン及び前記第 2 D M A エンジンのいずれかに設定し、

前記第 1 コントローラは、前記読み出しコマンドに应答して、前記第 1 メモリからデータを読み出し、前記読み出されたデータを前記発信元に返信し、

前記第 2 コントローラは、前記読み出しコマンドに应答して、前記第 2 メモリからデータを読み出し、前記読み出されたデータを前記発信元に返信する

二重化同期システム。

## 【請求項 2】

請求項 1 に記載の二重化同期システムであって、

前記第 1 メモリから前記第 2 メモリへのデータのコピー動作時、

前記第 1 D M A エンジンは、前記発信元が前記第 1 D M A エンジンに設定された第 1 読み出しコマンドと、前記発信元が前記第 2 D M A エンジンに設定された第 2 読み出しコマンドとを、前記第 1 コントローラに発信し、

前記第 1 コントローラは、前記第 1 読み出しコマンド及び前記第 2 読み出しコマンドのそれぞれに应答して、前記第 1 メモリからデータを読み出し、前記読み出されたデータを前記第 1 D M A エンジン及び前記第 2 D M A エンジンのそれぞれに返信し、

前記第 1 D M A エンジン及び前記第 2 D M A エンジンは、前記読み出されたデータを前記第 2 コントローラを介して前記第 2 メモリに書き込む

二重化同期システム。

## 【請求項 3】

請求項 2 に記載の二重化同期システムであって、

前記第 1 コントローラは、前記第 1 読み出しコマンドに应答して、前記第 1 メモリ中の第 1 アドレス群に格納されたデータを読み出し、前記第 2 読み出しコマンドに应答して、前記第 1 メモリ中の前記第 1 アドレス群と異なる第 2 アドレス群に格納されたデータを読み出す

二重化同期システム。

## 【請求項 4】

請求項 3 に記載の二重化同期システムであって、

前記第 1 アドレス群は、奇数のアドレス群と偶数のアドレス群の一方を示し、

前記第 2 アドレス群は、前記奇数のアドレス群と前記偶数のアドレス群の他方を示す

二重化同期システム。

## 【請求項 5】

請求項 1 に記載の二重化同期システムであって、

10

20

30

40

50

前記第 1 メモリから前記第 2 メモリへのデータのコピー動作時、  
 前記第 1 D M A エンジンが故障している場合、  
 前記第 2 D M A エンジンは、前記発信元が前記第 2 D M A エンジンに設定された前記読み出しコマンドを、前記第 1 コントローラに発信し、  
 前記第 1 コントローラは、前記読み出しコマンドに应答して、前記第 1 メモリからデータを読み出し、前記読み出されたデータを前記第 2 D M A エンジンに返信し、  
 前記第 2 D M A エンジンは、前記読み出されたデータを前記第 2 コントローラを介して前記第 2 メモリに書き込む  
 二重化同期システム。

## 【請求項 6】

10

請求項 1 に記載の二重化同期システムであって、  
 前記第 1 メモリから前記第 2 メモリへのデータのコピー動作時、  
 前記第 2 D M A エンジンが故障している場合、  
 前記第 1 D M A エンジンは、前記発信元が前記第 1 D M A エンジンに設定された前記読み出しコマンドを、前記第 1 コントローラに発信し、  
 前記第 1 コントローラは、前記読み出しコマンドに应答して、前記第 1 メモリからデータを読み出し、前記読み出されたデータを前記第 1 D M A エンジンに返信し、  
 前記第 1 D M A エンジンは、前記読み出されたデータを前記第 2 コントローラを介して前記第 2 メモリに書き込む  
 二重化同期システム。

20

## 【請求項 7】

請求項 1 に記載の二重化同期システムであって、  
 前記第 1 メモリから前記第 2 メモリへのデータのコピー動作時、  
 前記第 1 D M A エンジンは、前記発信元が前記第 2 D M A エンジンに設定された前記読み出しコマンドを、前記第 1 コントローラに発信し、  
 前記第 1 コントローラは、前記読み出しコマンドに应答して、前記第 1 メモリからデータを読み出し、前記読み出されたデータを前記第 2 D M A エンジンに返信し、  
 前記第 2 D M A エンジンは、前記読み出されたデータを前記第 2 コントローラを介して前記第 2 メモリに書き込む  
 二重化同期システム。

30

## 【請求項 8】

請求項 2 乃至 7 のいずれかに記載の二重化同期システムであって、  
 前記複数のデータリンクパスのいずれかが故障している  
 二重化同期システム。

## 【請求項 9】

第 1 システムと、前記第 1 システムと同期して動作する第 2 システムとを有する二重化同期システム内の D M A エンジンであって、  
 前記第 1 システムの D M A エンジンを示す第 1 I D と、前記第 2 システムの D M A エンジンを示す第 2 I D のいずれかを、発行元の I D として付与し、コマンドを発行することを特徴とする  
 D M A エンジン。

40

## 【請求項 10】

二重化同期システムの動作方法であって、  
 前記二重化同期システムは、  
 第 1 システムと、前記第 1 システムと同期して動作する第 2 システムとを備え、  
 前記第 1 システムは、第 1 メモリと、前記第 1 メモリにアクセス可能な第 1 D M A エンジンとを有し、  
 前記第 2 システムは、第 2 メモリと、前記第 2 メモリにアクセス可能な第 2 D M A エンジンとを有し、  
 前記動作方法は、前記第 1 メモリから前記第 2 メモリへのデータのコピー動作時、前記

50

第 1 D M A エンジンと前記第 2 D M A エンジンの少なくとも 1 つが用いられることを特徴とする

二重化同期システムの動作方法。

【請求項 1 1】

請求項 1 0 に記載の二重化同期システムの動作方法であって、

前記第 1 D M A エンジンと前記第 2 D M A エンジンの両方が用いられることを特徴とする

二重化同期システムの動作方法。

【請求項 1 2】

請求項 1 1 に記載の二重化同期システムの動作方法であって、

前記第 1 メモリ中の奇数のアドレス群に格納されたデータの読み出しには、前記第 1 D M A エンジン及び前記第 2 D M A エンジンのうち一方が用いられ、

前記第 1 メモリ中の偶数のアドレス群に格納されたデータの読み出しには、前記第 1 D M A エンジン及び前記第 2 D M A エンジンのうち他方が用いられることを特徴とする

二重化同期システムの動作方法。

【請求項 1 3】

請求項 1 0 に記載の二重化同期システムの動作方法であって、

前記第 1 D M A エンジンと前記第 2 D M A エンジンのうち、故障していない方が用いられることを特徴とする

二重化同期システムの動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、二重化同期システムに関する。特に、本発明は、二重化同期システム、及びその二重化同期システムにおけるメモリの内容のコピー方法に関する。

【背景技術】

【0002】

高度な信頼性を提供するコンピュータとして、フォールトトレラント (FT: Fault Tolerant) コンピュータが知られている。FT コンピュータにおいては、システムを構成するハードウェアモジュールが二重化、または多重化され、それらハードウェアモジュールが同期動作をするように制御される。このような FT コンピュータに例示されるシステムは、以下「二重化同期システム」と参照される。二重化同期システムによれば、ある部位 (モジュール) で故障が発生した場合、その故障モジュールを切り離すことによって、正常なモジュールで処理を続行することが可能である。つまり、二重化同期システムは、優れた耐故障性 (可用性) を有する (例えば、特許文献 1 参照)。

【0003】

二重化同期システムは、第 1 システム (第 1 系) と第 2 システム (第 2 系) から構成される。通常運用時、両系のメインメモリに格納されているデータは、常に一致するように制御される。一方、システム起動時、あるいは障害が発生した後の復旧時においては、両系のメインメモリに格納されているデータは一致していない。そのため、一方のシステムのメインメモリに格納されているデータを、他方のシステムのメインメモリに速やかにコピーし、両系を一致させる必要がある。

【0004】

データの復旧作業中に、コピー元のシステムが通常運用されていると、そのシステムのメインメモリに格納されたデータは更新されてしまう。そのため、データの復旧作業中においては、二重化同期システム全体の運用を一時停止する必要がある。データの復旧にかかる時間が長くなると業務に支障をきたすため、その一時停止期間はなるべく短い方が望ましい。特に、近年、メインメモリの容量は増加の一途を辿っており、両系間のデータコピーに要する時間 (以下、「メモリコピー時間」と参照される) はますます増大している。また、システム間を接続するデータリンクパスの転送性能は、L S I 内部のデータ転送

10

20

30

40

50

性能と比べると低い。これも、メモリコピー時間の増大の要因の一つである。二重化同期システムにおけるメモリコピー時間を短縮し、一時停止期間を減少させることが望まれている。

【0005】

【特許文献1】特開平10-293697号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、メモリコピー時間を短縮することができる二重化同期システム及びその動作方法を提供することにある。

10

【0007】

本発明の他の目的は、システム運用の一時停止期間を短縮することができる二重化同期システム及びその動作方法を提供することにある。

【0008】

本発明の更に他の目的は、一方の系のDMAエンジンが故障した場合においても、両系の間でデータをコピーすることができる二重化同期システム及びその動作方法を提供することにある。

【0009】

本発明の更に他の目的は、両系間を接続するデータパスの一部が故障した場合においても、両系の間でデータをコピーすることができる二重化同期システム及びその動作方法を提供することにある。

20

【課題を解決するための手段】

【0010】

以下に、[発明を実施するための最良の形態]で使用される番号・符号を用いて、[課題を解決するための手段]を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0011】

本発明に係る二重化同期システム(1)は、第1システム(1a)と、その第1システム(1a)と同期して動作する第2システム(1b)とを備える。第1システム(1a)と第2システム(1b)は複数のデータリンクパス(13a、13b、14a、14b)を介して接続される。第1システム(1a)は、第1メモリ(4a)と、第1メモリ(4a)に対する読み書きを制御する第1コントローラ(6a)と、第1コントローラ(6a)にアクセス可能な第1DMAエンジン(10a)とを備える。第2システム(1b)は、第2メモリ(4b)と、第2メモリ(4b)に対する読み書きを制御する第2コントローラ(6b)と、第2コントローラ(6b)にアクセス可能な第2DMAエンジン(10b)とを備える。第1DMAエンジン(10a)及び第2DMAエンジン(10b)は、発信元が指定された読み出しコマンドを第1コントローラ(6a)と第2コントローラ(6b)のいずれかに発信する際、その発信元を第1DMAエンジン(10a)及び第2DMAエンジン(10b)のいずれかに設定する。第1コントローラ(6a)は、その読み出しコマンドに应答して、第1メモリ(4a)からデータを読み出し、読み出されたデータを発信元に返信するように構成される。第2コントローラ(6b)は、読み出しコマンドに应答して、第2メモリ(4b)からデータを読み出し、読み出されたデータを発信元に返信するように構成される。

30

40

【0012】

第1メモリ(4a)から第2メモリ(4b)へのデータのコピー動作時、第1DMAエンジン(10a)は、発信元が第1DMAエンジン(10a)に設定された第1読み出しコマンドと、発信元が第2DMAエンジン(10b)に設定された第2読み出しコマンドとを、第1コントローラ(6a)に発信する。第1コントローラ(6a)は、第1読み出

50

しコマンド及び第2読み出しコマンドのそれぞれに回答して、第1メモリ(4a)からデータを読み出し、読み出されたデータを第1DMAエンジン(10a)及び第2DMAエンジン(10b)のそれぞれに返信する。第1DMAエンジン(10a)及び第2DMAエンジン(10b)は、読み出されたデータを第2コントローラ(6b)を介して第2メモリ(4b)に書き込む。このように、データのコピー動作時に第1DMAエンジン(10a)と第2DMAエンジン(10b)の両方が用いられるため、メモリデータのコピー速度が全体として向上し、メモリコピーに要する時間が短縮される。これにより、システム運用の一時停止期間が短縮される。

【0013】

第1コントローラ(6a)は、第1読み出しコマンドに回答して、第1メモリ(4a)中の第1アドレス群に格納されたデータを読み出し、第2読み出しコマンドに回答して、第1メモリ(4a)中の第1アドレス群と異なる第2アドレス群に格納されたデータを読み出す。第1アドレス群は、奇数のアドレス群と偶数のアドレス群の一方を示し、第2アドレス群は、奇数のアドレス群と偶数のアドレス群の他方を示してもよい。

10

【0014】

また、第1メモリ(4a)から第2メモリ(4b)へのデータのコピー動作時、第1DMAエンジン(10a)が故障している場合、第2DMAエンジン(10b)は、発信元が第2DMAエンジン(10b)に設定された読み出しコマンドを、第1コントローラ(6a)に発信する。第1コントローラ(6a)は、読み出しコマンドに回答して、第1メモリ(4a)からデータを読み出し、読み出されたデータを第2DMAエンジンに返信する。第2DMAエンジン(10b)は、読み出されたデータを第2コントローラ(6b)を介して第2メモリ(4b)に書き込む。このように、第1DMAエンジン(10a)が故障した場合においても、両系の間でデータをコピーすることが可能となる。

20

【0015】

また、第1メモリ(4a)から第2メモリ(4b)へのデータのコピー動作時、第2DMAエンジン(10b)が故障している場合、第1DMAエンジン(10a)は、発信元が第1DMAエンジン(10a)に設定された読み出しコマンドを、第1コントローラ(6a)に発信する。第1コントローラ(6a)は、読み出しコマンドに回答して、第1メモリ(4a)からデータを読み出し、読み出されたデータを第1DMAエンジン(10a)に返信する。第1DMAエンジン(10a)は、読み出されたデータを第2コントローラ(6b)を介して第2メモリ(4b)に書き込む。このように、第2DMAエンジン(10b)が故障した場合においても、両系の間でデータをコピーすることが可能となる。

30

【0016】

また、第1メモリ(4a)から第2メモリ(4b)へのデータのコピー動作時、第1DMAエンジン(10a)は、発信元が第2DMAエンジン(10b)に設定された読み出しコマンドを、第1コントローラ(6a)に発信してもよい。第1コントローラ(6a)は、読み出しコマンドに回答して、第1メモリ(4a)からデータを読み出し、読み出されたデータを第2DMAエンジン(10b)に返信する。第2DMAエンジン(10b)は、読み出されたデータを第2コントローラ(6b)を介して第2メモリ(4b)に書き込む。

40

【0017】

複数のデータリンクパス(13a、13b、14a、14b)のいずれかが故障している場合においても、上記動作のうちいずれかによって、両系の間でデータをコピーすることが可能である。

【0018】

本発明に係るDMAエンジン(10a、10b)は、第1システム(1a)と、その第1システム(1a)と同期して動作する第2システム(1b)とを有する二重化同期システム(1)内のDMAエンジン(10a、10b)である。このDMAエンジン(10a、10b)は、第1システム(1a)のDMAエンジン(10a)を示す第1IDと、第2システム(1b)のDMAエンジン(10b)を示す第2IDのいずれかを、発行元の

50

IDとして付与し、コマンドを発行することができる。

【0019】

本発明に係る二重化同期システム(1)の動作方法によれば、第1メモリ(4a)から第2メモリ(4b)へのデータのコピー動作時、第1DMAエンジン(10a)と第2DMAエンジン(10b)の少なくとも1つが用いられる。第1DMAエンジン(10a)と第2DMAエンジン(10b)の両方が用いられてもよい。この時、第1メモリ(4a)中の奇数のアドレス群に格納されたデータの読み出しには、第1DMAエンジン(10a)及び第2DMAエンジン(10b)のうち一方が用いられる。第1メモリ(4a)中の偶数のアドレス群に格納されたデータの読み出しには、第1DMAエンジン(10a)及び第2DMAエンジン(10b)のうち他方が用いられる。また、第1DMAエンジン(10a)と第2DMAエンジン(10b)のうち、故障していない方が用いられてもよい。

10

【発明の効果】

【0020】

本発明に係る二重化同期システム及びその動作方法によれば、メモリコピー時間が短縮される。

【0021】

本発明に係る二重化同期システム及びその動作方法によれば、システム運用の一時停止期間が短縮される。

【0022】

本発明に係る二重化同期システム及びその動作方法によれば、一方の系のDMAエンジンが故障した場合においても、両系の間でデータをコピーすることが可能となる。

20

【0023】

本発明に係る二重化同期システム及びその動作方法によれば、両系間を接続するデータパスの一部が故障した場合においても、両系の間でデータをコピーすることが可能となる。

【発明を実施するための最良の形態】

【0024】

添付図面を参照して、本発明による二重化同期システム、及び二重化同期システムにおけるコピー方法を説明する。

30

【0025】

図1は、本発明に係る二重化同期システムの構成を示すブロック図である。この二重化同期システム1は、第1システム(第1系)1a及び第2システム(第2系)1bから構成されている。第1システム1aと第2システム1bは、互いに同期して動作する。

【0026】

第1システム1aは、制御LSI2a、CPU3a、メインメモリ(Main Memory)4aを備えている。制御LSI2aは、CPU3a及びメインメモリ4aに接続されている。制御LSI2aは、CPUコントローラ(CPU Controller)5a、メモリコントローラ(Memory Controller)6a、ルータ(Router)7a、IOコンパレータ(IO Comparator)8a、IOコントローラ(IO Controller)9a、DMAエンジン(DMA Engine)10a、IBリンクコントローラ(In-Bound Link Controller)11a、及びOBリンクコントローラ(Out-Bound Link Controller)12aを備えている。

40

【0027】

第2システム1bは、第1システム1aと同様の構成を有している。すなわち、第2システム1bは、制御LSI2b、CPU3b、メインメモリ4bを備えている。制御LSI2bは、CPUコントローラ5b、メモリコントローラ6b、ルータ7b、IOコンパレータ8b、IOコントローラ9b、DMAエンジン10b、IBリンクコントローラ11b、及びOBリンクコントローラ12bを備えている。

【0028】

50

CPUコントローラ5は、CPU3に対する接続バスを制御する。メモリコントローラ6は、メモリ4に対するアクセス(読み書き)を制御する。ルータ7は、ルーティングを制御する機能を有し、各リクエストを、CPU系、メモリ系、IO系のいずれかへルーティングする。IOコントローラ9は、IOデバイスに対する接続バスを制御する。

#### 【0029】

第1システム1aと第2システム1bは、複数のデータリンクパス(Data Link Path)13a、13b、14a及び14bを介して接続されている。IO側からCPU/メモリ側へのデータ転送(In-Bound)には、データリンクパス13が用いられ、CPU/メモリ側からIO側へのデータ転送(Out-Bound)には、データリンクパス14が用いられる。IBリンクコントローラ11は、In-Boundのデータ転送(以下、IBデータ転送と参照される)を制御する。OBリンクコントローラ12は、Out-Boundのデータ転送(以下、OBデータ転送と参照される)を制御する。

10

#### 【0030】

第1システム1aから第2システム1bへのIBデータ転送は、IBリンクコントローラ11a、データリンクパス13a、及びOBリンクコントローラ12bを介して実行される。第1システム1aから第2システム1bへのOBデータ転送は、OBリンクコントローラ12a、データリンクパス14a、及びIBリンクコントローラ11bを介して実行される。第2システム1bから第1システム1aへのIBデータ転送は、IBリンクコントローラ11b、データリンクパス13b、及びOBリンクコントローラ12aを介して実行される。第2システム1bから第1システム1aへのOBデータ転送は、OBリンクコントローラ12b、データリンクパス14b、及びIBリンクコントローラ11aを介して実行される。尚、IOコンパレータ8は、運用動作時に、自系のOut-Boundアクセスと、他系からのOut-Boundアクセスの比較を行う。

20

#### 【0031】

DMAエンジン(DMAコントローラ)10は、DMA転送の制御を行う。DMA(Direct Memory Access)転送においては、CPU3を介さずに、I/O機器とメモリ4との間でデータが直接転送される。第1システム1aのDMAエンジン10aは、ルータ7aを介してメモリコントローラ6aにアクセス可能である。また、このDMAエンジン10aは、IBリンクコントローラ11aを介して、第2システム1bのメモリコントローラ6bにアクセス可能である。第2システム1bのDMAエンジン10bは、ルータ7bを介してメモリコントローラ6bにアクセス可能である。また、このDMAエンジン10bは、IBリンクコントローラ11bを介して、第1システム1aのメモリコントローラ6aにアクセス可能である。

30

#### 【0032】

図2は、本発明に係るDMAエンジン10の構成を更に詳しく示している。本発明に係るDMAエンジン10は、コンフィグレジスタ20を有している。コンフィグレジスタ20には、「DMA動作モード」、「コピー元ID」、「コピー先ID」、「メモリコピー開始アドレス」、「サイズ」、及び「コントロールデータ(情報)」が設定される。「DMA動作モード」としては、次の3種類が設定可能である：1.両系マスタモード、2.両系スレーブモード、3.片系マスタモード。各々のモードにおける動作は、後に詳しく説明される。「コピー元ID」には、コピー元であるメインメモリ4のIDが設定される。「コピー先ID」には、コピー先であるメインメモリ4のIDが設定される。「メモリコピー開始アドレス」には、コピーが開始されるアドレスが設定される。「サイズ」には、コピーされる領域のサイズが設定される。DMAエンジン10は、サイズ分アドレスを更新し、読み出しコマンドを発信する。「コントロールデータ」には、「擬装設定」とDMA開始ビットなどが設定される。擬装設定に関しては、後に詳しく説明される。DMA開始ビットがONになると、DMA動作が開始する。

40

#### 【0033】

コンフィグレジスタ20に対するこれらの設定は、CPU3によって行われる。つまり、第1システム1aのDMAエンジン10aは、コンフィグレジスタ20aを有しており

50

、そのコンフィグレジスタ20aに対する設定は、CPU3aまたはCPU3bによって行われる。第2システム1bのDMAエンジン10bは、コンフィグレジスタ20bを有しており、そのコンフィグレジスタ20bに対する設定は、CPU3bまたはCPU3aによって行われる。

【0034】

このような二重化同期システム1において、ある構成要素から他の構成要素に対するリクエスト(コマンド)は、パケットを転送することにより実行される。以下の説明において、コマンドを発行する側、すなわちパケットを送信する側は、「発信元(ソース)」と参照される。また、そのパケットを受け取る側は、「相手先(ターゲット)」と参照される。

10

【0035】

図3は、本発明に係る二重化同期システム1において用いられるパケットの内容を示している。コンフィグ用パケットは、コンフィグレジスタ20の設定を行うために、CPU3が生成する。このコンフィグ用パケットは、ターゲットを示すIDである「ターゲットID」、ソースを示すIDである「ソースID」、CPU3が発行する「コンフィグライト・コマンド」、「レジスタアドレス」、及びコンフィグレジスタ20に設定される「レジスタデータ」を有している。リード用パケットは、メインメモリ4からデータを読み出すために、DMAエンジン10が生成する。このリード用パケットは、「ターゲットID」、「ソースID」、DMAエンジン10が発行する「DMAメモリコピーリード・コマンド」、及び「メモリアドレス」を有している。コンプリション用パケットは、メモリコントローラ6が発行する。このコンプリション用パケットは、「ターゲットID」、「ソースID」、メモリコントローラ6が発行する「コンプリション・コマンド」、「メモリアドレス」、及びメインメモリ4から読み出された「メモリデータ」を有している。ライト用パケットは、メインメモリ4にデータを書き込むために、DMAエンジン10が生成する。このライト用パケットは、「ターゲットID」、「ソースID」、DMAエンジン10が発行する「DMAメモリコピーライト・コマンド」、「メモリアドレス」、及び「メモリデータ」を有している。

20

【0036】

CPU3は、第1システム1aのDMAエンジン10a(第1DMAエンジン)及び第2システム1bのDMAエンジン10b(第2DMAエンジン)に、コンフィグ用パケットを送信することができる。コンフィグライト・コマンドによって、対応するコンフィグレジスタ20の設定が行われる。

30

【0037】

DMA動作時、DMAエンジン10は、第1システム1aのメモリコントローラ6a及びメモリコントローラ6bに、リード用パケット(読み出しコマンド)を送信することができる。このリード用パケットにおいて、ターゲットIDは、コンフィグレジスタ20に設定されたコピー元IDに対応したメモリコントローラ6に設定される。

【0038】

メモリコントローラ6は、リード用パケットを受け取る。DMAメモリコピーリード・コマンド(読み出しコマンド)に回答して、メモリコントローラ6は、対応するメインメモリ4から所定のデータを読み出す。データが読み出された後、メモリコントローラ6は、コンプリション用パケットをルータ7に送信する。ここで、メモリコントローラ6は、リード用パケット中に示されたターゲットIDとソースIDを入れ替えて、コンプリション用パケットのターゲットIDとソースIDに設定する。すなわち、リード用パケットのターゲットIDはコンプリション用パケットのソースIDとなり、リード用パケットのソースIDはコンプリション用パケットのターゲットIDとなる。

40

【0039】

ルータ7は、コンプリション用パケットを受け取ると、そのターゲットIDをチェックする。そして、ルータ7は、そのターゲットIDに応じて、コンプリション用パケットを自系のDMAエンジン10、あるいはOBリンクコントローラ12を介して他系のDMA

50

エンジン 10 にフォワードする。

【0040】

DMAエンジン10は、コンプリション用パケットを受け取ると、ライト用パケット(書き込みコマンド)を出力する。このライト用パケットにおいて、ターゲットIDは、コンフィグレジスタ20に設定されたコピー先IDに対応したメモリコントローラ6に設定される。メモリコントローラ6は、ライト用パケットを受け取る。DMAメモリコピーライト・コマンド(書き込みコマンド)に回答して、メモリコントローラ6は、対応するメインメモリ4にメモリデータを書き込む。

【0041】

このようにして、DMA動作時には、一方の系のメインメモリ4から、他方の系のメインメモリ4へのデータコピーが実行される。ここで、本発明に係るDMAエンジン10は、リード用パケットのソースとして、第1DMAエンジン10aと第2DMAエンジン10bのいずれをも設定することができる。例えば、第1システム1aの第1DMAエンジン10aは、ソースが第1DMAエンジン10aに設定されたリード用パケットだけでなく、ソースが第2DMAエンジン10bに設定されたリード用パケットをも発信することが可能である。この時、ソースが第2DMAエンジン10bに設定されたリード用パケットは、「擬装パケット」である。すなわち、その擬装パケットを受け取るメモリコントローラ6は、そのリード用パケットが第2DMAエンジン10bから発信されたものであると解釈する。よって、その擬装パケットに対応するコンプリション用パケットは、第1DMAエンジン10aではなく、第2DMAエンジン10bに向けて送信される。どのような擬装が行われるかが、コンフィグレジスタ20の“擬装設定”として設定される。

【0042】

以下、いくつかの例を示すことによって、本発明に係る二重化同期システム1とDMAエンジン10の動作及びその作用・効果を、詳しく説明する。以下の動作例においては、第2システム1bのCPU3bが故障から復旧した後、第1システム1aのメインメモリ4a(コピー元)から、第2システム1bのメインメモリ4b(コピー先)へデータがコピーされる状況が示される。

【0043】

(第1の実施の形態)

本実施の形態においては、第1DMAエンジン10aと第2DMAエンジン10bの両方が用いられる(両系モード)。図4は、本実施の形態における処理の流れを示している。

【0044】

まず、第1システム1aのCPU3aは、第1DMAエンジン10a及び第2DMAエンジン10bが使用可能であり、データリンクパス13、14にエラーが発生していないことを確認する。その後、CPU3aは、コンフィグ用パケットを第1DMAエンジン10aに送信する(ステップS11-1)。また、CPU3aは、コンフィグ用パケットを、データリンクパス14a(Out-Bound)を介して第2DMAエンジン10bに送信する(ステップS11-2)。これにより、コンフィグレジスタ20a及びコンフィグレジスタ20bの設定が行われる。

【0045】

図5は、設定されたコンフィグレジスタ20の内容を示している。コンフィグレジスタ20aにおいて、DMA動作モードは「両系マスタモード」に設定され、コンフィグレジスタ20bにおいて、DMA動作モードは「両系スレーブモード」に設定される。つまり、本実施の形態において、第1システム1aがマスタとして機能し、第2システム1bがスレーブとして機能する。また、コンフィグレジスタ20aにおいて、擬装設定は、「奇数/偶数」に設定される。この設定によれば、後述されるように、読み出しアドレスが奇数が偶数かに応じて、擬装がON/OFFされる。また、両コンフィグレジスタ20において、コピー元は、メインメモリ4aに設定され、コピー先は、メインメモリ4bに設定される。また、DMA開始ビットがONになり、DMA動作が開始する。

10

20

30

40

50

## 【0046】

DMA動作モードが「両系スレーブモード」に設定された場合、第2DMAエンジン10bは、リード用パケットを出力しない。DMA動作モードが「両系マスタモード」に設定された場合、第1DMAエンジン10aは、擬装設定に基づいてリード用パケットを生成し、生成されたリード用パケットを出力する。

## 【0047】

図6は、第1DMAエンジン10aによって生成されるリード用パケットの内容を示している。本実施の形態において、第1DMAエンジン10aは、2種類のリード用パケットを生成する。例えば、第1リード用パケットのソースとしては、第1DMAエンジン10aが設定され、第2リード用パケットのソースとしては、第2DMAエンジン10bが設定される。つまり、第2リード用パケットは、「擬装パケット」である。また、両パケットにおいて、ターゲットは、コンフィグレジスタ20aに設定されたコピー元ID（メインメモリ4a）に基づいて、メモリコントローラ6aに設定されている。また、第1リード用パケットは、メインメモリ4a中の奇数アドレスに対応づけられ、第2リード用パケットは、メインメモリ4a中の偶数アドレスに対応づけられている。この時、第1リード用パケットは、奇数のアドレス群に格納されたデータを読み出すために用いられる。一方、第2リード用パケットは、偶数のアドレス群に格納されたデータを読み出すために用いられる。尚、第1リード用パケットが偶数アドレスに対応し、第2リード用パケットが奇数アドレスに対応していてもよい。

## 【0048】

第1DMAエンジン10aは、生成された第1リード用パケット及び第2リード用パケットを、ルータ7a経由でメモリコントローラ6aに送信する（ステップS12）。メモリコントローラ6aは、第1リード用パケットを受け取ると、DMAメモリコピーリード・コマンドに回答して、メインメモリ4aの奇数アドレスからリードデータを読み出す。続いて、メモリコントローラ6aは、そのリードデータを含む第1コンプリション用パケットをルータ7aに送信する（ステップS13）。また、メモリコントローラ6aは、第2リード用パケットを受け取ると、DMAメモリコピーリード・コマンドに回答して、メインメモリ4aの偶数アドレスからリードデータを読み出す。続いて、メモリコントローラ6aは、そのリードデータを含む第2コンプリション用パケットをルータ7aに送信する（ステップS13）。

## 【0049】

図7は、メモリコントローラ6aから出力される第1コンプリション用パケット及び第2コンプリション用パケットの内容を示している。メモリコントローラ6aは、リード用パケット中に示されたターゲットIDとソースIDを入れ替えて、コンプリション用パケットのターゲットIDとソースIDに設定する。すなわち、第1コンプリション用パケットにおいて、ターゲットは第1DMAエンジン10aに設定され、ソースはメモリコントローラ6aに設定される。また、第2コンプリション用パケットにおいて、ターゲットは第2DMAエンジン10bに設定され、ソースはメモリコントローラ6aに設定される。

## 【0050】

ルータ7aは、コンプリション用パケットを受け取ると、そのターゲットIDをチェックする。第1コンプリション用パケットを受け取った場合、すなわちターゲットが第1DMAエンジン10aの場合、ルータ7aは、その第1コンプリション用パケットを、IOコンパレータ8a経由で第1DMAエンジン10aにフォワードする（ステップS14-1）。第2コンプリション用パケットを受け取った場合、すなわちターゲットが第2DMAエンジン10bの場合、ルータ7aは、その第2コンプリション用パケットを、OBリンクコントローラ12aにフォワードする。これにより、第2コンプリション用パケットは、データリンクパス14a、IBリンクコントローラ11b、及びIOコンパレータ8bを経由して、第2DMAエンジン10bに伝送される（ステップS14-2）。

## 【0051】

第1DMAエンジン10aは、第1コンプリション用パケットを受け取ると、ライト用

10

20

30

40

50

パケットを生成する。ライト用パケットにおいて、ターゲットは、コンフィグレジスタ 20 a に設定されたコピー先 ID (メインメモリ 4 b) に基づいて、メモリコントローラ 6 b に設定される。よって、第 1 DMA エンジン 10 a から出力されたライト用パケットは、IB リンクコントローラ 11 a、データリンクパス 13 a、OB リンクコントローラ 12 b、ルータ 7 b を経由して、メモリコントローラ 6 b に伝送される (ステップ S 15 - 1)。メモリコントローラ 6 b は、ライト用パケットを受け取ると、DMA メモリコピーライト・コマンドに回答して、メインメモリ 4 b の奇数アドレスにリードデータを書き込む。

**【0052】**

DMA 動作モードが「両系スレーブモード」に設定された DMA エンジン 10 は、ライト用パケットのみ生成する。つまり、第 2 DMA エンジン 10 b は、第 2 コンプリション用パケットを受け取ると、ライト用パケットを生成する。ライト用パケットにおいて、ターゲットは、コンフィグレジスタ 20 b に設定されたコピー先 ID (メインメモリ 4 b) に基づいて、メモリコントローラ 6 b に設定される。よって、第 2 DMA エンジン 10 b から出力されたライト用パケットは、ルータ 7 b を経由して、メモリコントローラ 6 b に伝送される (ステップ S 15 - 2)。メモリコントローラ 6 b は、ライト用パケットを受け取ると、DMA メモリコピーライト・コマンドに回答して、メインメモリ 4 b の偶数アドレスにリードデータを書き込む。

**【0053】**

以上に示された DMA 動作により、メインメモリ 4 a からメインメモリ 4 b へ、メモリデータがコピーされる。上記例において、擬装パケットは、アドレスが奇数か偶数かに依存して生成されたが、擬装設定はこれに限られない。例えば、メインメモリ 4 のメモリ空間が二分割され、開始アドレスが分けられる。第 1 リード用パケットは、第 1 のアドレス群に対応づけられ、第 2 リード用パケットは、第 1 のアドレス群と異なる第 2 のアドレス群に対応づけられる。

**【0054】**

以上に説明されたように、本実施の形態によれば、第 1 DMA エンジン 10 a が擬装パケットを生成するので、第 1 DMA エンジン 10 a 及び第 2 DMA エンジン 10 b の両方を同時に用いてデータコピーを実行することが可能となる。上記例においては、第 2 DMA エンジン 10 b が、第 2 コンプリション用パケットに対するライト用パケットの生成の役割を担うことになる。つまり、第 1 DMA エンジン 10 a の負荷が軽減される。よって、メモリデータのコピー速度が全体として向上し、メモリコピーに要する総時間が短縮される。すなわち、システム運用の一時停止期間が短縮される。

**【0055】**

また、第 1 DMA エンジン 10 a が生成したライト用パケットは、データリンクパス 13 a を経由してメモリコントローラ 6 b に伝送され、第 2 コンプリション用パケットは、データリンクパス 14 a を経由して第 2 DMA エンジン 10 b に伝送される。つまり、系間の転送すなわちデータコピーを、データリンクパス 13 a 及び 14 a の両方を同時に用いて実行することが可能となる。従って、メモリデータのコピー速度が全体として向上し、メモリコピーに要する総時間が短縮される。よって、システム運用の一時停止期間が短縮される。

**【0056】**

また、第 1 DMA エンジン 10 a が擬装パケットを生成するため、第 2 DMA エンジン 10 b がリード用パケット (読み出しコマンド) を発行する必要がない。つまり、読み出しコマンドを、第 2 DMA エンジン 10 b から、IB リンクコントローラ 11 b、データリンクパス 13 b、OB リンクコントローラ 12 a、ルータ 7 a を介して、メモリコントローラ 6 a に伝送する必要がない。系間をまたがる読み出しコマンドの転送が省略される。従って、メモリデータのコピー速度が全体として向上し、メモリコピーに要する総時間が短縮される。すなわち、システム運用の一時停止期間が短縮される。

**【0057】**

10

20

30

40

50

(第2の実施の形態)

本実施の形態において、第1システム1aの第1DMAエンジン10aが故障しているとする。この場合、故障していない第2DMAエンジン10bのみが用いられる(片系モード)。図8は、本実施の形態における処理の流れを示している。

【0058】

まず、第1システム1aのCPU3aは、第1DMAエンジン10aの故障を検出し、また、第2DMAエンジン10bが使用可能であり、データリンクパス13、14にエラーが発生していないことを確認する。その後、CPU3aは、コンフィグ用パケットを、データリンクパス14a(Out-Bound)を介して第2DMAエンジン10bに送信する(ステップS21)。これにより、コンフィグレジスタ20bの設定が行われる。

10

【0059】

図9は、設定されたコンフィグレジスタ20bの内容を示している。コンフィグレジスタ20bにおいて、DMA動作モードは「片系マスタモード」に設定される。また、コンフィグレジスタ20bにおいて、コピー元は、メインメモリ4aに設定され、コピー先は、メインメモリ4bに設定される。DMA動作モードが「片系マスタモード」に設定された場合、擬装設定は設定されない。また、DMA開始ビットがONになり、DMA動作が開始する。

【0060】

第2DMAエンジン10bは、リード用パケットを生成する。図10は、第2DMAエンジン10bによって生成されるリード用パケットの内容を示している。リード用パケットのソースは、第2DMAエンジン10bに設定される。また、リード用パケットのターゲットは、コンフィグレジスタ20bに設定されたコピー元ID(メインメモリ4a)に基づいて、メモリコントローラ6aに設定される。よって、第2DMAエンジン10bから出力されたリード用パケットは、IBリンクコントローラ11b、データリンクパス13b、OBリンクコントローラ12a、ルータ7aを経由して、メモリコントローラ6aに伝送される(ステップS22)。

20

【0061】

メモリコントローラ6aは、リード用パケットを受け取ると、DMAメモリコピーリード・コマンドに回答して、メインメモリ4aからリードデータを読み出す。続いて、メモリコントローラ6aは、そのリードデータを含むコンプリション用パケットをルータ7aに送信する(ステップS23)。メモリコントローラ6aは、リード用パケット中に示されたターゲットIDとソースIDを入れ替えて、コンプリション用パケットのターゲットIDとソースIDに設定する。すなわち、コンプリション用パケットにおいて、ターゲットは第2DMAエンジン10bに設定され、ソースはメモリコントローラ6aに設定される。

30

【0062】

ルータ7aは、コンプリション用パケットを受け取ると、そのターゲットIDをチェックする。ここでは、ターゲットは第2DMAエンジン10bであるため、ルータ7aは、そのコンプリション用パケットを、OBリンクコントローラ12aにフォワードする。これにより、そのコンプリション用パケットは、データリンクパス14a、IBリンクコントローラ11b、及びIOコンパレータ8bを経由して、第2DMAエンジン10bに伝送される(ステップS24)。

40

【0063】

第2DMAエンジン10bは、コンプリション用パケットを受け取ると、ライト用パケットを生成する。ライト用パケットにおいて、ターゲットは、コンフィグレジスタ20bに設定されたコピー先ID(メインメモリ4b)に基づいて、メモリコントローラ6bに設定される。よって、第2DMAエンジン10bから出力されたライト用パケットは、ルータ7bを経由して、メモリコントローラ6bに伝送される(ステップS25)。メモリコントローラ6bは、ライト用パケットを受け取ると、DMAメモリコピーライト・コマンドに回答して、メインメモリ4bにリードデータを書き込む。

50

## 【 0 0 6 4 】

以上に説明されたように、本実施の形態によれば、第 1 D M A エンジン 1 0 a が故障していたとしても、第 1 メインメモリ 4 a から第 2 メインメモリ 4 b にメモリデータをコピーすることが可能となる。

## 【 0 0 6 5 】

( 第 3 の実施の形態 )

本実施の形態において、第 2 システム 1 b の第 2 D M A エンジン 1 0 b が故障しているとする。この場合、故障していない第 1 D M A エンジン 1 0 a のみが用いられる ( 片系モード ) 。図 1 1 は、本実施の形態における処理の流れを示している。

## 【 0 0 6 6 】

まず、第 1 システム 1 a の C P U 3 a は、第 2 D M A エンジン 1 0 b の故障を検出し、また、第 1 D M A エンジン 1 0 a が使用可能であり、データリンクパス 1 3、1 4 にエラーが発生していないことを確認する。その後、C P U 3 a は、コンフィグ用パケットを、第 1 D M A エンジン 1 0 a に送信する ( ステップ S 3 1 ) 。これにより、コンフィグレジスタ 2 0 a の設定が行われる。

## 【 0 0 6 7 】

図 1 2 は、設定されたコンフィグレジスタ 2 0 a の内容を示している。コンフィグレジスタ 2 0 a において、D M A 動作モードは「片系マスタモード」に設定される。また、コンフィグレジスタ 2 0 a において、コピー元は、メインメモリ 4 a に設定され、コピー先は、メインメモリ 4 b に設定される。D M A 動作モードが「片系マスタモード」に設定された場合、擬装設定は設定されない。また、D M A 開始ビットが O N になり、D M A 動作が開始する。

## 【 0 0 6 8 】

第 1 D M A エンジン 1 0 a は、リード用パケットを生成する。図 1 3 は、第 1 D M A エンジン 1 0 a によって生成されるリード用パケットの内容を示している。リード用パケットのソースは、第 1 D M A エンジン 1 0 a に設定される。また、リード用パケットのターゲットは、コンフィグレジスタ 2 0 a に設定されたコピー元 I D ( メインメモリ 4 a ) に基づいて、メモリコントローラ 6 a に設定される。よって、第 1 D M A エンジン 1 0 a から出力されたリード用パケットは、ルータ 7 a を経由して、メモリコントローラ 6 a に伝送される ( ステップ S 3 2 ) 。

## 【 0 0 6 9 】

メモリコントローラ 6 a は、リード用パケットを受け取ると、D M A メモリコピーリード・コマンドに回答して、メインメモリ 4 a からリードデータを読み出す。続いて、メモリコントローラ 6 a は、そのリードデータを含むコンプリション用パケットをルータ 7 a に送信する ( ステップ S 3 3 ) 。メモリコントローラ 6 a は、リード用パケット中に示されたターゲット I D とソース I D を入れ替えて、コンプリション用パケットのターゲット I D とソース I D に設定する。すなわち、コンプリション用パケットにおいて、ターゲットは第 1 D M A エンジン 1 0 a に設定され、ソースはメモリコントローラ 6 a に設定される。

## 【 0 0 7 0 】

ルータ 7 a は、コンプリション用パケットを受け取ると、そのターゲット I D をチェックする。ここでは、ターゲットは第 1 D M A エンジン 1 0 a であるため、ルータ 7 a は、そのコンプリション用パケットを、I O コンパレータ 8 a 経由で第 1 D M A エンジン 1 0 a にフォワードする ( ステップ S 3 4 ) 。

## 【 0 0 7 1 】

第 1 D M A エンジン 1 0 a は、コンプリション用パケットを受け取ると、ライト用パケットを生成する。ライト用パケットにおいて、ターゲットは、コンフィグレジスタ 2 0 a に設定されたコピー先 I D ( メインメモリ 4 b ) に基づいて、メモリコントローラ 6 b に設定される。よって、第 1 D M A エンジン 1 0 a から出力されたライト用パケットは、I B リンクコントローラ 1 1 a、データリンクパス 1 3 a、O B リンクコントローラ 1 2 b

10

20

30

40

50

、ルータ7 bを経由して、メモリコントローラ6 bに伝送される(ステップS 3 5)。メモリコントローラ6 bは、ライト用パケットを受け取ると、DMAメモリコピーライト・コマンドに应答して、メインメモリ4 bにリードデータを書き込む。

【0072】

以上に説明されたように、本実施の形態によれば、第2 DMAエンジン10 bが故障していたとしても、第1メインメモリ4 aから第2メインメモリ4 bにメモリデータをコピーすることが可能となる。また、図11に示されるように、使用されるデータリンクパスは、データリンクパス13 aのみである。よって、データリンクパスの故障に対する耐性に優れている。

【0073】

(第4の実施の形態)

本実施の形態は、第1の実施の形態とは異なる両系モードである。つまり、第1 DMAエンジン10 aと第2 DMAエンジン10 bの両方が用いられる。図14は、本実施の形態における処理の流れを示している。

【0074】

まず、第1システム1 aのCPU3 aは、第1 DMAエンジン10 a及び第2 DMAエンジン10 bが使用可能であることを確認する。その後、CPU3 aは、コンフィグ用パケットを第1 DMAエンジン10 aに送信する(ステップS 41-1)。また、CPU3 aは、コンフィグ用パケットを、データリンクパス14 a(Out-Bound)を介して第2 DMAエンジン10 bに送信する(ステップS 41-2)。これにより、コンフィグレジスタ20 a及びコンフィグレジスタ20 bの設定が行われる。

【0075】

図15は、設定されたコンフィグレジスタ20の内容を示している。コンフィグレジスタ20 aにおいて、DMA動作モードは「両系マスタモード」に設定され、コンフィグレジスタ20 bにおいて、DMA動作モードは「両系スレーブモード」に設定される。つまり、本実施の形態において、第1システム1 aがマスタとして機能し、第2システム1 bがスレーブとして機能する。また、コンフィグレジスタ20 aにおいて、擬装設定は、「全変更」に設定される。この設定によれば、後述されるように、全てのリード用パケットが擬装される。また、両コンフィグレジスタ20において、コピー元は、メインメモリ4 aに設定され、コピー先は、メインメモリ4 bに設定される。また、DMA開始ビットがONになり、DMA動作が開始する。

【0076】

DMA動作モードが「両系スレーブモード」に設定されるので、第2 DMAエンジン10 bは、リード用パケットを出力しない。DMA動作モードが「両系マスタモード」に設定されるので、第1 DMAエンジン10 aは、擬装設定に基づいてリード用パケットを生成し、生成されたリード用パケットを出力する。

【0077】

図16は、第1 DMAエンジン10 aによって生成されるリード用パケットの内容を示している。本実施の形態において、第1 DMAエンジン10 aは、全てのリード用パケットを「擬装パケット」とする。つまり、全てのリード用パケットのソースは、第2 DMAエンジン10 bに設定される。また、リード用パケットのターゲットは、コンフィグレジスタ20 aに設定されたコピー元ID(メインメモリ4 a)に基づいて、メモリコントローラ6 aに設定される。よって、第1 DMAエンジン10 aから出力されたリード用パケットは、ルータ7 aを経由して、メモリコントローラ6 aに伝送される(ステップS 42)。

【0078】

メモリコントローラ6 aは、リード用パケットを受け取ると、DMAメモリコピーリード・コマンドに应答して、メインメモリ4 aからリードデータを読み出す。続いて、メモリコントローラ6 aは、そのリードデータを含むコンプリション用パケットをルータ7 aに送信する(ステップS 43)。メモリコントローラ6 aは、リード用パケット中に示さ

10

20

30

40

50

れたターゲットIDとソースIDを入れ替えて、コンプリション用パケットのターゲットIDとソースIDに設定する。すなわち、コンプリション用パケットにおいて、ターゲットは第2DMAエンジン10bに設定され、ソースはメモリコントローラ6aに設定される。

**【0079】**

ルータ7aは、コンプリション用パケットを受け取ると、そのターゲットIDをチェックする。ここでは、ターゲットは第2DMAエンジン10bであるため、ルータ7aは、そのコンプリション用パケットを、OBリンクコントローラ12aにフォワードする。これにより、そのコンプリション用パケットは、データリンクパス14a、IBリンクコントローラ11b、及びIOコンパレータ8bを経由して、第2DMAエンジン10bに伝送される(ステップS44)。

10

**【0080】**

第2DMAエンジン10bは、コンプリション用パケットを受け取ると、ライト用パケットを生成する。ライト用パケットにおいて、ターゲットは、コンフィグレジスタ20bに設定されたコピー先ID(メインメモリ4b)に基づいて、メモリコントローラ6bに設定される。よって、第2DMAエンジン10bから出力されたライト用パケットは、ルータ7bを経由して、メモリコントローラ6bに伝送される(ステップS45)。メモリコントローラ6bは、ライト用パケットを受け取ると、DMAメモリコピーライト・コマンドに回答して、メインメモリ4bにリードデータを書き込む。

**【0081】**

本実施の形態によれば、図14に示されたように、使用されるデータリンクパスは、データリンクパス14aのみである。よって、データリンクパスの故障に対する耐性に優れている。

20

**【0082】**

また、第1DMAエンジン10aが擬装パケットを生成するので、第1DMAエンジン10a及び第2DMAエンジン10bの両方を同時に用いてデータコピーを実行することが可能となる。上記例においては、第2DMAエンジン10bが、コンプリション用パケットに対するライト用パケットの生成の役割を担うことになる。つまり、第1DMAエンジン10aの負荷が軽減される。よって、メモリデータのコピー速度が全体として向上し、メモリコピーに要する総時間が短縮される。すなわち、システム運用の一時停止期間が短縮される。

30

**【0083】**

また、第1DMAエンジン10aが擬装パケットを生成するため、第2DMAエンジン10bがリード用パケット(読み出しコマンド)を発行する必要がない。つまり、読み出しコマンドを、第2DMAエンジン10bから、IBリンクコントローラ11b、データリンクパス13b、OBリンクコントローラ12a、ルータ7aを介して、メモリコントローラ6aに伝送する必要がない。系間をまたがる読み出しコマンドの転送が省略される。従って、メモリデータのコピー速度が全体として向上し、メモリコピーに要する総時間が短縮される。すなわち、システム運用の一時停止期間が短縮される。

**【0084】**

(第5の実施の形態)

本発明は、データリンクパス13、14にエラーが発生した場合にも有用である。

**【0085】**

データリンクパス13aが故障している場合、第2の実施の形態あるいは第4の実施の形態を適用することが可能である。つまり、CPU3aは、データリンクパス13aのエラーを検出した場合、第2の実施の形態あるいは第4の実施の形態と同様に、コンフィグレジスタ20を設定する。図8あるいは図14に示されるように、これらの実施の形態においては、データリンクパス13aは用いられていない。従って、第1メインメモリ4aから第2メインメモリ4bにメモリデータをコピーすることが可能となる。

**【0086】**

40

50

データリンクパス14aが故障している場合、第3の実施の形態を適用することが可能である。つまり、CPU3aは、データリンクパス14aのエラーを検出した場合、第3の実施の形態と同様に、コンフィグレジスタ20を設定する。図11に示されるように、第3の実施の形態においては、データリンクパス14aは用いられていない。従って、第1メインメモリ4aから第2メインメモリ4bにメモリデータをコピーすることが可能となる。

**【0087】**

データリンクパス13bが故障している場合、第1、第3、第4の実施の形態を適用することが可能である。つまり、CPU3aは、データリンクパス13bのエラーを検出した場合、第1、第3、第4の実施の形態と同様に、コンフィグレジスタ20を設定する。図4、図11、図14に示されるように、これらの実施の形態においては、データリンクパス13bは用いられていない。従って、第1メインメモリ4aから第2メインメモリ4bにメモリデータをコピーすることが可能となる。

10

**【0088】**

データリンクパス14bが故障している場合、上記全ての実施の形態を適用することが可能である。つまり、CPU3aは、データリンクパス14bのエラーを検出した場合、いずれかの実施の形態と同様に、コンフィグレジスタ20を設定する。これにより、第1メインメモリ4aから第2メインメモリ4bにメモリデータをコピーすることが可能となる。

**【0089】**

データリンクパス13a及び13bが故障している場合、つまり、In-Boundに関連するデータリンクパスが全て故障している場合、第4の実施の形態を適用することが可能である。つまり、CPU3aは、データリンクパス13a及び13bのエラーを検出した場合、第4の実施の形態と同様に、コンフィグレジスタ20を設定する。図14に示されるように、第4の実施の形態においては、データリンクパス13a及び13bは用いられていない。従って、第1メインメモリ4aから第2メインメモリ4bにメモリデータをコピーすることが可能となる。

20

**【0090】**

データリンクパス14a及び14bが故障している場合、つまり、Out-Boundに関連するデータリンクパスが全て故障している場合、第3の実施の形態を適用することが可能である。つまり、CPU3aは、データリンクパス14a及び14bのエラーを検出した場合、第3の実施の形態と同様に、コンフィグレジスタ20を設定する。図11に示されるように、第3の実施の形態においては、データリンクパス14a及び14bは用いられていない。従って、第1メインメモリ4aから第2メインメモリ4bにメモリデータをコピーすることが可能となる。

30

**【0091】**

データリンクパス13a及び14bが故障している場合、第2の実施の形態あるいは第4の実施の形態を適用することが可能である。つまり、CPU3aは、データリンクパス13a及び14bのエラーを検出した場合、第2の実施の形態あるいは第4の実施の形態と同様に、コンフィグレジスタ20を設定する。図8あるいは図14に示されるように、これらの実施の形態においては、データリンクパス13a及び14bは用いられていない。従って、第1メインメモリ4aから第2メインメモリ4bにメモリデータをコピーすることが可能となる。

40

**【0092】**

データリンクパス14a及び13bが故障している場合、第3の実施の形態を適用することが可能である。つまり、CPU3aは、データリンクパス14a及び13bのエラーを検出した場合、第3の実施の形態と同様に、コンフィグレジスタ20を設定する。図11に示されるように、第3の実施の形態においては、データリンクパス14a及び13bは用いられていない。従って、第1メインメモリ4aから第2メインメモリ4bにメモリデータをコピーすることが可能となる。

50

## 【 0 0 9 3 】

以上に説明されたように、本発明に係る二重化同期システム 1、DMA エンジン 10 及びその動作方法によれば、メモリコピー時間が短縮される。よって、システム運用の一時停止期間が短縮される。また、一方の系の DMA エンジンが故障した場合においても、メモリコピーを実行することが可能となる。また、両系間を接続するデータパスの一部が故障した場合においても、メモリコピーを実行することが可能となる。尚、本発明は、3 個以上のシステムから構成される多重化同期システムに適用することも可能である。その場合も、同様の効果が得られる。また、DMA エンジン 10 が擬装パケットを生成する代わりに、ルータ 7 がターゲット ID を適宜振り分けてもよい。

## 【 図面の簡単な説明 】

10

## 【 0 0 9 4 】

【 図 1 】 図 1 は、本発明に係る二重化同期システムの構成を示すブロック図である。

【 図 2 】 図 2 は、本発明に係る DMA エンジンの構成を示す概念図である。

【 図 3 】 図 3 は、本発明に係るパケットの内容を示す図表である。

【 図 4 】 図 4 は、本発明の第 1 の実施の形態における処理の流れを示す図である。

【 図 5 】 図 5 は、本発明の第 1 の実施の形態におけるコンフィレジスタの内容を示す図表である。

【 図 6 】 図 6 は、本発明の第 1 の実施の形態におけるリード用パケットの内容を示す図表である。

【 図 7 】 図 7 は、本発明の第 1 の実施の形態におけるコンプリション用パケットの内容を示す図表である。

20

【 図 8 】 図 8 は、本発明の第 2 の実施の形態における処理の流れを示す図である。

【 図 9 】 図 9 は、本発明の第 2 の実施の形態におけるコンフィレジスタの内容を示す図表である。

【 図 10 】 図 10 は、本発明の第 2 の実施の形態におけるリード用パケットの内容を示す図表である。

【 図 11 】 図 11 は、本発明の第 3 の実施の形態における処理の流れを示す図である。

【 図 12 】 図 12 は、本発明の第 3 の実施の形態におけるコンフィレジスタの内容を示す図表である。

【 図 13 】 図 13 は、本発明の第 3 の実施の形態におけるリード用パケットの内容を示す図表である。

30

【 図 14 】 図 14 は、本発明の第 4 の実施の形態における処理の流れを示す図である。

【 図 15 】 図 15 は、本発明の第 4 の実施の形態におけるコンフィレジスタの内容を示す図表である。

【 図 16 】 図 16 は、本発明の第 4 の実施の形態におけるリード用パケットの内容を示す図表である。

## 【 符号の説明 】

## 【 0 0 9 5 】

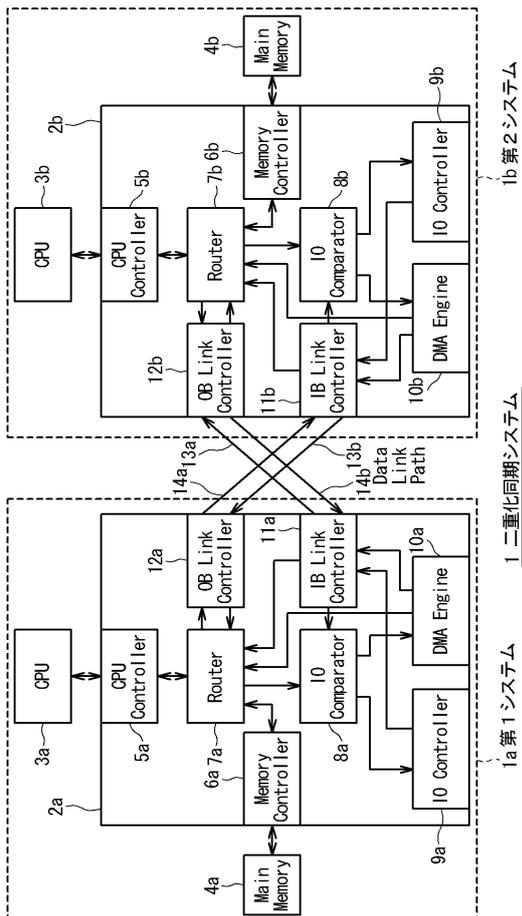
- 1 二重化同期システム
- 1 a 第 1 システム
- 1 b 第 2 システム
- 2 制御 L S I
- 3 C P U
- 4 メインメモリ
- 5 C P U コントローラ
- 6 メモリコントローラ
- 7 ルータ
- 8 I O コンパレータ
- 9 I O コントローラ
- 10 D M A エンジン

40

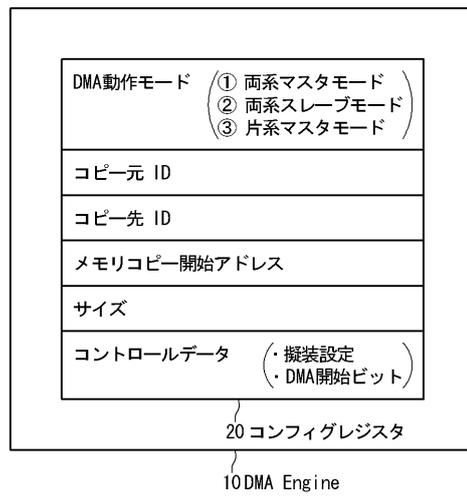
50

- 1 1 IBリンクコントローラ
- 1 2 OBリンクコントローラ
- 1 3 インバウンド (IB) データリンクパス
- 1 4 アウトバウンド (OB) データリンクパス

【 図 1 】



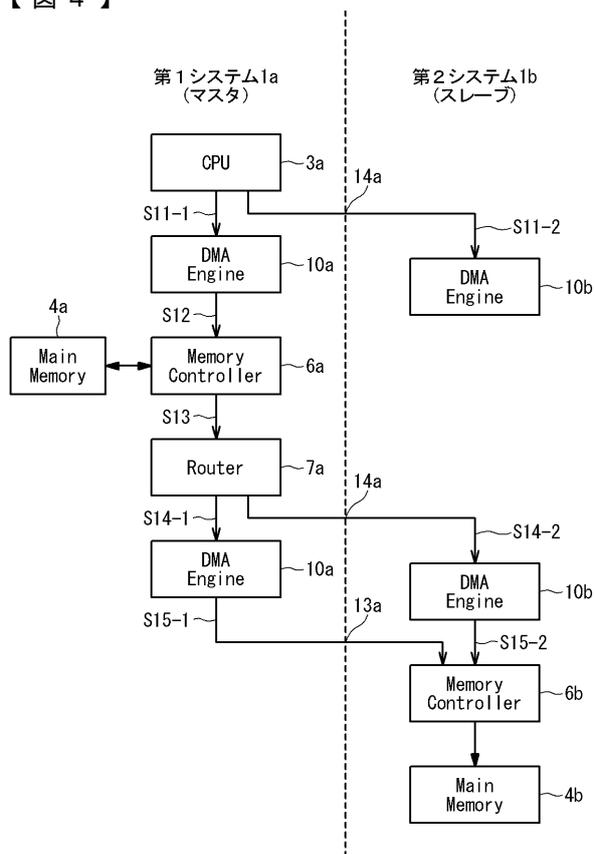
【 図 2 】



【 図 3 】

コンフィグ用パケット	ターゲットID	ソースID	コンフィグライト	レジスタアドレス	レジスタデータ
リード用パケット	ターゲットID	ソースID	DMAメモコピード	メモリアドレス	メモリアドレス
コンプリション用パケット	ターゲットID	ソースID	コンプリション	メモリアドレス	メモリデータ
ライト用パケット	ターゲットID	ソースID	DMAメモコピークラウド	メモリアドレス	メモリデータ

【 図 4 】



【 図 5 】

	DMA動作モード	コピー元ID	コピー先ID	操作設定
コンフィグレジスタ 20a	面系マスタモード	Main Memory 4a	Main Memory 4b	奇数/偶数
コンフィグレジスタ 20b	面系スレーブモード	Main Memory 4a	Main Memory 4b	—

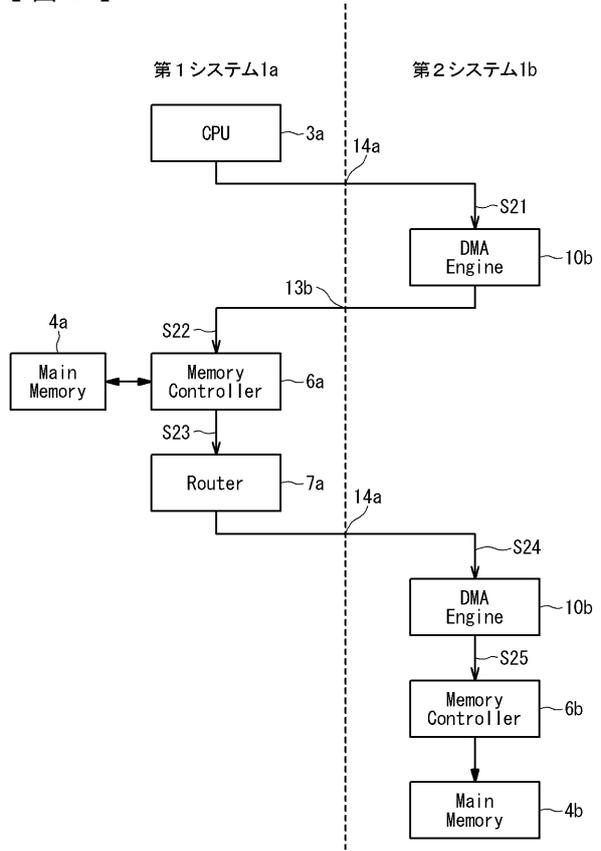
【 図 6 】

	ターゲットID	ソースID	コマンド	メモリアドレス
第1リード用パケット	Memory Controller 6a	DMA Engine 10a	DMAメモコピード	奇数アドレス
第2リード用パケット (続表)	Memory Controller 6a	DMA Engine 10b	DMAメモコピード	偶数アドレス

【 図 7 】

第1 コンプリション用 パケット	ターゲットID DMA Engine 10a	ソースID Memory Controller 6a	コマンド コンプリション	メモリアドレス 奇数アドレス	メモリアドレス 偶数アドレス	メモリアドレス リードデータ
第2 コンプリション用 パケット	ターゲットID DMA Engine 10b	ソースID Memory Controller 6a	コマンド コンプリション	メモリアドレス 奇数アドレス	メモリアドレス 偶数アドレス	メモリアドレス リードデータ

【 図 8 】



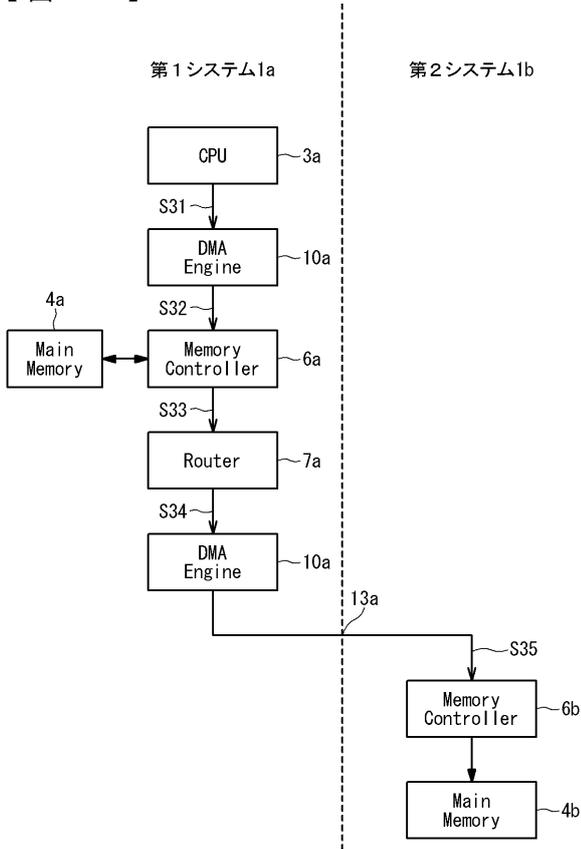
【 図 9 】

	DMA動作モード	コピー元ID	コピー先ID
コンフィグ レジスタ 20b	片系マスタモード	Main Memory 4a	Main Memory 4b

【 図 10 】

リード用 パケット	ターゲットID Memory Controller 6a	ソースID DMA Engine 10b	コマンド DMA メモリコピー リード	メモリアドレス アドレス
--------------	------------------------------------	----------------------------	------------------------------	-----------------

【 図 1 1 】



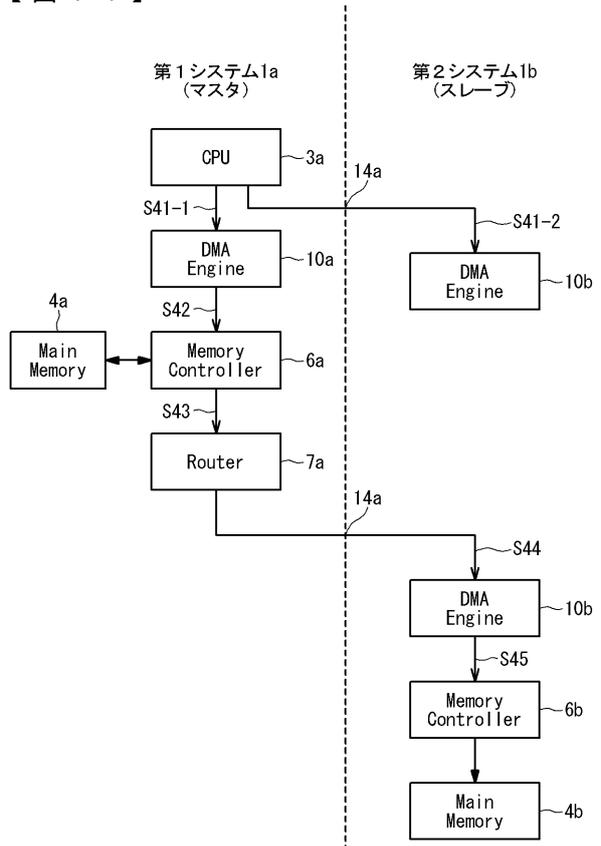
【 図 1 2 】

	DMA動作モード	コピー元ID	コピー先ID
コンフィグレジスタ 20a	片系マスタモード	Main Memory 4a	Main Memory 4b

【 図 1 3 】

メモリアドレス	アドレス
コマンド	DMAメモリーコピーリード
ソースID	DMA Engine 10a
ターゲットID	Memory Controller 6a
リード用バケット	

【 図 1 4 】



【 図 1 5 】

	DMA動作モード	コピー元ID	コピー先ID	擬装設定
コンフィグレジスタ 20a	両系マスターモード	Main Memory 4a	Main Memory 4b	全変更
コンフィグレジスタ 20b	両系スレーブモード	Main Memory 4a	Main Memory 4b	—

【 図 1 6 】

	ターゲットID	ソースID	コマンド	メモリアドレス
リード用 バケット (擬装)	Memory Controller 6a	DMA Engine 10b	DMA メモリアドレス リード	アドレス