

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4786403号  
(P4786403)

(45) 発行日 平成23年10月5日(2011.10.5)

(24) 登録日 平成23年7月22日(2011.7.22)

(51) Int.Cl.		F I	
HO 1 L 21/768 (2006.01)		HO 1 L 21/90	S
HO 1 L 23/522 (2006.01)		HO 1 L 21/304	6 3 1
HO 1 L 21/304 (2006.01)		HO 1 L 21/304	6 2 2 J
HO 1 L 21/3065 (2006.01)		HO 1 L 21/302	1 0 5 B

請求項の数 17 (全 10 頁)

(21) 出願番号	特願2006-116541 (P2006-116541)	(73) 特許権者	500174247
(22) 出願日	平成18年4月20日 (2006.4.20)		エルピーダメモリ株式会社
(65) 公開番号	特開2007-288092 (P2007-288092A)		東京都中央区八重洲2-2-1
(43) 公開日	平成19年11月1日 (2007.11.1)	(74) 代理人	100077838
審査請求日	平成21年3月10日 (2009.3.10)		弁理士 池田 憲保
		(74) 代理人	100082924
			弁理士 福田 修一
		(74) 代理人	100129023
			弁理士 佐々木 敬
		(72) 発明者	大湯 静憲
			東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内
		(72) 発明者	佐々木 淳
			東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

少なくとも半導体ウエハの主表面に形成された半導体素子と、当該半導体素子を覆うように設けられたパッシベーション膜とを有する半導体装置において、

前記パッシベーション膜は、少なくとも1つの開口部と凹部とを含み、当該パッシベーション膜の上に表面保護シートが貼り付けられたときに、前記凹部と前記表面保護シートとの間に前記開口部から前記半導体ウエハの外周部まで延伸する間隙が形成される前記パッシベーション膜であることを特徴とする半導体装置。

【請求項 2】

前記間隙は、前記半導体ウエハの全面において連続して形成されることを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記半導体ウエハの周辺のパッシベーション膜において、前記半導体ウエハの中央側から伸びた前記間隙の端部に壁を設けたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記パッシベーション膜は、ポリイミド被膜であることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記パッシベーション膜の前記開口部は、自身の側面が前記パッシベーション膜に完全に囲まれていることを特徴とする請求項 1 に記載の半導体装置。

20

## 【請求項 6】

前記パッシベーション膜の前記凹部は、前記パッシベーション膜の一部を自身の底部として残して形成されることを特徴とする請求項 1 又は 5 に記載の半導体装置。

## 【請求項 7】

半導体ウエハを有する半導体装置の製造方法において、  
 前記半導体ウエハの主表面に半導体素子を形成し、  
 前記半導体素子を覆うようにパッシベーション膜を形成し、  
 前記パッシベーション膜を貫通するよう開口部を形成し、  
 前記パッシベーション膜の表面に凹部を形成し、  
 前記パッシベーション膜の上面に、前記パッシベーション膜の前記凹部と自身との間に  
 前記パッシベーション膜の前記開口部から前記半導体ウエハの外周部まで延伸する間隙を  
 形成するように表面保護シートを形成し、  
 前記表面保護シートが存在する状態で前記半導体ウエハの裏面研削を行い、  
 前記表面保護シートが存在する状態で前記半導体ウエハの裏面をプラズマエッチングす  
 ることを特徴とする半導体装置の製造方法。

10

## 【請求項 8】

前記間隙は、前記半導体ウエハの全面において連続して形成されることを特徴とする請求項 7 に記載の半導体装置の製造方法。

## 【請求項 9】

前記プラズマエッチングにおいて気泡の原因となる前記開口部内の空気は、前記間隙を通り、前記半導体ウエハの外周部から放出されることを特徴とする請求項 7 に記載の半導体装置の製造方法。

20

## 【請求項 10】

前記プラズマエッチングは、真空処理装置内で裏面研削後の研削ストレスを除去するために行われることを特徴とする請求項 7 に記載の半導体装置の製造方法。

## 【請求項 11】

前記凹部は、前記開口部を形成した後に、凹凸を有する治具を押し付けて形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

## 【請求項 12】

前記半導体ウエハの周辺の前記パッシベーション膜において、前記半導体ウエハの中央側から伸びた前記間隙の端部に壁を形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

30

## 【請求項 13】

前記壁は、裏面研削時に研削水が前記半導体ウエハの周辺に達した間隙から入りこむことを防止するために形成されることを特徴とする請求項 12 に記載の半導体装置の製造方法。

## 【請求項 14】

前記パッシベーション膜は、ポリイミド被膜であることを特徴とする請求項 7 乃至請求項 13 のいずれか 1 項に記載の半導体装置の製造方法。

## 【請求項 15】

半導体ウエハを有する半導体装置の製造方法において、  
 前記半導体ウエハの主表面に半導体素子を形成し、  
 前記半導体素子を覆うようにパッシベーション膜を形成し、  
 前記パッシベーション膜を貫通するよう開口部を形成し、  
 前記パッシベーション膜の上面に、前記パッシベーション膜と自身との間に前記パッシベーション膜の前記開口部から前記半導体ウエハの外周部まで延伸する間隙を形成するように、凹部を備える表面保護シートを形成し、  
 前記表面保護シートが存在する状態で前記半導体ウエハの裏面研削を行い、  
 前記表面保護シートが存在する状態で前記半導体ウエハの裏面をプラズマエッチングすることを特徴とする半導体装置の製造方法。

40

50

## 【請求項 16】

前記プラズマエッチングは、真空処理装置内で裏面研削後の研削ストレスを除去するために行われることを特徴とする請求項 15 に記載の半導体装置の製造方法。

## 【請求項 17】

前記パッシベーション膜は、ポリイミド被膜であることを特徴とする請求項 15 又は請求項 16 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、少なくとも半導体ウエハの主表面に形成された半導体素子と、この半導体素子を覆うように設けられたパッシベーション膜とを有する半導体装置及びその製造方法に関する。

10

## 【背景技術】

## 【0002】

現在、半導体装置では、図 1 に示すように、半導体ウエハ 1 の主表面 2 に半導体素子 3 を形成したのち、ウエハ状態での最終製造工程でポリイミド被膜 4 (パッシベーション膜) を形成してパッシベーションを行っている。例えば、DRAMなどのメモリを有した半導体装置では、不良部分のメモリを正常なメモリに置き換えるために救済用のヒューズ 5 が設けられている。

## 【0003】

20

ポリイミド被膜 4 を形成した後にウエハ状態で裏面研削を行う場合、ポリイミド被膜 4 が形成された表面に裏面研削用の表面保護シート 6 を貼り付けた状態で行う。近年、裏面研削後の研削ストレスを除去するために、裏面研削後に裏面をプラズマエッチングする方法が用いられるようになった。このプラズマエッチングは、上記表面保護シート 6 を貼り付けた状態で行う。

## 【0004】

プラズマエッチングは、真空処理装置で行うため、表面保護シート 6 が貼り付けられたウエハ表面では、図 2 に示すように、ヒューズ 5 用の開口部 (空洞部分) 7 の空気が膨張し表面保護シート 6 とウエハ表面の間に気泡 8 が発生する。この時、上記空気の逃げ道が無いと気泡 8 が大きくなり、図 3 に示すように、プラズマエッチング用の真空容器 9 の中でウエハ 10 はエッチングステージ 11 から浮いた状態になってしまう。

30

## 【0005】

その結果、所望のプラズマエッチングが不可能になってしまう。例えば、エッチングステージ 11 からウエハ 10 が浮いてしまうと、半導体ウエハの温度が上昇して、半導体ウエハ表面の表面保護シート 6 が変質してしまう。表面保護シート 6 が変質すると、半導体ウエハ 10 から表面保護シート 6 を剥がすことができなくなり、その時点でその半導体ウエハ 10 は使用できなくなる。

## 【0006】

また、エッチングステージ 11 から半導体ウエハ 10 が浮いてしまうと、プラズマ 12 の影響が不均一になり、最適なエッチング条件から外れてしまうため、エッチングが不均一になってしまう。さらに、上記気泡 8 ができると、エッチング装置からのウエハ搬送が不可能になってしまい、搬送系 13 から半導体ウエハ 10 が落下したり、半導体ウエハ 10 が割れたりする。以上のように、従来、プラズマエッチング処理に伴う工程不良が非常に多かった。

40

## 【0007】

近年、半導体装置では、面積当りの実効メモリ容量の増加や、メモリとCPUとを同一パッケージに収めるために、チップを 100 μm 以下まで薄くして、積層チップ構造にしている。チップを薄くするのは、主にウエハ状態で裏面研削を行って、ウエハを薄くする方法が一般的である。しかし、ウエハ状態で 100 μm まで薄くすると、研削ストレスによりウエハが反ってしまい、ウエハ搬送が困難になる。

50

## 【0008】

そこで、研削ストレスを開放するために、非特許文献1において、ポリッシュ仕上げやプラズマエッチングなどが提案されている。ポリッシュ仕上げは、仕上げ面に裏面研削時の金属汚染が残留するケースが多く、その金属がパッケージ組立工程の熱履歴により半導体デバイスまで到達して、デバイス特性を損なってしまう。

## 【0009】

一方、プラズマエッチングは、真空中での半導体基板のエッチングであり、裏面研削時の金属汚染ごと除去するので、エッチング面に金属が残留するケースは少ない。そこで、裏面研削後の研削ストレス開放をプラズマエッチングで行った結果、上述のような問題が生じた。

10

## 【0010】

【非特許文献1】電子ジャーナル主催、「極薄チップ組立技術・装置・部材徹底検証」講演予稿集 2005年10月26日、コクヨホール

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0011】

そこで、本発明は、上記従来技術の問題点に鑑みて成されたものであり、その目的は、半導体ウエハの裏面研削後の裏面プラズマエッチングにおいて、半導体ウエハ表面を覆う裏面研削用の表面保護シートと半導体ウエハ表面との間に形成される気泡の影響を排除して、所望の裏面プラズマエッチング処理を行えるようにすることにある。

20

## 【課題を解決するための手段】

## 【0012】

上記目的を達成するために、本発明では、少なくとも半導体ウエハの主表面に形成された半導体素子と、この半導体素子を覆うように設けられたパッシベーション膜とを有する半導体装置において、上記パッシベーション膜の表面に凹部が設けられていることを特徴とする。

## 【0013】

ここで、前記凹部は、半導体ウエハの裏面研削時に用いられる表面保護シートと半導体ウエハの主表面との間で間隙を構成する。

## 【0014】

前記間隙は、半導体ウエハの全面において連続して形成されることが好ましい。

30

## 【0015】

さらに、前記半導体ウエハの周辺のパッシベーション膜において、半導体ウエハの中央側から伸びた間隙の端部に壁を設けることが好ましい。

## 【0016】

前記パッシベーション膜は、例えば、ポリイミド被膜である。

## 【0017】

また、本発明では、半導体ウエハを有する半導体装置の製造方法において、半導体ウエハの主表面に半導体素子を形成し、半導体素子を覆うようにパッシベーション膜を形成し、パッシベーション膜を貫通するよう開口部を形成し、パッシベーション膜の表面に凹部を形成し、パッシベーション膜の上面に表面保護シートを形成し、表面保護シートを介して半導体ウエハの裏面研削を行い、表面保護シートが存在する状態でプラズマエッチングを行うことを特徴とする。

40

## 【0018】

ここで、前記凹部は、表面保護シートと半導体ウエハの主表面との間で間隙を構成する。

## 【0019】

前記間隙は、半導体ウエハの全面において連続して形成されることが好ましい。

## 【0020】

前記プラズマエッチングにおいて気泡の原因となる開口部内の空気は、前記間隙を通り

50

、半導体ウエハの外周部から放出される。

【0021】

前記プラズマエッチングは、真空処理装置内で裏面研削後の研削ストレスを除去するために行われる。

【0022】

前記凹部は、開口部を形成した後に、凹凸を有する治具を押し付けて形成することが好ましい。

【0023】

さらに、前記半導体ウエハの周辺のパッシベーション膜において、半導体ウエハの中央側から伸びた間隙の端部に壁を形成することが好ましい。

10

【0024】

前記壁は、裏面研削時に研削水が半導体ウエハの周辺に達した間隙から入りこむことを防止するために形成される。

【0025】

前記パッシベーション膜は、例えば、ポリイミド被膜である。

【0026】

また、本発明では、半導体ウエハを有する半導体装置の製造方法において、半導体ウエハの主表面に半導体素子を形成し、半導体素子を覆うようにパッシベーション膜を形成し、パッシベーション膜を貫通するよう開口部を形成し、パッシベーション膜の上面に表面保護シートを形成し、表面保護シートに凹部を形成し、表面保護シートを介して半導体ウエハの裏面研削を行い、表面保護シートが存在する状態でプラズマエッチングを行うことを特徴とする。

20

【0027】

ここで、前記凹部は、表面保護シートと半導体ウエハの主表面との間で間隙を構成する。

【0028】

前記プラズマエッチングは、真空処理装置内で裏面研削後の研削ストレスを除去するために行われる。

【0029】

前記パッシベーション膜は、例えば、ポリイミド被膜である。

30

【0030】

このように、本発明は、半導体装置のウエハ状態での最終製造工程であるパッシベーション膜（ポリイミド被膜）形成において、パッシベーション膜の表面に凹部（凹凸）を設けることにより、裏面研削後の裏面プラズマエッチングにおいてウエハ表面を覆う裏面研削用の表面保護シートとウエハ表面との間に形成される気泡の影響を排除して、所望の裏面プラズマエッチング処理を行えるようにしたことを特徴とする。

【発明の効果】

【0031】

本発明によれば、プラズマエッチング中にウエハの温度上昇を60程度に抑えることができるため、表面保護シートの変質を抑えることができる。また、エッチングの均一性を損なうことが無いため、均一な研削ストレスの開放ができる。さらに、搬送エラーを防止できる。以上のように、本発明によれば、プラズマエッチング処理に伴う従来の問題点を解決できるので、工程不良を大幅に低減できる。

40

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0033】

本発明の半導体装置においては、図4に示すように、半導体ウエハ1の主表面に半導体素子2、配線・電極および層間絶縁膜が形成され、さらに、救済用ヒューズ（あるいは電極用パッド部分）5が開口部7に形成されたポリイミド被膜（パッシベーション膜）4が

50

形成されており、そのポリイミド被膜4の表面に凸部14が形成されている。

【0034】

半導体装置のウエハ状態での最終製造工程であるポリイミド被膜形成において、ポリイミド被膜4の表面に凹部14を設ける。この凹部14は、図5に示すように、パッケージ組立て前のウエハ状態での裏面研削時に用いる表面保護シート6とウエハ表面との間に間隙14を構成することになり、かつ、図6に示すように、その間隙14がウエハ全面において連続して形成されるような構造とする。

【0035】

その結果、図7に示すように、表面保護シート6が貼り付けられた半導体ウエハ10を真空処理装置9内に導入しても、表面保護シート6と半導体ウエハ10との間に気泡が形成されることはない。すなわち、気泡の原因となる開口部(空洞部分)7の空気は、図8に示すように、ウエハ全面に連続して形成された間隙14を通り、ウエハ外周部から放出される。これにより、真空処理装置でのエッチング処理異常や搬送異常を防止できる。

10

【0036】

次に、本発明の半導体装置の製造方法について説明する。

【0037】

まず、図9に示すように、半導体ウエハ1の主表面に半導体素子2、配線・電極および層間絶縁膜を形成した後、感光性ポリイミド被膜(パッシベーション膜)4を塗布・現像して、ヒューズ部分(あるいは電極パッド部分)5のポリイミド被膜4を開口する。ポリイミド被膜4の厚さは、5 $\mu$ mである。

20

【0038】

その後、図4に示すように、ポリイミド被膜4の表面に深さ1 $\mu$ mで、幅が10 $\mu$ mの凹部14ができるように工夫した治具(図示せず)を押し付ける。この後、350 $^{\circ}$ Cでベークを行い、ポリイミド被膜4を硬化させる。

【0039】

その後、ポリイミド被膜4の開口部7の処理および350 $^{\circ}$ Cベークを行って、半導体素子2が形成された半導体ウエハ1を完成させた。完成した半導体ウエハ1は、所望の厚さにするために裏面研削が行われるが、図5に示すように、裏面研削時の表面保護のために表面保護シート6が貼り付けられる。今回、通常裏面研削により半導体ウエハ1の厚さを750 $\mu$ mから100 $\mu$ mまで薄くした。

30

【0040】

その後、裏面研削後の研削ストレスを除去するために、表面保護シート6がある状態でプラズマエッチングを行った。プラズマエッチングは、図7に示すように、搬送系13を有した真空処理装置9内で行われ、エッチングステージ11上に裏面研削面を上にした状態で半導体ウエハ10が設置される。この時、半導体ウエハ10はエッチングステージ11にチャック保持されており、表面保護シート6はエッチングステージ11に接している。

【0041】

真空処理装置9内に半導体ウエハ10が搬送された後、真空処理装置9内は800Paまで真空排気される。通常、表面凹凸の無いポリイミド被膜4では、従来技術で説明したように気泡が発生する。本発明によれば、気泡の発生は無い。

40

【0042】

その後、SF6ガスとO2ガスを混合した雰囲気中でプラズマエッチングを行う。エッチング中の真空度は300Paであり、エッチングステージ11の温度は20 $^{\circ}$ Cである。エッチングが進むと、エッチングステージ11上の半導体ウエハ10は60 $^{\circ}$ C程度まで上昇する。このエッチングにより5 $\mu$ m程度裏面をエッチングする。通常裏面研削は、裏面から約1 $\mu$ m以内の深さに存在するため、5 $\mu$ mのエッチングにより完全に開放される。表面凹凸の無いポリイミド被膜4では、従来技術で説明したように、気泡が発生し、半導体ウエハ10がエッチングステージ11から浮き上がり、ウエハ温度が100 $^{\circ}$ C以上まで上昇してしまい、また、ウエハ面内のエッチングが不均一に進行してしまう。

50

## 【 0 0 4 3 】

本発明では、このような半導体ウエハ 1 0 の浮き上がりが無いので、温度上昇も 6 0 程度であり、エッチングの均一性も良好である。エッチング後に真空処理装置 9 内は大気開放され、処理ウエハを真空処理装置 9 の外へ搬送系 1 3 により取り出して処理は終了する。

## 【 0 0 4 4 】

本発明では、上記気泡の発生が無いので、搬送系 1 3 のエラーが発生しない。その後、通常のダイシング工程、パッケージ組立工程を経て、半導体装置が完成する。

## 【 0 0 4 5 】

なお、上記の説明では、図 6 や図 8 のような間隙パターンで説明したが、気泡の原因となる空気が閉じ込められる部分の全てからウエハ周辺まで間隙が通じていれば、どのような間隙パターンでも構わない。

10

## 【 0 0 4 6 】

また、裏面研削時に研削水がウエハ周辺に達した間隙から入りこむことを防止したいのであれば、図 1 0 に示したように、半導体ウエハ 1 の周辺のポリイミド被膜 4 において、ウエハ中央側から伸びた間隙 1 4 の端部に薄い壁 2 0 を設ければよい。この薄い壁 2 0 は、真空引きで破壊される程度の幅を待たせれば良い。

## 【 0 0 4 7 】

また、本発明では間隙 1 4 をポリイミド被膜 4 側に形成したが、表面保護シート 6 側に形成しても良い。

20

## 【産業上の利用可能性】

## 【 0 0 4 8 】

本発明は、複数のチップを積層したパッケージ組立に用いる半導体装置に適用可能である。

## 【図面の簡単な説明】

## 【 0 0 4 9 】

【図 1】従来の半導体装置のウエハ状態での最終製造工程後に表面保護シートを貼り付けた状態の断面図である。

【図 2】従来の表面保護シート貼り付けたウエハを真空処理装置に入れた状態の断面図である。

30

【図 3】従来の半導体ウエハを処理する場合のプラズマエッチング装置の概略図である。

【図 4】本発明のポリイミド被膜形成後の半導体ウエハの断面図である。

【図 5】本発明の表面保護シートを貼り付けた状態の半導体ウエハの断面図である。

【図 6】本発明のポリイミド被膜と表面保護シートの間形成される間隙を表した平面図である。

【図 7】本発明の半導体ウエハを処理する場合のプラズマエッチング装置の概略図である。

【図 8】本発明のポリイミド被膜と表面保護シートの間形成される間隙を表した平面図である。

【図 9】本発明のポリイミド被膜形成後の半導体ウエハの断面図である。

40

【図 1 0】本発明のウエハ周辺部での表面保護シートを貼り付けた状態の半導体ウエハの断面図である。

## 【符号の説明】

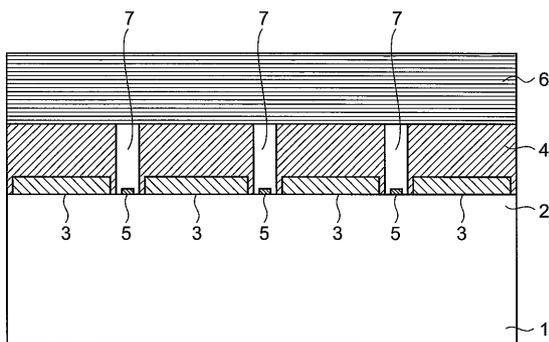
## 【 0 0 5 0 】

- 1 半導体ウエハ
- 2 主表面
- 3 半導体素子
- 4 ポリイミド被膜
- 5 救済用ヒューズ（あるいは電極用パッド部分）
- 6 表面保護シート

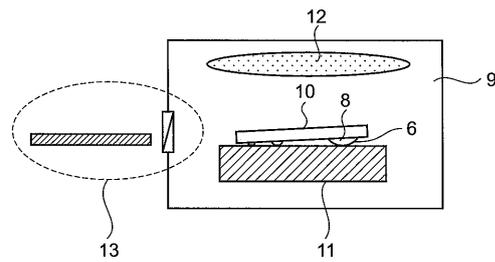
50

- 7 開口部
- 8 気泡
- 9 真空処理装置
- 10 半導体ウエハ
- 11 エッチングステージ
- 12 プラズマ
- 13 搬送系
- 14 凸部(間隙)
- 15 半導体ウエハ
- 20 壁

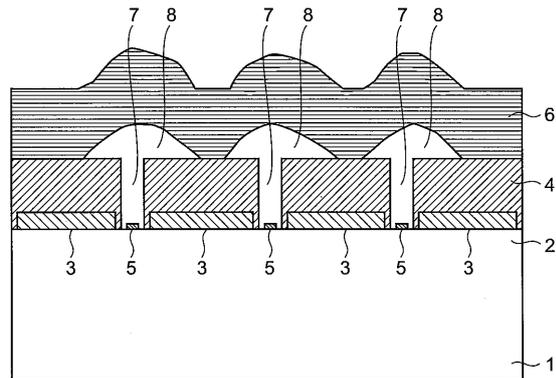
【図1】



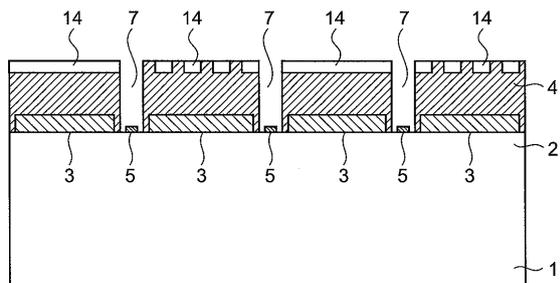
【図3】



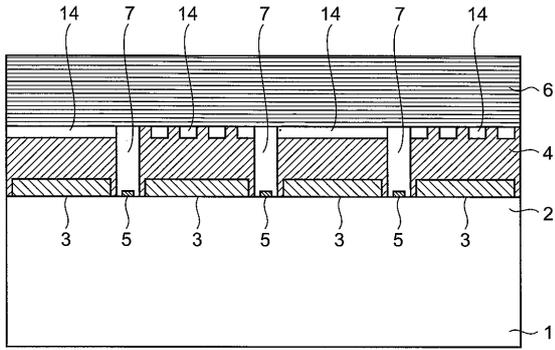
【図2】



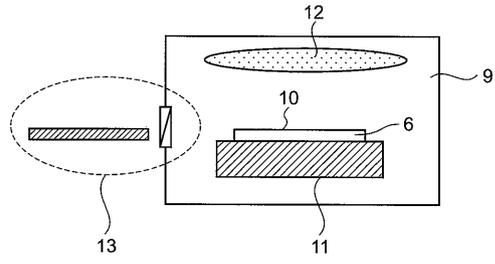
【図4】



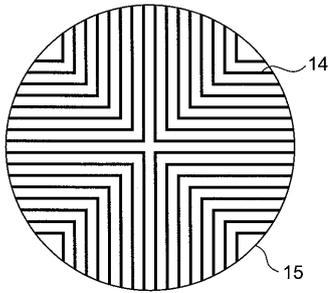
【図5】



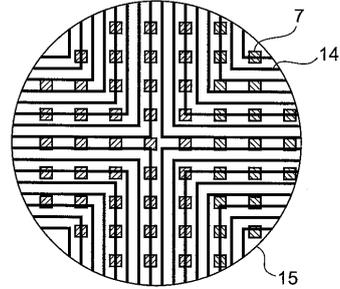
【図7】



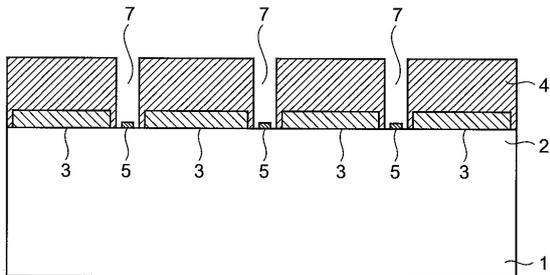
【図6】



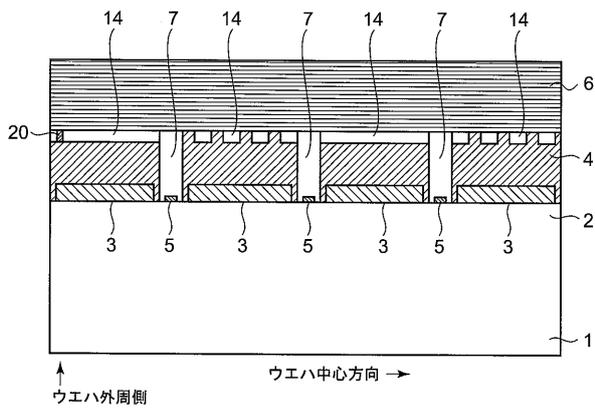
【図8】



【図9】



【図10】



---

フロントページの続き

審査官 村岡 一磨

(56)参考文献 特開2003-124389(JP,A)  
特開2002-141346(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/768  
H01L 21/304  
H01L 21/3065  
H01L 23/522