

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5589329号
(P5589329)

(45) 発行日 平成26年9月17日(2014.9.17)

(24) 登録日 平成26年8月8日(2014.8.8)

(51) Int.Cl.		F I		
HO 1 L 29/812	(2006.01)	HO 1 L 29/80		H
HO 1 L 29/778	(2006.01)	HO 1 L 29/91		H
HO 1 L 21/338	(2006.01)	HO 1 L 29/78	3 O 1 B	
HO 1 L 29/868	(2006.01)			
HO 1 L 29/861	(2006.01)			

請求項の数 13 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2009-219254 (P2009-219254)
 (22) 出願日 平成21年9月24日(2009.9.24)
 (65) 公開番号 特開2011-71206 (P2011-71206A)
 (43) 公開日 平成23年4月7日(2011.4.7)
 審査請求日 平成24年2月21日(2012.2.21)

(73) 特許権者 000241463
 豊田合成株式会社
 愛知県清須市春日長畑1番地
 (74) 代理人 100087723
 弁理士 藤谷 修
 (72) 発明者 岡 徹
 愛知県西春日井郡春日町大字落合字長畑1
 番地 豊田合成株式会社内
 審査官 早川 朋一

最終頁に続く

(54) 【発明の名称】 III族窒化物半導体からなる半導体装置、電力変換装置

(57) 【特許請求の範囲】

【請求項1】

III族窒化物半導体からなる第1キャリア走行層と、
 前記第1キャリア走行層の一部領域上に位置し、選択的に再成長されたIII族窒化物半導体からなる第2キャリア走行層と、
 前記第2キャリア走行層上に接して位置し、前記第2キャリア走行層に続けて選択的に再成長された、前記第2キャリア走行層よりもバンドギャップの大きなIII族窒化物半導体からなるキャリア供給層とを、
 を備え、
 前記キャリア供給層上に、前記キャリア供給層よりもバンドギャップが小さく、前記キャリア供給層に続けて選択的に再成長されたIII族窒化物半導体からなるキャリア走行層としての第1層と、その層よりもバンドギャップが大きく、前記第1層に続けて選択的に再成長されたIII族窒化物半導体からなるキャリア供給層としての第2層との対が、さらに1対ないし複数対形成されており、
 前記第2キャリア走行層と前記キャリア供給層とのヘテロ接合界面であって前記第2キャリア走行層側、および前記第1層と前記第2層とのヘテロ接合界面であって前記第1層側に2次元電子ガスが形成されており、
 前記第2キャリア走行層、前記キャリア供給層、および前記第1層と前記第2層との対は、前記第1キャリア走行層上であって、互いに離間する2つの領域に形成されており、
 2つの領域の一方の領域の最上層の前記第2層上に設けられ、前記第1層、および前記

10

20

第 2 キャリア走行層と電氣的に接続した第 1 電極と、

2 つの領域の他方の領域の最上層の前記第 2 層上に設けられ、前記第 1 層、および前記第 2 キャリア走行層と電氣的に接続した第 2 電極と、

前記 2 つの領域に挟まれた領域の前記第 1 キャリア走行層上と、前記 2 つの領域における第 2 キャリア走行層、キャリア供給層、および前記第 1 層と前記第 2 層との対の離間して向かい合う側の側端面と、に形成された絶縁膜と、

前記絶縁膜上に形成された制御電極と、

を備えていることを特徴とする半導体装置。

【請求項 2】

前記絶縁膜は、その一部または全部が複数の層からなることを特徴とする請求項 1に記載の半導体装置。

10

【請求項 3】

前記絶縁膜は、AlN からなる単層、または、その一部または全部が $\text{SiO}_2 / \text{ZrO}_2$ 、 $\text{SiO}_2 / \text{Al}_2\text{O}_3$ 、 $\text{SiO}_2 / \text{HfO}_2$ 、 $\text{Al}_2\text{O}_3 / \text{ZrO}_2$ 、 $\text{SiN} / \text{SiO}_2 / \text{ZrO}_2$ 、 $\text{SiO}_2 / \text{Al}_2\text{O}_3 / \text{HfO}_2$ からなる複層である、

ことを特徴とする請求項 1に記載の半導体装置。

【請求項 4】

前記絶縁膜は、最上層の前記第 2 層上にも形成されており、前記制御電極は、前記絶縁膜を介して最上層の前記第 2 層上に延伸していることを特徴とする請求項 1ないし請求項 3のいずれか 1 項に記載の半導体装置。

20

【請求項 5】

前記第 1 キャリア走行層上に位置する前記絶縁膜と、最上層の前記第 2 層上に位置する前記絶縁膜とは、膜質が異なることを特徴とする請求項 1ないし請求項 4のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記絶縁膜の厚さは、前記第 2 キャリア走行層の厚さよりも薄いことを特徴とする請求項 1ないし請求項 5のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 1 電極と前記第 2 電極は、前記第 1 層、および前記第 2 キャリア走行層にオーミック接触していることを特徴とする請求項 1ないし請求項 6のいずれか 1 項に記載の半導体装置。

30

【請求項 8】

前記第 1 電極と前記第 2 電極のどちらか一方と、前記制御電極とが電氣的に接続されていることを特徴とする請求項 1ないし請求項 7のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 2 キャリア走行層から離れた領域でのキャリアの走行を抑止するキャリア走行抑止層をさらに有し、前記キャリア走行抑止層上に前記第 1 キャリア走行層が位置する、ことを特徴とする請求項 1ないし請求項 8のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記キャリア走行抑止層は、前記第 1 キャリア走行層とは異なる伝導型の III 族窒化物半導体からなることを特徴とする請求項 9に記載の半導体装置。

40

【請求項 11】

前記キャリア走行抑止層は、前記第 1 キャリア走行層よりもバンドギャップが大きい III 族窒化物半導体からなることを特徴とする請求項 9または請求項 10に記載の半導体装置。

【請求項 12】

前記キャリア走行抑止層は、前記キャリア走行抑止層よりもバンドギャップが大きい III 族窒化物半導体からなる層上に位置する、ことを特徴とする請求項 9または請求項 10に記載の半導体装置。

【請求項 13】

50

請求項 1 ないし請求項 1 2 のいずれか 1 項に記載の半導体装置を少なくとも 1 つ以上用いて構成された電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、III 族窒化物半導体からなる半導体装置に関するものであり、特に、オン抵抗が低減された H F E T (高電子移動度トランジスタ) やダイオードなどの半導体装置に関する。また、それらの III 族窒化物半導体からなる半導体装置を用いた電力変換装置に関する。

【背景技術】

【0002】

III 族窒化物半導体は発光素子の材料として広く用いられているが、電子移動度が高く Si の約 10 倍の破壊電界強度を有することからパワーデバイスの材料としても期待されている。そのようなパワーデバイスとして、ヘテロ接合界面に生じる 2 次元電子ガス (2 D E G) をチャンネルとして動作する H F E T (高電子移動度トランジスタ) が開発されているが、G a A s 系の H F E T などの従来と同様な構造で G a N 系 H F E T を作製すると、ゲート電極に電圧を印加しない状態でオンになる特性 (ノーマリオン特性) となる。しかし、ノーマリオン特性では安全性に問題があるため、ゲート電極に電圧を印加しない状態でソース - ドレイン間に電流が流れないノーマリオフを実現するためのさまざまな構造が提案されている。

【0003】

そのようなノーマリオフの実現が可能な構造として、たとえば特許文献 1 では、M I S 構造の H F E T において、ゲート直下にキャリア供給層を形成しない構造の H F E T が示されている。この構造によれば、ゲート直下の領域に 2 D E G が形成されないためノーマリオフ特性となる。この構造を実現するために、特許文献 1 では、キャリア供給層の一部をドライエッチングして除去し、キャリア走行層表面を露出させる方法が示されている。

【0004】

また、特許文献 2 には、キャリア走行層上に第 1 キャリア供給層を形成し、第 1 キャリア供給層上の所定の領域にマスクを形成し、マスクを形成していない第 1 キャリア供給層上に選択的に第 2 キャリア供給層を再成長させることで、2 つの互いに離間した第 2 キャリア供給層を形成し、一方の第 2 キャリア供給層上にソース電極、他方の第 2 キャリア供給層上にドレイン電極、マスク上にゲート電極を形成する H F E T の製造方法が示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2008 - 147593

【特許文献 2】特開 2009 - 99691

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、特許文献 1 に示された構造を、特許文献 2 のような選択的に再成長させる方法を適用して作製しようとする、キャリア走行層上にキャリア供給層を再成長させる際に、キャリア走行層とキャリア供給層との界面に不純物等が取り込まれてしまったり、平坦性が劣化するなどの問題が生じていた。その結果、キャリア走行層とキャリア供給層とのヘテロ接合界面に生じる 2 D E G の移動度を低下させ、オン抵抗が増加するという問題があった。

【0007】

そこで本発明の目的は、オン抵抗が低減された III 族窒化物半導体からなる半導体装置、およびその製造方法を提供することである。また、その半導体装置を用いた電力変換装

10

20

30

40

50

置を提供することである。

【課題を解決するための手段】

【0008】

第1の発明は、III族窒化物半導体からなる第1キャリア走行層と、第1キャリア走行層の一部領域上に位置し、選択的に再成長されたIII族窒化物半導体からなる第2キャリア走行層と、第2キャリア走行層上に接して位置し、第2キャリア走行層に続けて選択的に再成長された、第2キャリア走行層よりもバンドギャップの大きなIII族窒化物半導体からなるキャリア供給層とを、を備え、キャリア供給層上に、キャリア供給層よりもバンドギャップが小さく、キャリア供給層に続けて選択的に再成長されたIII族窒化物半導体からなるキャリア走行層としての第1層と、その層よりもバンドギャップが大きく、第1層に続けて選択的に再成長されたIII族窒化物半導体からなるキャリア供給層としての第2層との対が、さらに1対ないし複数対形成されており、第2キャリア走行層とキャリア供給層とのヘテロ接合界面であって第2キャリア走行層側、および第1層と第2層とのヘテロ接合界面であって第1層側に2次元電子ガスが形成されており、第2キャリア走行層、キャリア供給層、および第1層と第2層との対は、第1キャリア走行層上であって、互いに離間する2つの領域に形成されており、2つの領域の一方の領域の最上層の第2層上に設けられ、第1層、および第2キャリア走行層と電氣的に接続した第1電極と、2つの領域の他方の領域の最上層の第2層上に設けられ、第1層、および第2キャリア走行層と電氣的に接続した第2電極と、2つの領域に挟まれた領域の第1キャリア走行層上と、2つの領域における第2キャリア走行層、キャリア供給層、および第1層と第2層との対の離間して向かい合う側の側端面と、に形成された絶縁膜と、絶縁膜上に形成された制御電極と、を備えていることを特徴とする半導体装置である。

絶縁膜は、AlNからなる単層、または、その一部または全部がSiO₂/ZrO₂、SiO₂/Al₂O₃、SiO₂/HfO₂、Al₂O₃/ZrO₂、SiN/SiO₂/ZrO₂、SiO₂/Al₂O₃/HfO₂からなる複層としても良い。

【0009】

ここで本発明においてIII族窒化物半導体とは、一般式Al_xGa_yIn_zN(x+y+z=1、0<x、y、z<1)で表される半導体であり、Al、Ga、Inの一部を他の第13族元素(第3B族元素)であるBやTlで置換したもの、Nの一部を他の第15族元素(第5B族元素)であるP、As、Sb、Biで置換したものをも含むものとする。より一般的には、Gaを少なくとも含むGaN、InGaN、AlGaN、AlGaInNを示す。n型不純物としてはSi、p型不純物としてはMgが通常用いられる。

【0010】

第1キャリア走行層、第2キャリア走行層、キャリア供給層は、いずれも単層であってもよいし、複数の層であってもよい。また、第1キャリア走行層と第2キャリア走行層は、通常は同一組成のIII族窒化物半導体(たとえばGaN)からなるが、必ずしも同一組成である必要はない。

【0011】

第2キャリア走行層は、ノンドープのGaNとすることが望ましい。2DEGの移動度を低下させないためである。第2キャリア走行層を複層とする場合には、その複数の層のうち、少なくともキャリア供給層と接合する層をノンドープのGaNとすることが望ましい。

【0012】

キャリア供給層は、第2キャリア走行層よりもバンドギャップが大きい任意の組成のIII族窒化物半導体であってよい。キャリア供給層は、ノンドープであってもよいし、n型不純物がドープされていてもよい。キャリア供給層上にキャップ層を有していてもよい。

【0013】

また、キャリア供給層上に、さらにIII族窒化物半導体からなる単層や複層が設けられている。たとえば、キャリア供給層よりもバンドギャップが小さな層と、その層よりもバンドギャップが大きな層との対を、1回または複数回繰り返して積層された構造である。

複数回繰り返して積層させる場合、各対における各バンドギャップが小さな層は、それぞれ組成が異なってもよいし、各バンドギャップが大きな層は、それぞれ組成が異なってもよい。

【0014】

また、本発明は、第2キャリア走行層とキャリア供給層とのヘテロ接合界面近傍であって第2キャリア走行層側に2DEGを形成し、これをチャンネルとして動作する半導体装置に適用することができる。たとえばHFEETやHBT（ヘテロ接合界面バイポーラトランジスタ）のほか、ダイオードなどに適用することができる。

【0015】

【0016】

第1電極、第2電極は、直接、最上層のキャリア供給層としての第2層上に接して設けられていてもよいし、その第2層上にキャップ層などのIII族窒化物半導体層を介して設けられていてもよい。

【0017】

上記発明において、絶縁膜は、その一部または全部が複数の層からなる膜としても良い。

【0018】

上記発明において、絶縁膜は、キャリア供給層上にも形成されており、制御電極は、絶縁膜を介してキャリア供給層上に延伸して形成されていても良い。

【0019】

上記発明において、第1キャリア走行層上に位置する絶縁膜と、最上層のキャリア供給層としての第2層上に位置する絶縁膜とは、膜質が異なっても良い。

【0020】

ここで膜質が異なるとは、材料が異なる場合、材料が同じでも組成比が異なっている場合、結晶性や結晶構造が異なっている場合など、絶縁膜の物性が異なっていることをいう。

【0021】

上記発明において、絶縁膜の厚さは、第2キャリア走行層の厚さよりも薄いことが望ましい。

【0022】

上記発明において、第1電極および第2電極は、第2キャリア走行層にオーミック接触していることを特徴とする半導体装置である。

【0023】

上記発明において、第1電極と第2電極のどちらか一方と制御電極とが電氣的に接続されていても良い。

【0024】

上記発明において、第2キャリア走行層から離れた領域でのキャリアの走行を抑止するキャリア走行抑止層をさらに有し、キャリア走行抑止層上に第1キャリア走行層が位置するようにしても良い。

【0025】

上記発明において、キャリア走行抑止層は、第1キャリア走行層とは異なる伝導型のIII族窒化物半導体としても良い。

【0026】

上記発明において、キャリア走行抑止層は、第1キャリア走行層よりもバンドギャップが大きいIII族窒化物半導体としても良い。

【0027】

上記発明において、キャリア走行抑止層は、キャリア走行抑止層よりもバンドギャップが大きいIII族窒化物半導体からなる層上に位置するようにしても良い。

【0028】

上記発明において、キャリア供給層は、複数の層からなるものでも良い。

10

20

30

40

50

【0029】

【0030】

上記発明において、第2キャリア走行層およびキャリア供給層の側端面は、第1キャリア走行層から離れるにしたがって第2キャリア走行層およびキャリア供給層の素子面に平行な断面積が減少するような傾斜を有していても良い。

【0031】

他の発明は、上記発明の半導体装置を少なくとも1つ以上用いて構成された電力変換装置とすることができる。

【0032】

【発明の効果】

10

【0033】

本発明は、第2キャリア走行層とキャリア供給層とのヘテロ接合界面近傍であって第2キャリア走行層側、および前記第1層と前記第2層とのヘテロ接合界面であって前記第1層側に2DEGを形成し、これをチャネルとして動作する半導体装置である。第2キャリア走行層は、第1キャリア走行層上に続けて選択的に再成長された層であり、さらに、第1層および第2層から成る1対ないし複数対の層は、第2キャリア走行層上に続けて選択的に再成長された層であるから、第1キャリア走行層と第2キャリア走行層とのヘテロ接合界面においては再成長に伴った不純物が混入しているが、第2キャリア走行層中、および第1層中の不純物は第1キャリア走行層から離れるにしたがって減少している。そのため、第2キャリア走行層とキャリア供給層とのヘテロ接合界面、および第1層と第2層とのヘテロ接合界面においては、選択的な再成長に伴う不純物はほとんど見られない。また、キャリア供給層は、第2キャリア走行層を再成長させたのちに、第2キャリア走行層に連続して再成長させた層であるから、第2キャリア走行層とキャリア供給層とのヘテロ接合界面の平坦性は、直接第1キャリア走行層上にキャリア供給層を再成長させた場合の第1キャリア走行層とキャリア供給層とのヘテロ接合界面よりも高くなっている。したがって、本発明の半導体装置によれば、再成長による平坦性の劣化や混入する不純物によって2DEGの移動度を低下させてしまうことがなく、オン抵抗の低減を図ることができる。

20

また、複数の2DEG層を形成することができるので、さらに低いオン抵抗で動作可能な半導体装置を実現することができる。

【0034】

30

また、本発明は第1、第2電極間の導通を制御電極によって制御する半導体装置、たとえばHFETに適用することができ、オン抵抗の低い半導体装置を実現することができる。

【0035】

また、制御電極を絶縁膜を介してキャリア供給層上にも形成しているので、第2キャリア走行層およびキャリア供給層の側端面と絶縁膜との界面に、より多くの電子を蓄積することができ、制御電極の下方に位置する2DEGの濃度をより高くすることができる。その結果、オン抵抗をさらに低減することができる。

【0036】

また、絶縁膜の一部または全部を複数の層で構成してもよく、また、第1キャリア走行層上に位置する絶縁膜と最上層のキャリア供給層としての第2層上に位置する絶縁膜とで膜質が異なるようにしてもよい。

40

【0037】

また、第2キャリア走行層およびキャリア供給層の側端面と絶縁膜との界面に、より多くの電子を蓄積することができ、オン抵抗をさらに低減することができる。

【0038】

また、第1電極と前記第2電極を、第1層、および第2キャリア走行層にオーミック接触させることで、半導体装置のオン抵抗をさらに低減することができる。

【0039】

また、第1電極と第2電極のどちらか一方と制御電極とを短絡させた構成のダイオード

50

にも適用することができ、オン電圧が低く、耐圧の高いダイオードを実現することができる。

【0040】

また、キャリア走行抑止層を設けることで、第2キャリア走行層とキャリア供給層とのヘテロ接合界面から離れた領域を電流が流れることを抑制することができ、オフ動作時のリーク電流を低減することができる。

【0041】

【0042】

【0043】

【0044】

10

また、本発明の半導体装置を用いて電力変換装置を構成することで、低損失で高効率な電力変換装置を実現することができる。

【0045】

【図面の簡単な説明】

【0046】

【図1】実施例1のHFET100の構成を示した図。

【図2】実施例1のHFET100の製造工程を示した図。

【図3】実施例2のHFET200の構成を示した図。

【図4】実施例3のHFET300の構成を示した図。

【図5】実施例4のHFET400の構成を示した図。

20

【図6】実施例5のHFET500の構成を示した図。

【図7】実施例6のHFET600の構成を示した図。

【図8】実施例7のHFET700の構成を示した図。

【図9】実施例8のダイオード800の構成を示した図。

【図10】実施例9の力率改善回路900の構成を示した図。

【発明を実施するための形態】

【0047】

以下、本発明の具体的な実施例について図を参照に説明するが、本発明は実施例に限定されるものではない。

【実施例1】

30

【0048】

図1は、実施例1のHFET100の構成を示した図である。

【0049】

HFET100は、Siからなる基板101と、基板101上にAlNからなるバッファ層102を介して位置するノンドープのGaNからなる第1キャリア走行層103を有している。

【0050】

また、第1キャリア走行層103上の互いに離間した2つの領域上に、2つに分離して形成されたノンドープのGaNからなる第2キャリア走行層104と、2つの分離した第2キャリア走行層104上にそれぞれ位置するAl_{0.25}Ga_{0.75}Nからなるキャリア供給層105を有していて、第2キャリア走行層104とキャリア供給層105はヘテロ接合している。第2キャリア走行層104とキャリア供給層105は、選択的に再成長させて形成した層である。

40

【0051】

また、2つの分離したキャリア供給層105のうち、一方のキャリア供給層105上に形成されたソース電極106と、他方のキャリア供給層105上に形成されたドレイン電極107と、を有している。ソース電極106およびドレイン電極107はTi/Al(キャリア供給層側からTi、Alの順)からなる。

【0052】

また、2つの第2キャリア走行層104およびキャリア供給層105の領域に挟まれ第

50

2キャリア走行層104の形成されていない第1キャリア走行層103上、2つの第2キャリア走行層104およびキャリア供給層105の領域が離間して向かい合う側の第2キャリア走行層104およびキャリア供給層105の2つの側端面111、キャリア供給層105上にSiO₂からなる絶縁膜108を有している。

【0053】

また、この絶縁膜108を介して、第2キャリア走行層104の形成されていない第1キャリア走行層103上、および2つの側端面111に形成されたゲート電極109を有している。ゲート電極109は、Ni/Au(絶縁膜108側からNi、Auの順)からなる。このゲート電極109は、側端面111近傍のキャリア供給層105上にも、絶縁膜108を介して延伸していて、ソース電極106側とドレイン電極107側それぞれに0.5μm延伸している。このように延伸させることで、ゲート電極109に正の電圧を印加した際に、側端面111近傍により多くの電子を蓄積することができ、その延伸されたゲート電極109の下部にあたる領域の2DEGの濃度をより高めることができる。そのため、オン抵抗をより低減することができる。

10

【0054】

第1キャリア走行層103の厚さは2μm、第2キャリア走行層104の厚さは100nm、キャリア供給層105の厚さは25nmである。また、絶縁膜108の厚さは40nmである。また、ソース電極106とゲート電極109との間隔は1.5μm、ゲート電極109とドレイン電極107との距離は6.5μmであり、ゲート電極109はソース電極106よりも位置した非対称な構成となっている。このようにゲート電極109をドレイン電極107よりもソース電極106に近い位置とすることで、耐压性の向上を図っている。

20

【0055】

基板101には、Si以外に、サファイア、SiC、ZnO、スピネル、GaNなどの従来よりIII族窒化物半導体の成長基板として知られる任意の材料の基板を用いてもよい。

【0056】

バッファ層102には、AlNのほか、GaNを用いてもよく、AlN/GaNなどの複数の層であってもよい。また、第1キャリア走行層103は、任意の組成比のIII族窒化物半導体でよいが、結晶性等の点からGaNが望ましい。また、第1キャリア走行層103はn型不純物などがドーブされていてもよく、複数の層で構成されていてもよい。また、バッファ層102を形成せず、直接基板101上に第1キャリア走行層103が形成されていてもよい。

30

【0057】

第2キャリア走行層104はGaN、キャリア供給層105はAlGaNであるが、キャリア供給層105のバンドギャップが第2キャリア走行層104よりも大きくなるようにIII族窒化物半導体の組成比が選択されていれば、第2キャリア走行層104およびキャリア供給層105は任意のIII族窒化物半導体でよい。たとえば、第2キャリア走行層104としてInGaNを用い、キャリア供給層105としてGaNないしAlGaNを用いてもよい。また、キャリア供給層105は、Siなどの不純物がドーブされたn型としてもよい。また、キャリア供給層105上にキャップ層を設けた構造としてもよい。また、第2キャリア走行層104は、第1キャリア走行層103と同一組成であってもよいし、異なる組成比のIII族窒化物半導体材料であってもよい。

40

【0058】

第2キャリア走行層104とキャリア供給層105とのヘテロ接合により、第2キャリア走行層104とキャリア供給層105とのヘテロ接合界面110近傍であって第2キャリア走行層104側には、2DEGが形成される(図1の点線で示した部分)。第2キャリア走行層104とキャリア供給層105は、ゲート電極109によって互いに離間された2つの領域に形成されているため、2DEGもまた、キャリア供給層105上にソース電極106が形成されている側(ソース-ゲート側)と、キャリア供給層105上にドレ

50

イン電極 107 が形成されている側（ゲート - ドレイン側）の 2 つの領域に分離して形成される。

【0059】

ソース電極 106 およびドレイン電極 107 は、トンネル効果によってキャリア供給層 105 を介して第 2 キャリア走行層 104 にオーミックコンタクトをとる。ソース電極 106 およびドレイン電極 107 の材料として、Ti/Al 以外にも、Ti/Au などを用いることができる。なお、ショットキーコンタクトをとる材料であってもよいが、オン抵抗の低減を図るためには望ましくない。また、良好なオーミックコンタクトを得るために、ソース電極 106 およびドレイン電極 107 直下のキャリア供給層 105、第 2 キャリア走行層 104 の領域に、高濃度に Si をドーブしたり、ソース電極 106 およびドレイン電極 107 直下のキャリア供給層 105 の厚さを薄くしてもよい。

10

【0060】

絶縁膜 108 は、ゲート絶縁膜と保護膜とを兼ねたものである。また、絶縁膜 108 は、SiO₂ 以外に SiN_x、Al₂O₃、HfO₂、ZrO₂、AlN などを用いることができる。なお、絶縁膜 108 は単層であるが、絶縁膜 108 の全部または一部を複数の層で構成してもよい。たとえば、2 層とする場合は、SiO₂/ZrO₂（第 1 キャリア走行層 103 側から SiO₂、ZrO₂ の順に積層されていることを意味する。この段落において以下同じ）、SiO₂/Al₂O₃、SiO₂/HfO₂、SiN/SiO₂、Al₂O₃/ZrO₂、などを用いることができ、3 層とする場合は、SiN/SiO₂/ZrO₂、SiO₂/Al₂O₃/HfO₂、などを用いることができる。

20

【0061】

ゲート電極 109 は、Ni/Au の他にも、Ti/Al、W やポリシリコンなどを用いてもよい。

【0062】

この HFEET 100 は、ゲート電極 109 にバイアス電圧が印加されていない状態では、2DEG がソース - ゲート側と、ゲート - ドレイン側に分離され、電氣的に接続されていない。したがって、ソース - ドレイン間に電流は流れず、オフ状態となっている。つまり、HFEET 100 はノーマリオフ特性を有している。一方、ゲート電極 109 に閾値電圧以上のバイアス電圧が印加されると、絶縁膜 108 を介してゲート電極 109 と接している領域、すなわち、第 2 キャリア走行層 104 の形成されていない第 1 キャリア走行層 103 表面近傍、第 2 キャリア走行層 104 およびキャリア供給層 105 の向かい合う側端面 111 近傍に電子が蓄積され、この蓄積された電子を介してソース - ゲート側の 2DEG とゲート - ドレイン側の 2DEG が電氣的に接続される。その結果、ソース - ドレイン間に電流が流れ、オン状態となる。

30

【0063】

また、この HFEET 100 では、第 2 キャリア走行層 104 は、第 1 キャリア走行層 103 上に選択的に再成長された層であるから、第 1 キャリア走行層 103 と第 2 キャリア走行層 104 との界面に再成長に伴う不純物が混入しているが、第 2 キャリア走行層 104 中の再成長に伴う不純物は、第 1 キャリア走行層 103 から離れるにしたがって減少している。そのため、第 2 キャリア走行層 104 とキャリア供給層 105 とのヘテロ接合界面 110 においては、選択的な再成長に伴う不純物はほとんど見られない。また、キャリア供給層 105 は、第 2 キャリア走行層 104 を再成長させたのちに、第 2 キャリア走行層 104 に連続して選択的に再成長させた層であるから、第 2 キャリア走行層 104 とキャリア供給層 105 とのヘテロ接合界面 110 の平坦性は、直接第 1 キャリア走行層 103 上にキャリア供給層 105 を再成長させた場合の第 1 キャリア走行層 103 とキャリア供給層 105 とのヘテロ接合界面よりも高くなっている。そのため、第 2 キャリア走行層 104 とキャリア供給層 105 とのヘテロ接合界面 110 近傍であって第 2 キャリア走行層 104 側に形成される 2DEG の移動度を低下させてしまうことがない。したがって、実施例 1 の HFEET 100 は、ノーマリオフでありながら、オン抵抗の低い構造となっている。

40

50

【0064】

なお、第2キャリア走行層104とキャリア供給層105とのヘテロ接合界面における、再成長に伴って混入した不純物を十分に低減し、平坦性を高めるためには、第2キャリア走行層104の厚さを50nm以上とすることが望ましい。

【0065】

また、HFET100では、第1キャリア走行層103上に形成された絶縁膜108の上端が、第2キャリア走行層104とキャリア供給層105とのヘテロ接合界面110よりも低い位置(第1キャリア走行層103により近い位置)となるように、絶縁膜108の厚さを第2キャリア走行層104の厚さよりも薄くしている。これにより、ゲート電極109に正の電圧を印加した際に、2つの側端面111近傍に、より多くの電子を蓄積することができる。その結果、オン抵抗がさらに低減された構造となっている。

10

【0066】

次に、HFET100の製造方法について図2を参照に説明する。

【0067】

まず、Siからなる基板101上に、AlNからなるバッファ層102をMOCVD法によって形成する。そして、バッファ層102上にノンドープGaNからなる第1キャリア走行層103をMOCVD法によって形成する(図2(a))。キャリアガスには水素と窒素、窒素源にはアンモニア、Ga源にはTMG(トリメチルガリウム)、Al源にはTMA(トリメチルアルミニウム)、を用いる。

【0068】

次に、第1キャリア走行層103上の所定の領域に、CVD法によってSiO₂からなるマスク113を形成し、マスク113を挟んで2つの離間した領域にはマスク113を形成せず第1キャリア走行層103表面を露出させる(図2(b))。マスク113は、III族窒化物半導体の成長を阻害する材料であれば何でもよく、SiO₂のほか、Si₃N₄、Al₂O₃、HfO₂、ZrO₂などの絶縁膜などを用いることができる。

20

【0069】

次に、第1キャリア走行層103上に、MOCVD法によってノンドープGaNからなる第2キャリア走行層104を再成長させる。ここで、マスク113上は結晶成長が阻害されてGaNが成長しないため、マスク113の形成されていない2つの離間した領域上のみ、第2キャリア走行層104が選択的に再成長する(図2(c))。この再成長時において、第1キャリア走行層103と第2キャリア走行層104との界面の平坦性は悪化し、不純物が混入してしまう。しかし、第2キャリア走行層104が成長するにしたがって、第2キャリア走行層104表面の平坦性は回復していき、再成長に伴う不純物の混入も減少していく。

30

【0070】

第2キャリア走行層104を所定の厚さまで成長させた後、続けてAl_{0.25}Ga_{0.75}Nからなるキャリア供給層105をMOCVD法によって成長させる。ここにおいても、マスク113上は結晶成長が阻害されるため、2つの第2キャリア走行層104上のみ、キャリア供給層105が選択的に成長する。キャリア供給層105の形成時において、第2キャリア走行層104の平坦性は回復し、不純物の混入が減少しているため、第2キャリア走行層104とキャリア供給層105とのヘテロ接合界面の平坦性は高く、またその界面近傍における再成長に伴う不純物はほとんど見られない。マスク113は、キャリア供給層105を所定の厚さまで成長させたのちに除去する(図2(d))。

40

【0071】

次に、第2キャリア走行層104が形成されていない第1キャリア走行層103上、2つの領域の第2キャリア走行層104およびキャリア供給層105が離間して向かい合う側の第2キャリア走行層104およびキャリア供給層105の2つの側端面111、キャリア供給層105上に、SiO₂からなる絶縁膜108を形成する。絶縁膜108は、ゲート絶縁膜とキャリア供給層105の保護膜とを兼ねるものであり、これにより製造工程数の削減を図っている。また絶縁膜108は、CVD法、スパッタ、ALD法などによ

50

て形成する。次に、ソース電極106、ドレイン電極107を形成する領域の絶縁膜108を除去してキャリア供給層105を露出させ、その露出したキャリア供給層105上に蒸着とリフトオフによってソース電極106、ドレイン電極107を形成する。また、第2キャリア走行層104が形成されていない第1キャリア走行層103上、2つの側端面111、その側端面111近傍のキャリア供給層105上に、蒸着とリフトオフによってゲート電極109を形成する。以上によって図1に示すH F E T 1 0 0が製造される。

【0072】

このH F E T 1 0 0の製造方法によれば、第2キャリア走行層104とキャリア供給層105とのヘテロ接合界面の平坦性が高く、その界面近傍における再成長に伴う不純物はほとんど見られないため、ノーマリオフ特性を有しつつオン抵抗を低くすることができる。

10

【0073】

なお、上記H F E T 1 0 0の製造方法において、選択成長に用いたマスク113は、キャリア供給層105の形成後に除去しているが、除去せずにゲート絶縁膜として利用してもよい。

【実施例2】

【0074】

図3は、実施例2のH F E T 2 0 0の構成を示した図である。H F E T 2 0 0は、実施例1のH F E T 1 0 0における第2キャリア走行層104、キャリア供給層105、絶縁膜108、ゲート電極109を、それぞれ第2キャリア走行層204、キャリア供給層205、絶縁膜208、ゲート電極209に替えたものであり、他の構成はH F E T 1 0 0と同様である。第2キャリア走行層204およびキャリア供給層205は、2つの第2キャリア走行層204およびキャリア供給層205の領域が離間して向かい合う側の第2キャリア走行層204およびキャリア供給層205の2つの側端面220が傾斜している点で第2キャリア走行層104およびキャリア供給層105とは異なっている。それ以外の点は同様であり、第2キャリア走行層204およびキャリア供給層205は、第2キャリア走行層104、キャリア供給層105と同様に選択的に再成長させて形成したものである。側端面220は、第1キャリア走行層103から離れるにしたがって、第2キャリア走行層204およびキャリア供給層205の素子面に平行(基板101の主面に平行)な断面積が減少するような傾斜を有している。絶縁膜208、ゲート電極209は、この傾斜した側端面220に沿って形成されている点以外は絶縁膜108、ゲート電極109と同様である。

20

30

【0075】

このような傾斜した側端面220は、第2キャリア走行層204、キャリア供給層205を再成長させる際に、特定の成長条件とすることで可能である。そのような特定の成長条件では、素子面であるIII族窒化物半導体のc面に対して傾斜したファセット面(たとえば、(10-11)面など)を保持した状態で、第2キャリア走行層204、キャリア供給層205をc面に垂直な方向へ結晶成長させることができ、この時傾斜したファセット面が側端面220となる。

【0076】

40

このように、第2キャリア走行層204およびキャリア供給層205の側端面220を傾斜させることで、ゲート電極209と絶縁膜208を介して接する第1キャリア走行層103表面近傍、および側端面220近傍における電界の集中が緩和される。そのため、H F E T 2 0 0は、H F E T 1 0 0に比べて耐圧性がより向上した構造となっている。

【実施例3】

【0077】

図4は、実施例3のH F E T 3 0 0の構成を示した図である。H F E T 3 0 0は、実施例1のH F E T 1 0 0におけるキャリア供給層105を、以下に説明するキャリア供給層305に替えたものであり、他の構成はH F E T 1 0 0と同様である。キャリア供給層305は、第2キャリア走行層104側から、ノンドープのGaNからなる第1キャリア供

50

給層 305 a、ノンドープの AlGaIn からなる第 2 キャリア供給層 305 b、ノンドープの AlN からなる第 3 キャリア供給層 305 c の順に積層された 3 層構造である。このキャリア供給層 305 もまた、キャリア供給層 105 と同様に、第 2 キャリア走行層 104 上に選択的に再成長された層である。

【0078】

この H F E T 300 もまた、第 2 キャリア走行層 104 と、3 層からなるキャリア供給層 305 が、第 1 キャリア走行層 103 上に選択的に再成長された層であるため、2 D E G の移動度の低下が抑制されており、オン抵抗が低減された構造となっている。

【0079】

なお、キャリア供給層 305 は、他の複層構造であってもよい。たとえば GaN / AlGaIn (第 1 キャリア走行層 103 側から GaN、AlGaIn の順の積層構造であることを意味する。以下、この段落において同じ)、InGaIn / AlGaIn、InGaIn / AlGaIn / AlN、などの積層構造であってもよい。また、 n^- -AlGaIn / n^- -AlGaIn などのように n 型不純物の濃度が異なる複数の層からなる構造であってもよい。

【実施例 4】

【0080】

図 5 は、実施例 4 の H F E T 400 の構成を示した図である。H F E T 400 は、実施例 1 の H F E T 100 における第 2 キャリア走行層 104 およびキャリア供給層 105 に替えて、第 2 キャリア走行層 404 とキャリア供給層 405 の対を 3 対形成したものであり、第 1 キャリア走行層 103 側から順に、第 2 キャリア走行層 404 a、キャリア供給層 405 a、第 2 キャリア走行層 404 b、キャリア供給層 405 b、第 2 キャリア走行層 404 c、キャリア供給層 405 c の順に積層された構造である。他の構成については H F E T 100 と同様である。この 3 対の第 2 キャリア走行層 404 およびキャリア供給層 405 は、H F E T 100 の第 2 キャリア走行層 104 およびキャリア供給層 105 と同様に、いずれも第 1 キャリア走行層 103 上に選択的に再成長された層である。

【0081】

第 2 キャリア走行層 404 a とキャリア供給層 405 a とのヘテロ接合界面 440 a であって第 2 キャリア走行層 404 a 側、第 2 キャリア走行層 404 b とキャリア供給層 405 b とのヘテロ接合界面 440 b であって第 2 キャリア走行層 404 b 側、第 2 キャリア走行層 404 c とキャリア供給層 405 c とのヘテロ接合界面 440 c であって第 2 キャリア走行層 404 c 側、にそれぞれ 2 D E G が形成される。また、第 2 キャリア走行層 404 とキャリア供給層 405 は、第 1 キャリア走行層 103 上に選択的に再成長された層であるから、これらのヘテロ接合界面 440 a、b、c は平坦性が高く、ヘテロ接合界面 440 a、b、c 近傍の領域は再成長に伴って混入した不純物がほとんど見られない。したがって、これらのヘテロ接合界面 440 a、b、c 近傍に形成される 2 D E G は、移動度の低下が抑制されており、オン抵抗が低減されている。

【0082】

以上のように、実施例 4 の H F E T 400 では、移動度の低下が抑制された 2 D E G の層が 3 つ形成されているため、さらにオン抵抗が低減された構造となっている。

【0083】

なお、上記実施例 4 では、第 2 キャリア走行層 404 a、b、c はいずれも同一組成とし、キャリア供給層 405 a、b、c のいずれも同一組成としたが、第 2 キャリア走行層 404 a とキャリア供給層 405 a、第 2 キャリア走行層 404 b とキャリア供給層 405 b、第 2 キャリア走行層 404 c とキャリア供給層 405 c がそれぞれヘテロ接合となり、その界面近傍に 2 D E G が形成されるのであれば、第 2 キャリア走行層 404 a、b、c をそれぞれ異なる組成としてもよく、キャリア供給層 405 a、b、c をそれぞれ異なる組成としてもよい。

【実施例 5】

【0084】

図 6 は、実施例 5 の H F E T 500 の構成を示した図である。H F E T 500 は、実施

10

20

30

40

50

例1のHFET100において以下のように変更したものであり、他の構成についてはHFET100と同様である。HFET500は、絶縁膜108上であって、ソース電極106およびドレイン電極107の形成領域以外のキャリア供給層105の上部にあたる領域に、 SiO_2 からなる絶縁膜108よりも比誘電率の高い ZrO_2 からなる絶縁膜550が形成されている。ゲート電極509は、絶縁膜108を介して、第2キャリア走行層104の形成されていない第1キャリア走行層103上、2つの第2キャリア走行層104およびキャリア供給層105の領域が離間して向かい合う側の第2キャリア走行層104およびキャリア供給層105の2つの側端面511に形成されており、さらにソース電極106側の側端面511からソース電極106側に向かって $0.5\mu\text{m}$ 延伸して絶縁膜550上に形成されており、ドレイン電極107側の側端面511からドレイン電極107側に向かって $1.5\mu\text{m}$ 延伸して絶縁膜550上に形成されている。

10

【0085】

このHFET500の構造によると、ドレイン電極107側の第2キャリア走行層104、キャリア供給層105の側端面511からドレイン電極107側へ延伸したゲート電極509と、絶縁膜108との間に、絶縁膜108よりも比誘電率の高い絶縁膜550が設けられているため、オフ動作時において、ドレイン電極107側の側端面511近傍でキャリア供給層105上の絶縁膜108内部の電界強度が緩和される。したがって、HFET500は耐圧性がさらに向上した構造となっている。

【実施例6】

【0086】

20

図7は、実施例6のHFET600の構成を示した図である。HFET600は、実施例1のHFET100において以下のように変更したものであり、他の構成についてはHFET100と同様である。HFET600は、ソース電極106およびドレイン電極107の形成領域以外のキャリア供給層105上に、 SiN からなる絶縁膜650が形成されている。 SiO_2 からなる絶縁膜608は、第1キャリア走行層103上、2つの第2キャリア走行層104およびキャリア供給層105の領域が離間して向かい合う側のキャリア走行層104およびキャリア供給層105の2つの側端面611、絶縁膜650上に連続して膜状に形成されている。ゲート電極609は、絶縁膜608を介して、第1キャリア走行層103上、側端面611に形成されており、さらにソース電極106側の側端面611からソース電極106側に向かって $0.5\mu\text{m}$ 延伸して絶縁膜608上に形成されており、ドレイン電極107側の側端面611からドレイン電極107側に向かって $1.5\mu\text{m}$ 延伸して絶縁膜608上に形成されている。

30

【0087】

このHFET600では、オン動作時において電界強度が高くなる側端面611、および第2キャリア走行層104が形成されていない第1キャリア走行層103上には、耐圧性の高い SiO_2 からなる絶縁膜608が設けられている。また、オフ動作時において電界強度が高くなるゲート電極609のドレイン側端部の直下にも、耐圧性の高い SiO_2 からなる絶縁膜608が設けられている。また、オフ動作時において電界強度が高くなるゲート電極609のドレイン側端部の直下であってキャリア供給層105上には、絶縁膜650が設けられている。絶縁膜650は SiN からなるため、絶縁膜650として SiO_2 を用いた場合よりも、キャリア供給層105と絶縁膜650との界面に発生する界面準位密度を低減することができ、電流コラプス（高電圧動作時にドレイン電流が大きく減少する現象）などの特性劣化を抑制することができる。

40

【0088】

このように、HFET600では、耐圧性が要求される領域と界面準位密度の低減が要求される領域とで異なる材料の絶縁膜を用いる構造としたので、耐圧性の向上と、界面準位の高さに起因した特性劣化の防止の両立が可能な構造となっている。

【実施例7】

【0089】

図8は、実施例7のHFET700の構成を示した図である。HFET700は、実施

50

例1のHFET100において、バッファ層102と第1キャリア走行層103との間にキャリア走行抑止層750を設けたものである。キャリア走行抑止層750は、Mgを $1 \times 10^{19} \text{ cm}^{-3}$ ドープした、厚さ100nmのp-GaNからなり、正孔濃度は $1 \times 10^{17} \text{ cm}^{-3}$ である。

【0090】

このキャリア走行抑止層750は、電子の流れに対して高抵抗となることから、オフ動作時においてソース-ドレイン間に高いバイアス電圧を印加した際に、第2キャリア走行層104とキャリア供給層105とのヘテロ接合界面から離れた領域を介して電流が流れる経路を遮断することができる。そのため、HFET700は、オフ動作時のソース-ドレイン間のリーク電流が低減されており、さらにHFET100と同様にノーマリオフでオン抵抗が低減されている。

10

【0091】

ここで、キャリア走行抑止層750を設ける場合、キャリア走行抑止層750とキャリア供給層105との距離をある程度以上に大きくする必要があり、具体的には第1キャリア走行層103、第2キャリア走行層104、およびキャリア供給層105の合計の厚さを100nm以上とすることが望ましい。これは、キャリア走行抑止層750とキャリア供給層105との距離が近いと、第1キャリア走行層103、第2キャリア走行層104、およびキャリア供給層105を形成する際に、キャリア走行抑止層750にドープされたMgがキャリア供給層105にまで拡散してしまい、2DEGの濃度や移動度を低下させてしまうことがあるからである。また、キャリア走行抑止層750がp型である影響で2DEGの濃度を低下させてしまうからである。

20

【0092】

なお、実施例7ではキャリア走行抑止層750としてp-GaNを用いたが、電子が第2キャリア走行層104から離れた領域を走行することを抑止することができる材料であればよい。たとえば、キャリア走行抑止層750は第1キャリア走行層103の伝導型とは異なる伝導型であればよい。第1キャリア走行層103はノンドープGaNであり、低濃度のn型であるから、キャリア走行抑止層750としてp-GaNだけでなくi-GaNを用いることもできる。

【0093】

また、ノンドープGaNである第1キャリア走行層103よりもバンドギャップが広いAlGaNをキャリア走行抑止層750に用いることができる。キャリア走行抑止層750としてAlGaNを用いると、第1キャリア走行層103とキャリア走行抑止層750とのヘテロ接合界面に負の分極電荷が発生し、この電荷およびヘテロ接合界面におけるバンドの不連続が電子に対して障壁となる。その結果、オフ動作時においてソース-ドレイン間に高いバイアス電圧を印加した際に、第2キャリア走行層104とキャリア供給層105とのヘテロ接合界面から離れた領域を介して電流が流れる経路を遮断することができる。このとき、キャリア走行抑止層750が薄すぎると、電子はトンネル効果によりキャリア走行抑止層750を透過し、バッファ層102を介して電流がリークしてしまう。そのため、キャリア走行抑止層750は100nm以上とすることが望ましい。

30

40

【0094】

また、バッファ層102よりもバンドギャップが狭いInGaNをキャリア走行抑止層750に用いることができる。キャリア走行抑止層750としてInGaNを用いると、バッファ層102とキャリア走行抑止層750とのヘテロ接合界面に負の分極電荷が発生し、この電荷およびヘテロ接合界面におけるバンドの不連続が電子に対して障壁となる。その結果、オフ動作時においてソース-ドレイン間に高いバイアス電圧を印加した際に、第2キャリア走行層104とキャリア供給層105との界面から離れた領域を介して電流が流れる経路を遮断することができる。ここで、キャリア走行抑止層750はノンドープGaNである第1キャリア走行層103よりもバンドギャップが狭いため、キャリア走行抑止層750を介してリーク電

50

流が流れる。そのため、キャリア走行抑止層 750 の厚さを 200 nm 以下とすることでキャリア走行抑止層 750 を介したリーク電流を減少させることが望ましい。また、キャリア走行抑止層 750 を p-InGa_N または i-InGa_N とすることがさらに望ましい。

【実施例 8】

【0095】

図 9 は、実施例 8 のダイオード 800 の構成を示した図である。ダイオード 800 は、実施例 1 の H F E T 100 におけるソース電極 106 およびドレイン電極 107 を、それぞれアノード電極 806、カソード電極 807 に替え、ゲート電極 109 をゲート電極 809 に替えたものであり、ゲート電極 809 は、H F E T 100 におけるゲート電極 109 をアノード電極 806 の方向へさらに延伸させてアノード電極 806 を覆うようにして接合させたものである。また、アノード電極 806、カソード電極 807 は、実施例 1 の H F E T 100 におけるソース電極 106 およびドレイン電極 107 と同一の構成であり、T i / A l からなる。また、ゲート電極 809 は N i / A u からなる。

10

【0096】

アノード電極 806 とカソード電極 807 は、トンネル効果によってキャリア供給層 105 を介して第 2 キャリア走行層 104 にオーミック接触している。また、ゲート電極 809 は、印加するバイアス電圧によって、ゲート電極 809 と絶縁膜 108 を介して接する第 1 キャリア走行層 103 表面近傍、2 つの第 2 キャリア走行層 104 およびキャリア供給層 105 の領域が離間して向かい合う側の第 2 キャリア走行層 104 およびキャリア供給層 105 の側端面 111 近傍の電子濃度を制御する制御電極として作用する。

20

【0097】

また、このダイオード 800 では、実施例 1 の H F E T 100 と同様に、第 2 キャリア走行層 104 とキャリア供給層 105 とのヘテロ接合界面 110 近傍であって第 2 キャリア走行層 104 側に 2 D E G が形成される。第 2 キャリア走行層 104 とキャリア供給層 105 は、ゲート電極 809 を挟んで 2 つの領域に離間しているため、2 D E G も、アノード - ゲート間の 2 D E G と、ゲート - カソード間の 2 D E G に分離して形成されている。

【0098】

次に、ダイオード 800 の動作について説明する。ダイオード 800 のアノード電極 806 とカソード電極 807 の間に順方向バイアス電圧を印加した場合、アノード電極 806 と電気的に接続されているゲート電極 809 に、絶縁膜 108 を介して接する第 1 キャリア走行層 103 表面近傍、および側端面 111 近傍に、電子が蓄積される。この電子によって、アノード - ゲート間に形成されている 2 D E G とゲート - カソード間に形成されている 2 D E G とが接続され、アノード電極 806 とカソード電極 807 との間に電流が流れる。一方、アノード電極 806 とカソード電極 807 の間に逆方向バイアス電圧を印加した場合、アノード電極 806 と電気的に接続されているゲート電極 809 近傍の電子、およびゲート - カソード間の 2 D E G は空乏化されるため、電流は遮断される。

30

【0099】

このように、実施例 8 のダイオード 800 では、ゲート電極 809 によって絶縁膜を介して電子濃度が制御されることにより、整流動作が得られている。

40

【0100】

また、実施例 8 のダイオード 800 では、実施例 1 の H F E T 100 の説明でも述べたように、第 2 キャリア走行層 104 とキャリア供給層 105 とのヘテロ接合界面 110 の平坦性が高く、そのヘテロ接合界面 110 近傍における再成長に伴って混入した不純物がほとんどないため、2 D E G の移動度が高い。また、アノード電極 806 は、第 2 キャリア走行層 104 とオーミック接触しているため、順方向バイアス電圧時の立ち上がり電圧が 0 に近い。したがって、ダイオード 800 は、オン抵抗、オン電圧の低い構造となっている。

【0101】

さらにダイオード 800 では、ゲート電極 809 を設け、アノード電極 806 と電氣的

50

に接続した構成としていることから、逆方向バイアス電圧の印加時に最も電界強度が高くなるのはゲート電極 809 のカソード電極 807 側端部である。その端部には絶縁膜 108 が形成されており、その絶縁膜 108 を介して、ゲート電極 809 は第 2 キャリア走行層 104 およびキャリア供給層 105 に接している。そのため、電界強度の高いゲート電極 809 端部における逆方向リーク電流を大幅に低減することができる。したがって、ダイオード 800 は、オフ動作時の耐圧が高い構造となっている。

【0102】

なお、実施例 8 のダイオード 800 は、実施例 1 の H F E T 100 においてソース電極 106 をアノード電極 806 とし、ゲート電極 109 をアノード電極 806 側に延伸することでアノード電極 806 とゲート電極 109 とを接合した構造であるが、実施例 1 のソース電極 106 をアノード電極 806 とし、アノード電極 806 とゲート電極 109 とを電氣的に接続する構造であれば他の構造であってよい。たとえば、アノード電極をゲート電極 109 側に延伸させてアノード電極とゲート電極 109 とを接合する構造であってもよい。また、配線電極などによってアノード電極とゲート電極 109 とを間接的に接続する構造であってもよい。また、アノード電極とゲート電極 109 とを同一材料として共通化し、複合アノード電極構造としてもよい。

10

【0103】

また、実施例 8 のダイオード 800 は、実施例 1 の H F E T 100 においてソース電極 106 をアノード電極としてアノード電極とゲート電極を電氣的に接続した構造であるが、実施例 2 ~ 7 の H F E T 200 ~ 700 におけるドレイン電極 107 をアノード電極として、そのアノード電極とゲート電極を電氣的に接続した構造としても、ダイオード 800 と同様の効果のダイオードを実現することができる。

20

【実施例 9】

【0104】

図 10 は、実施例 9 の力率改善回路 900 の構成を示した回路図である。力率改善回路 900 は、交流電源 V と、交流電源 V の交流電圧を整流する 4 つのダイオード D1 からなるダイオードブリッジ 10 とを有している。また、ドレイン側をインダクタ L を介してダイオードブリッジ 10 の直流側の正極出力端に、ソース側をダイオードブリッジ 10 の直流側の負極出力端に接続する H F E T 20 と、H F E T 20 のゲートに接続する制御回路 30 と、をさらに有している。また、H F E T 20 のソース - ドレイン間には、ダイオード D2 とキャパシタ C とを直列に接続した回路が接続されていて、キャパシタ C と並列に負荷 R が接続されている。力率改善回路 900 は、出力電圧やダイオードブリッジ 10 に流れる電流などに基づいて制御回路 30 が H F E T 20 のオンオフを制御することで、交流電源 V の力率を改善する回路である。

30

【0105】

上記構成の力率改善回路 900 において、ダイオード D1、D2 は、実施例 8 のダイオード 800 を使用し、H F E T 20 には、実施例 1 の H F E T 100 を使用している。そのため、力率改善回路 900 では、回路内部での損失が軽減されており、高効率で低損失な動作が可能となっている。

【0106】

なお、実施例では本発明の半導体装置を H F E T またはダイオードに適用した例を示したが、本発明は、キャリア走行層とキャリア供給層との界面に生じる 2 D E G をチャネルとして動作する他の半導体装置に対しても適用可能である。たとえばヘテロ接合バイポーラトランジスタ (H B T) などにも適用可能である。

40

【0107】

また、実施例 1 ~ 7 の H F E T にフィールドプレート構造を導入し、さらなる耐圧性の向上を図るようにしてもよい。

【産業上の利用可能性】

【0108】

本発明の半導体装置はオン抵抗が低いので、電力変換装置に本発明の半導体装置を利用

50

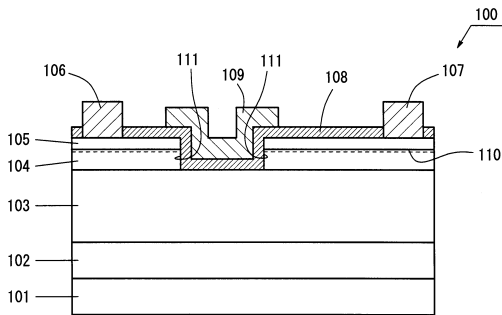
することで、高効率な電力変換装置を実現することができる。

【符号の説明】

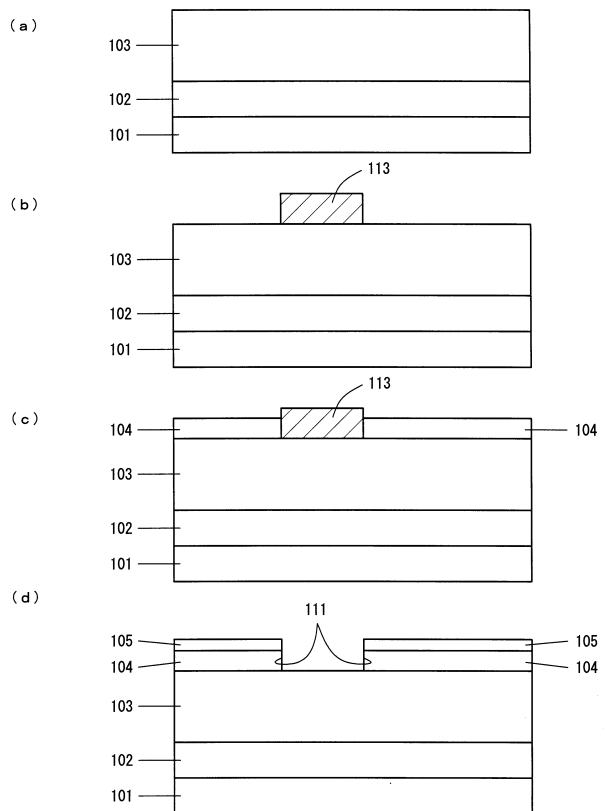
【0109】

- 101：基板
- 102：バッファ層
- 103：第1キャリア走行層
- 104、204、404：第2キャリア走行層
- 105、205、305、405：キャリア供給層
- 106：ソース電極
- 107：ドレイン電極
- 108、208、550、650：絶縁膜
- 109、209、509、609、809：ゲート電極
- 750：キャリア走行抑止層
- 806：アノード電極
- 807：カソード電極

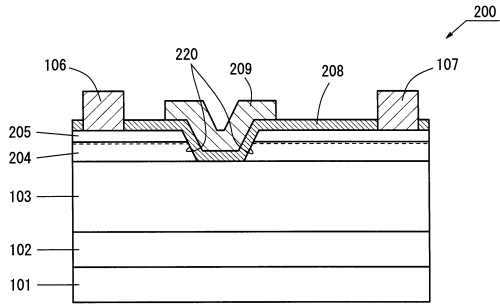
【図1】



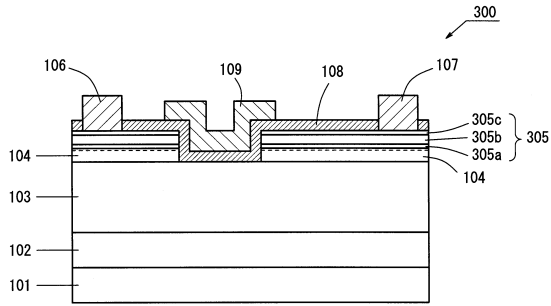
【図2】



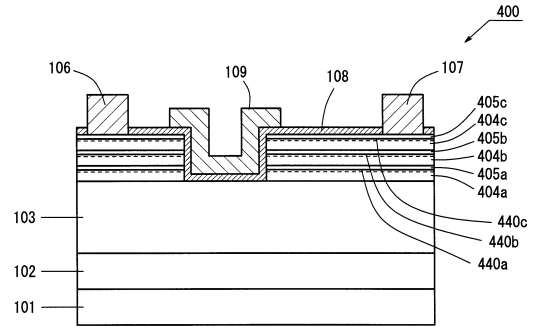
【図3】



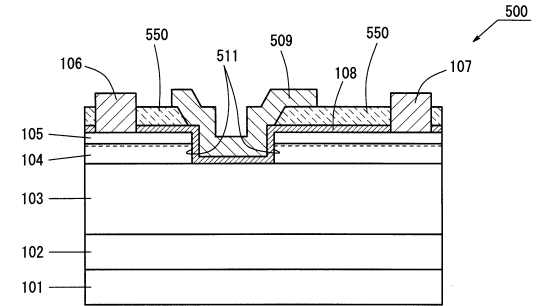
【図4】



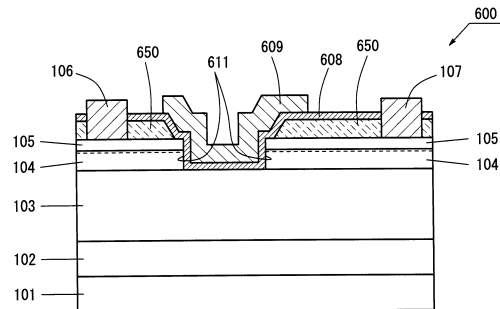
【図5】



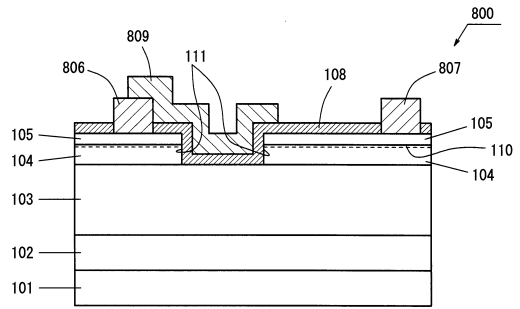
【図6】



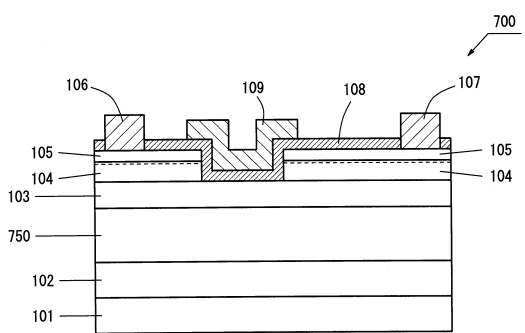
【図7】



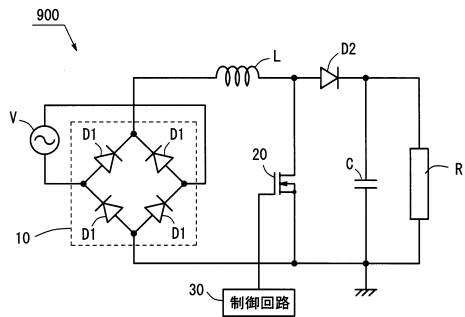
【図9】



【図8】



【図10】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

(56)参考文献 特開2007-035905(JP,A)
特開2009-200096(JP,A)
特開2009-099691(JP,A)
特開2009-016655(JP,A)
特開2008-147593(JP,A)
特開2011-009493(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/336 - 21/338

H 0 1 L 27/095 - 27/098

H 0 1 L 29/775 - 29/778

H 0 1 L 29/78

H 0 1 L 29/80 - 29/812

H 0 1 L 29/861 - 29/885