



(12) 发明专利

(10) 授权公告号 CN 110602011 B

(45) 授权公告日 2021. 11. 19

(21) 申请号 201910758577.1

CN 1173315 A, 1998.02.18

(22) 申请日 2019.08.16

CN 1965493 A, 2007.05.16

(65) 同一申请的已公布的文献号

CN 1307720 A, 2001.08.08

申请公布号 CN 110602011 A

CN 101340195 A, 2009.01.07

(43) 申请公布日 2019.12.20

CN 101765977 A, 2010.06.30

(73) 专利权人 华东师范大学

US 7653152 B2, 2010.01.26

地址 200062 上海市普陀区中山北路3663号

US 2017149473 A1, 2017.05.25

US 7557862 B2, 2009.07.07

CN 102195677 A, 2011.09.21

CN 101094209 A, 2007.12.26

(72) 发明人 张嘉楠 金豫

吴文相.“基于ARM的AVS视频播放器的设计与实现”.《中国优秀硕士学位论文全文数据库信息科技辑》.2009,

(74) 专利代理机构 上海德禾翰通律师事务所

徐锦钢.“基于DSP的嵌入式视频监控系统设计”.《江西电力职业技术学院学报》.2010,

31319

代理人 夏思秋

佚名.“锁相环在调制和解调中的应用及概念解析”.《http://www.elecfans.com/analog/20180122620467.html》.2018,

(51) Int. Cl.

H04L 27/12 (2006.01)

H04L 27/14 (2006.01)

(56) 对比文件

CN 109963125 A, 2019.07.02

审查员 文庆

权利要求书1页 说明书4页 附图6页

(54) 发明名称

一种基于锁相环的数字信号调制解调电路及调制解调方法

(57) 摘要

本发明提出了一种基于锁相环的数字信号调制解调电路,包括:数字信号编码模块,其根据约定的调制方式,对数字信号进行编码;数字信号解码模块,其将已编码的数字信号进行模拟解码,生成分立的模拟电平;调制模块,其利用CD4046锁相环对信号进行第一步调制,并对调制信号进行整形;发射模块,其对一次调制信号进行二次调制,并发射;接收模块,其对信号进行接收、一次解调,得到待解调信号;信号调理模块,其对一次解调后的模块进行整形、滤波、降噪;解调模块,其利用CD4046锁相环芯片对信号进行二次解调、判决,重新恢复成分立的模拟电平;数字信号恢复模块,其对经判决后的信号,按事先约定的调制、解调速率恢复成数字信号。



CN 110602011 B

1. 一种基于锁相环的数字信号调制解调电路,其特征在于,包括:
数字信号编码模块,其根据约定的调制方式,对数字信号进行编码;
数字信号解码模块,其将已编码的数字信号进行模拟解码,生成分立的模拟电平;
调制模块,其利用CD4046锁相环对信号进行第一步调制,并对调制信号进行整形;
发射模块,其对一次调制信号进行二次调制,并发射;
接收模块,其对信号进行接收、一次解调,得到待解调信号;
信号调理模块,其对一次解调后的模块进行整形、滤波、降噪;
解调模块,其利用CD4046锁相环芯片对信号进行二次解调、判决,重新恢复成分立的模拟电平;
数字信号恢复模块,其对经判决后的信号,按事先约定的调制、解调速率恢复成数字信号。
2. 如权利要求1所述的基于锁相环的数字信号调制解调电路,其特征在于,所述数字信号编码模块为单片机、硬件电路或FPGA完成。
3. 如权利要求1所述的基于锁相环的数字信号调制解调电路,其特征在于,所述发射模块载波频率设在78M-108M之间可调。
4. 如权利要求1所述的基于锁相环的数字信号调制解调电路,其特征在于,所述接收模块为FM收音机。
5. 如权利要求1所述的基于锁相环的数字信号调制解调电路,其特征在于,所述数字信号恢复模块为stm32单片机完成。
6. 一种基于锁相环的数字信号调制解调方法,其特征在于,采用如权利要求1-5之任一项所述的基于锁相环的数字信号调制解调电路,所述方法包括:
步骤一:根据约定的调制方式,对数字信号进行编码;
步骤二:将已编码的数字信号进行模拟解码,生成分立的模拟电平;
步骤三:利用CD4046锁相环对信号进行第一步调制,并对调制信号进行整形;
步骤四:对一次调制信号进行二次调制,并发射;
步骤五:对信号进行接收、一次解调,得到待解调信号;
步骤六:对一次解调后的模块进行整形、滤波、降噪;
步骤七:利用CD4046锁相环芯片对信号进行二次解调、判决,重新恢复成分立的模拟电平;
步骤八:数字信号恢复模块,其对经判决后的信号,按事先约定的调制、解调速率恢复成数字信号。

一种基于锁相环的数字信号调制解调电路及调制解调方法

技术领域

[0001] 本发明涉及内容锁相环的数字信号调制解调系统的设计和实现,尤其涉及一种基于锁相环的数字信号调制解调电路及调制解调方法。

背景技术

[0002] 数字逻辑电路和数字信号处理技术在当代社会应用及其广泛。数字信号由于其抗干扰能力强,处理速度快,可靠性强而受到了广泛应用。相比于模拟信号,数字信号的处理系统设计可以采用全自动设计或者半自动设计,相比于模拟电路的全定制设计,效率也有大幅提升。

[0003] 在数字信号的无线传输技术中,需要对数字信号进行调制。与数字信号相关的调制与解调方法主要有两大类:数字信号调制数字载波和数字信号调制数字载波。一般来说,调制的方式决定了信号的传送速度、调制解调难度、频带利用率。同时,调制的类型也决定了功放的设计需求。一般来说,含有幅度信息的调制信号,功放必须是线性的;不含幅度信息的调制信号,功放可以是高效的非线性的。

发明内容

[0004] 本发明利用CD4046锁相环芯片,以及额外的模拟芯片,在PCB板上实现数字信号调制解调的功能。

[0005] 本发明的技术解决方案如下:

[0006] 数字信号调制、解调方案:

[0007] 数字信号归一化为几个确定的电压幅度,对应于几种不同的频率。电压的个数决定了频带利用率和传输速度,但高阶的调制也对信号的信噪比提出高要求。具体的实现方式有:1) 2种电平对应2种频率,也就是每一位二进制码进行编码调制,此即传统的FSK调制;2) 4种电平对应4种频率,也就是每2位二进制码进行编码调制;3) 8种电平对应8种频率,也就是每3位二进制码进行编码调制;受信噪比的限制,调制阶数难以再继续提升。假设采用第三种调制方式,则3kbps的数字信号可以以1k的速率进行调制。

[0008] 经调制后的信号是仅含频率信息的数字中频信号(500kHz左右),通过FM调制方式经模拟信道发射。

[0009] 解调过程与调制过程基本相同,但是由于解调信号的信噪比更差,受干扰更大,解调信号需经过判决后恢复成数字信号。

[0010] 该信号处理电路由以下模块构成:

[0011] 模块1:数字信号编码模块。根据约定的调制方式,对数字信号进行编码。由于所处理数字信号频率不高,这部分功能可由单片机、硬件电路或FPGA完成。本设计中,采用stm32单片机完成。

[0012] 模块2:数字信号解码模块。将模块1中已编码的数字信号进行模拟解码,生成分立的模拟电平。

[0013] 模块3:调制模块。利用CD4046锁相环对信号进行第一步调制,并对调制信号进行整型。

[0014] 模块4:发射模块。对一次调制信号进行二次调制,并发射。载波频率设在78M-108M之间可调,即利用无线电台的模拟信道进行发射。

[0015] 模块5:接收模块。对信号进行接收、一次解调,得到待解调信号。该模块可由FM收音机完成,本设计中制作了测试用的接收模块。

[0016] 模块6:信号调理模块。对一次解调后的模块进行整型、滤波、降噪。

[0017] 模块7:解调模块。利用CD4046锁相环芯片对信号进行二次解调、判决,重新恢复成分立的模拟电平。

[0018] 模块8:数字信号恢复模块。对经判决后的信号,按事先约定的调制、解调速率恢复成数字信号。该部分内容同样由上图stm32单片机完成。

[0019] 基于以上调制解调电路,本发明还提出了一种基于锁相环的数字信号调制解调方法,包括以下步骤:

[0020] 步骤一:根据约定的调制方式,对数字信号进行编码;

[0021] 步骤二:将已编码的数字信号进行模拟解码,生成分立的模拟电平;

[0022] 步骤三:利用CD4046锁相环对信号进行第一步调制,并对调制信号进行整型;

[0023] 步骤四:对一次调制信号进行二次调制,并发射;

[0024] 步骤五:对信号进行接收、一次解调,得到待解调信号;

[0025] 步骤六:对一次解调后的模块进行整型、滤波、降噪;

[0026] 步骤七:利用CD4046锁相环芯片对信号进行二次解调、判决,重新恢复成分立的模拟电平;

[0027] 步骤八:数字信号恢复模块,其对经判决后的信号,按事先约定的调制、解调速率恢复成数字信号。

[0028] 本发明设计了一种数字信号的调制、解调方案,将数字信号调制到无线电台所在信道进行发送。同时,利用CD4046锁相环芯片,对该调制解调方案进行了硬件实现。该调制方案优势在于:二次调制,信道利用率高;纯角度调制方式,对PA的线性度要求低。

[0029] 本发明能够实现模拟信道下的中低速数字信号数据流通信,相比现有技术实现的通信速度更高,可以在相同使用条件下传递更详细的信息。

附图说明

[0030] 图1系统框图。

[0031] 图2调制模块电路原理图。

[0032] 图3调制模块PCB图。

[0033] 图4发射模块电路原理图。

[0034] 图5发射模块PCB图。

[0035] 图6接收模块电路原理图。

[0036] 图7接收模块PCB图。

[0037] 图8解调模块电路原理图。

[0038] 图9解调模块PCB图。

[0039] 图10测试效果图(10kbps)。

[0040] 图11测试效果图(10kbps)。

具体实施方式

[0041] 结合以下具体实施例和附图,对发明作进一步的详细说明。实施本发明的过程、条件、实验方法等,除以下专门提及的内容之外,均为本领域的普遍知识和公知常识,本发明没有特别限制内容。

[0042] 以下将结合附图对本发明的实施做详细说明。本实施在本发明技术方案的前提下进行实施,架构介绍由附图1及前文“发明内容”中给出、各模块的电路原理由附图及下文给出。

[0043] 模块1:数字信号编码模块。为测试方便,数字信号由单片机产生的伪随机序列代替。该伪随机序列通过串口发送到上位机便于检测。之后,将根据事先约定的调制方式,对该序列进行重新编码;

[0044] 模块2:数字信号解码模块。解码模块就是指将完成编码的数字信号转变为对应的模拟信号。根据CD4046芯片的要求,锁相环可以正常工作对应的输入电压范围为 $1V < V_{in} < 0.9V_{cc}$,因此分立的模拟电平尽可能均匀地分布在这个范围内。解码信号将通过stm32F407的内置DAC模块送出,并经过以及电压跟随缓冲输出;

[0045] 模块3:调制模块。该模块的输入信号和输出信号就是对应的待调信号和调制信号。调制是基于锁相环的频率调制,即一个输入电压对应一个频率。调制完成的信号是一个较高频的方波信号,且频率根据待调信号变化,在500kHz附近变化。对发射而言,这仍然是低频信号,还需经过二次调制。由于锁相环的特性,调制信号的幅度略有变化,因此对调制信号经过比较器整形。调制模块部分的电路原理图如附图2所示,PCB图如附图3所示;

[0046] 模块4:发射模块。该模块将信号经过FM调制后,进行发射。该模块采用芯片QN8027完成,该芯片能够实现对信号进行调频发射,发射频率为78M-108M。为了提高发射功率,采用三极管构成的共射电路,对调制信号进行射频放大。该部分的电路原理图如附图4所示,PCB板图如附图5所示;

[0047] 模块5:接收模块。该模块采用RDA5807M接收模块芯片,搭建了信号接收电路。接收部分通过FM解调,将信号恢复成200kHz左右的中频信号。由于该芯片内部带有一定的功率放大作用,因此输出的信号带有一定的摆幅,信噪比得到一定保证。该部分的电路原理图如附图6所示,PCB板图如附图7所示;

[0048] 模块6:信号调理模块。该部分电路目的有二,一是将解调后不规整的方波信号整形成标准方波,二是调整方波的幅度和直流偏置,使其和调制信号对应起来。引起,该部分需要用到高速比较器、直流电平移位器和信号放大器,其中后两项通过运算放大器构成;

[0049] 模块7:解调模块。解调电路基于CD4046锁相环芯片。锁相环的输入控制信号就是对应的解调信号。在解调链路中,相位误差比较器需要输入相位误差信号。相位误差信号是一高频信号,需要对其进行滤波、平滑操作。该低通滤波器的要求是较好地保留信号的相位关系,因此可以采用切比雪夫滤波器。在本设计中,为结构简单,采用了一阶RC低通滤波器。解调完成后,对信号将通过ADC送入stm32单片机,并进行判决。判决的规则是根据电平的范围确定对应的数字编码,电平的范围将根据测试决定。该部分的电路原理图如附图8所示,

PCB板图如附图9所示；

[0050] 模块8:数字信号恢复模块。根据实现约定的解调方式,对编码进行拆分,恢复出数字信号,并通过串口发送到上位机进行检验。

[0051] 测试结果展示

[0052] 以下将结合附图对本发明的测试结果作出说明。本测试用例在本发明技术方案的前提下进行实施,但是适用的内容不限于下述实例。本次测试使用的示波器型号为Tektronix DSO-X 2012A。测试结果如图10和图11所示。

[0053] 本发明的保护内容不局限于以上实施例。在不背离发明构思的精神和范围下,本领域技术人员能够想到的变化和优点都被包括在本发明中,并且以所附的权利要求书为保护范围。

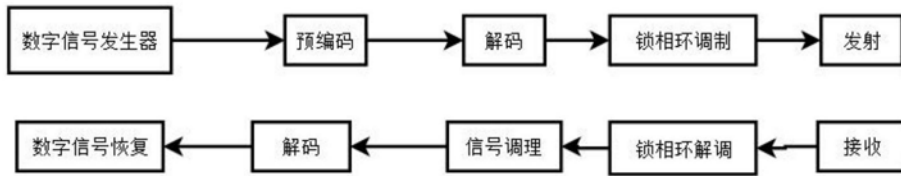


图1

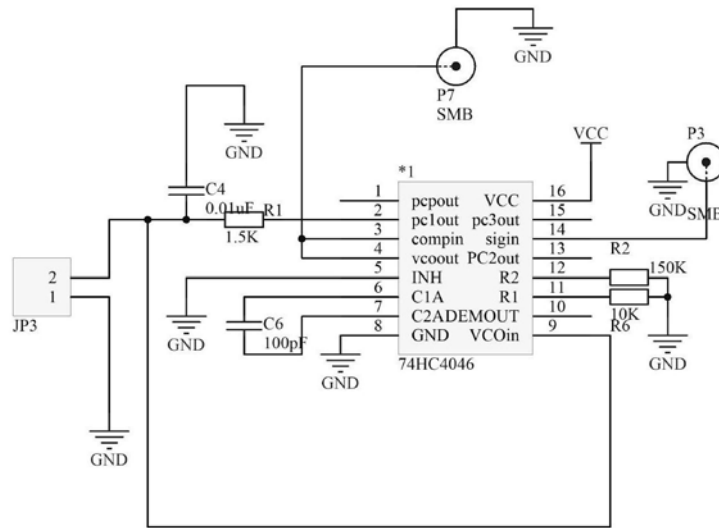


图2

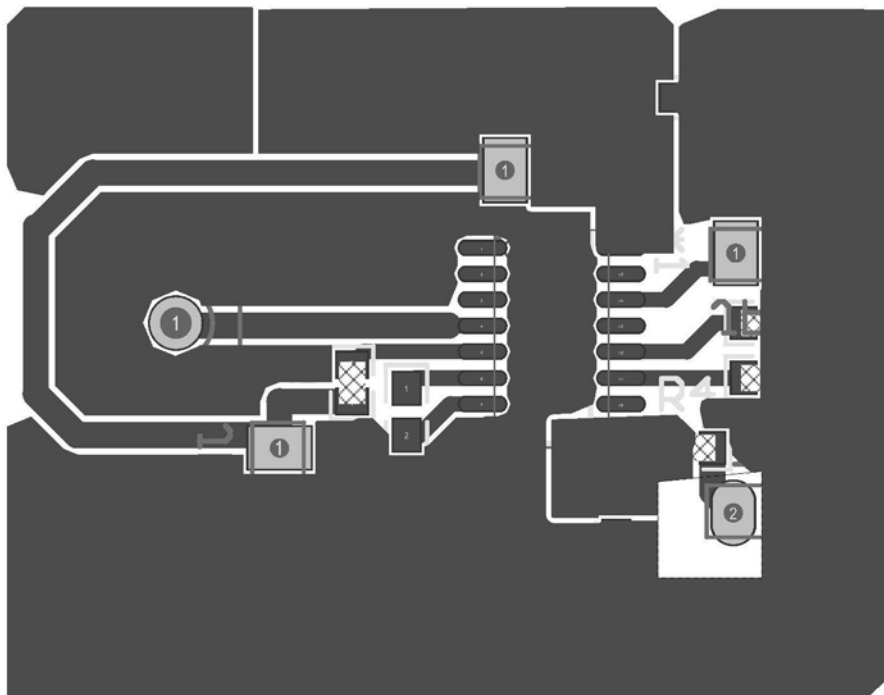


图3

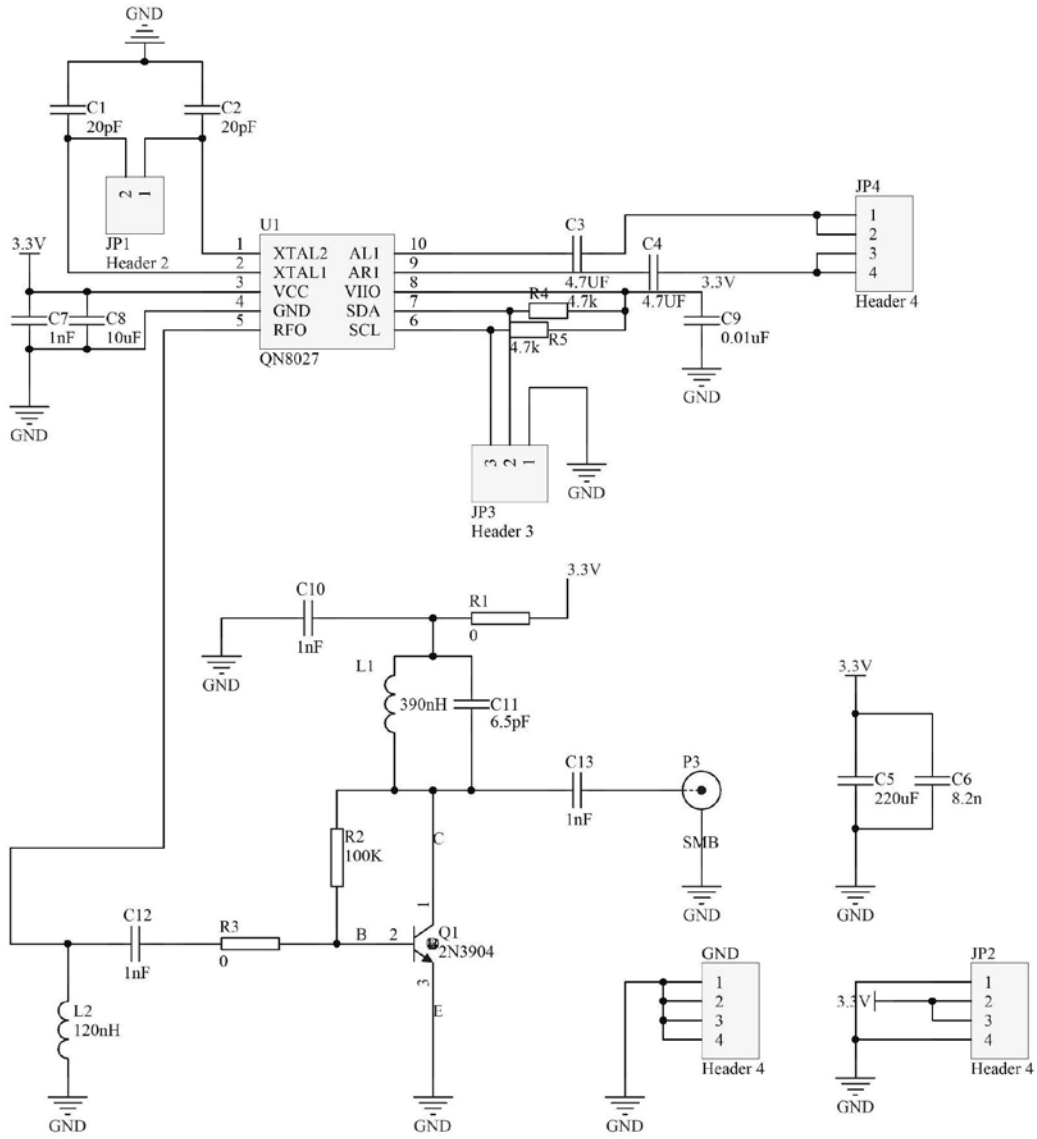


图4

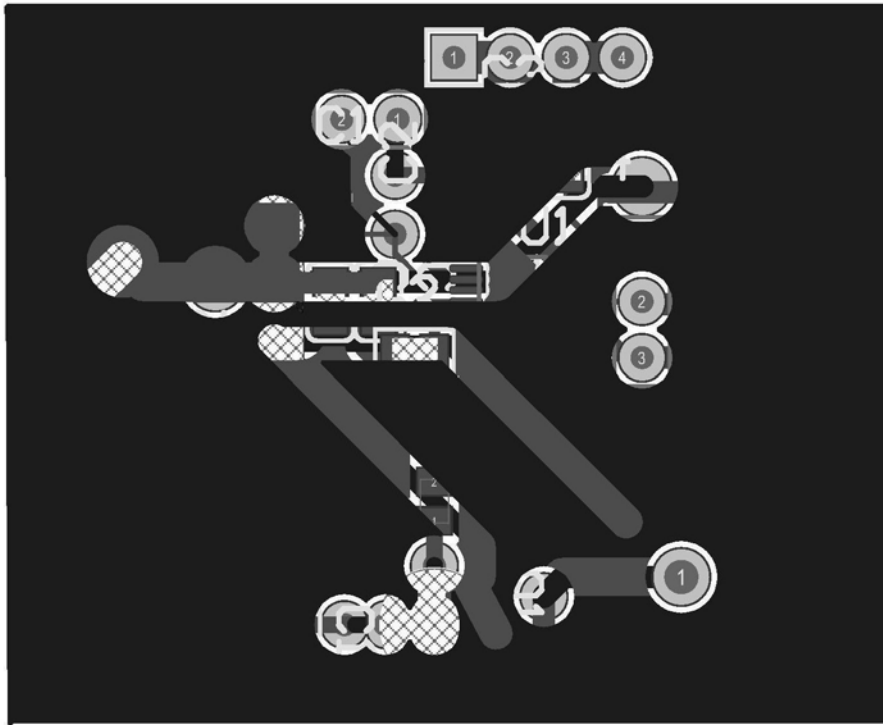


图5

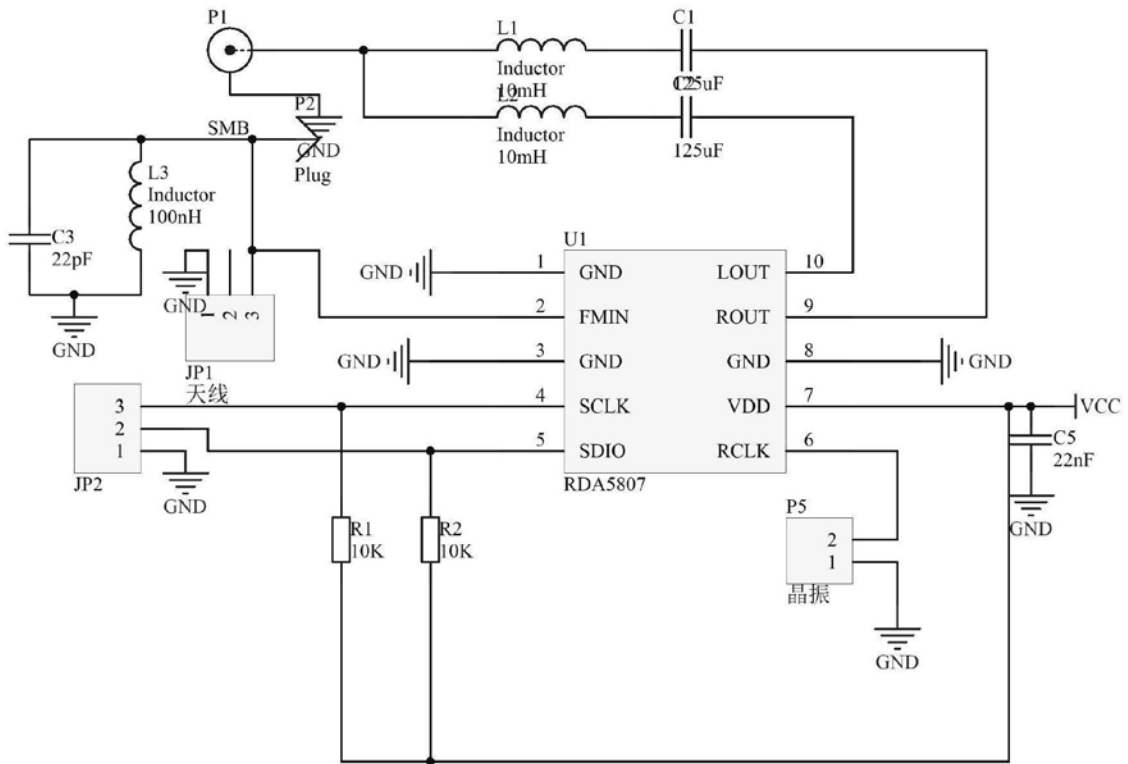


图6

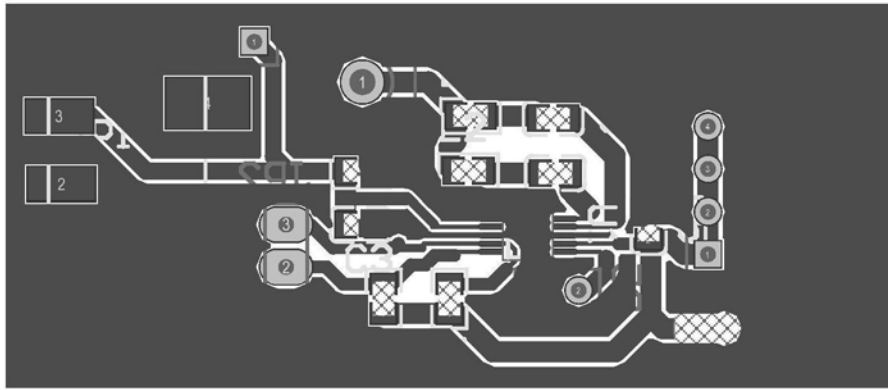


图7

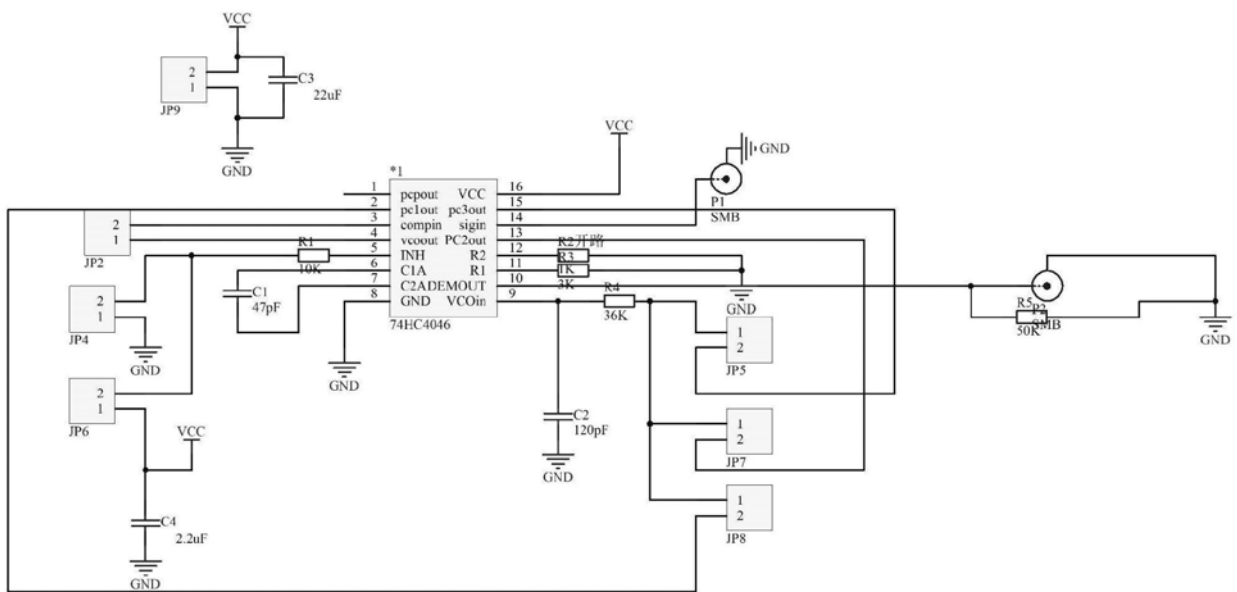


图8

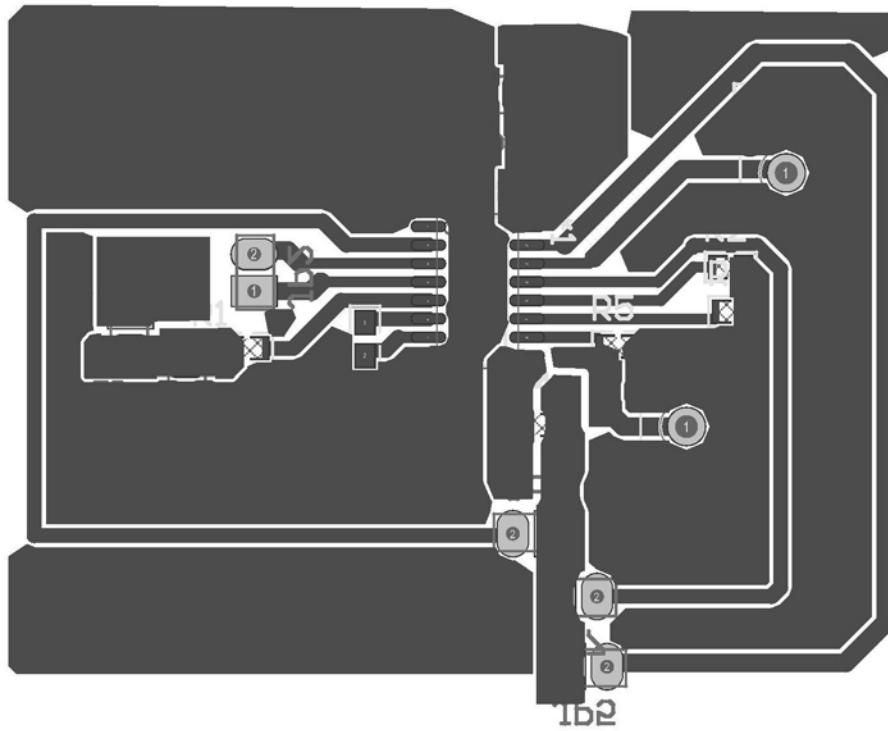


图9

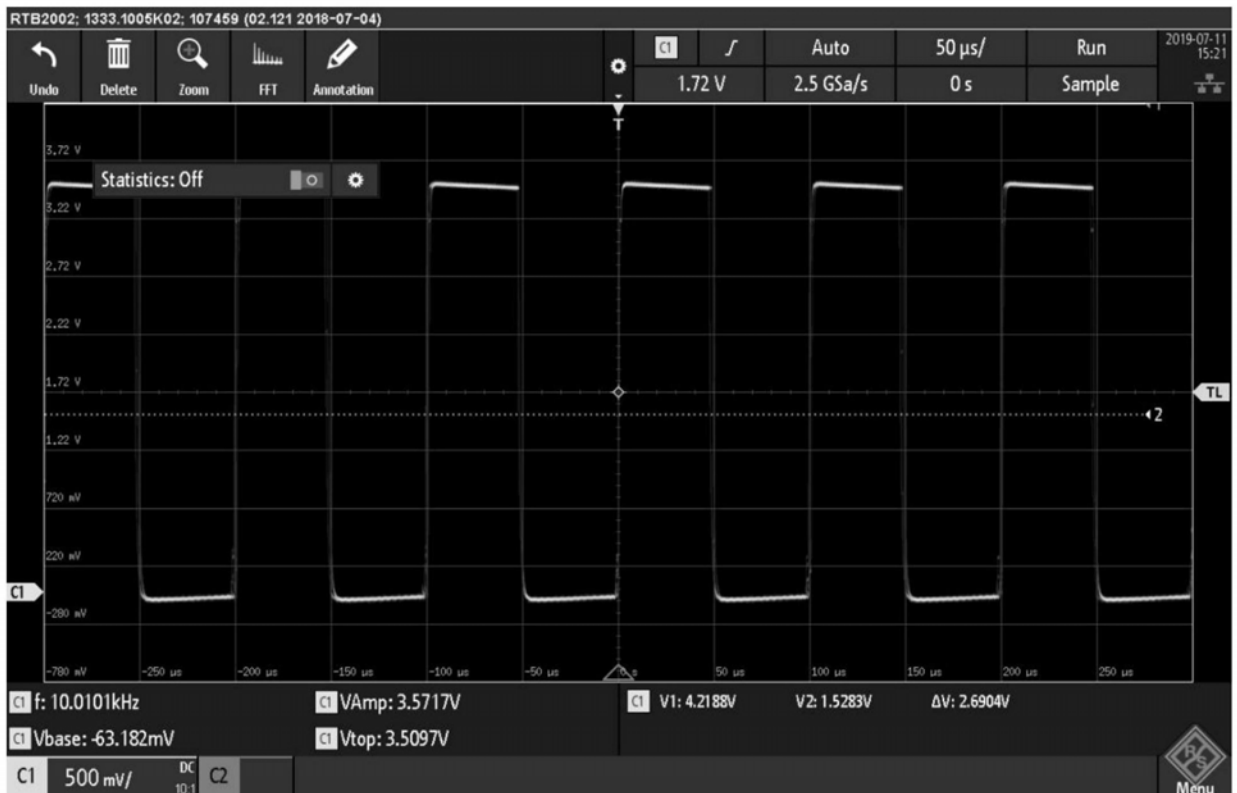


图10



图11