

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4698605号
(P4698605)

(45) 発行日 平成23年6月8日(2011.6.8)

(24) 登録日 平成23年3月11日(2011.3.11)

(51) Int.Cl.	F I	
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00	6 0 1 Q
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00	6 2 2 E
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00	6 3 3 A

請求項の数 16 (全 18 頁)

(21) 出願番号	特願2006-546541 (P2006-546541)	(73) 特許権者	504378124
(86) (22) 出願日	平成16年11月30日(2004.11.30)		スパンション エルエルシー
(86) 国際出願番号	PCT/JP2004/017808		アメリカ合衆国 カリフォルニア州 94
(87) 国際公開番号	W02006/059375		088-3453 サニーベイル デグウ
(87) 国際公開日	平成18年6月8日(2006.6.8)		イン ドライブ 915
審査請求日	平成19年11月16日(2007.11.16)	(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

各々がワード線に接続されたメモリセルを含む複数のメモリセル群と該複数のメモリセル群を選択する選択ゲートとを含む複数のメモリブロックと、

前記複数のメモリブロックに共通にかつ各メモリブロックの選択ゲートに対応して配置され各々に対応の選択ゲートが接続される複数のビット線と、

読み出し時、前記ビット線をプリチャージし、非選択のメモリブロック内の前記ビット線に接続される選択ゲートに前記ビット線プリチャージ電圧によりバックバイアスを印加し、かつ前記非選択のメモリブロック内のメモリセル群を構成するメモリセルのチャンネル部分が対応の選択ゲートを介して対応のビット線から充電されるように対応のワード線にバイアスを印加する印加回路とを含み、前記バックバイアスは選択メモリブロックのデータ読み出し時に前記チャンネル部分の充電により維持される半導体装置。

【請求項 2】

前記選択ゲートは、記憶可能である請求項 1 記載の半導体装置。

【請求項 3】

前記選択ゲートは、プログラムされている請求項 2 記載の半導体装置。

【請求項 4】

前記半導体装置は更に、前記選択ゲートに接続される選択線とを含み、

前記選択線と隣接するワード線間のスペースは、前記複数のワード線のスペースと同じである請求項 1 記載の半導体装置。

10

20

【請求項 5】

前記半導体装置は更に、前記選択ゲートに接続される選択線とを含み、
前記選択線の幅は、前記ワード線と同じである請求項 1 記載の半導体装置。

【請求項 6】

前記メモリセルは、フローティングゲート型である請求項 1 記載の半導体装置。

【請求項 7】

前記メモリセルは、SONOS型である請求項 1 記載の半導体装置。

【請求項 8】

前記選択ゲートは、前記メモリセルと同じタイプのトランジスタを用いる請求項 1 記載の半導体装置。

10

【請求項 9】

前記選択ゲートは、フローティングゲート型である請求項 1 記載の半導体装置。

【請求項 10】

前記選択ゲートは、SONOS型である請求項 1 記載の半導体装置。

【請求項 11】

前記選択ゲートは、選択ドレインゲートである請求項 1 記載の半導体装置。

【請求項 12】

前記メモリセル群は、前記メモリセルが複数個直列に接続されている請求項 1 記載の半導体装置。

【請求項 13】

ワード線に接続されたメモリセルを含む複数のメモリセル群と該複数のメモリセル群を選択する選択ゲートとを含む複数のメモリブロックを含む半導体装置の制御方法であって、

20

データの読み出し時、複数のメモリブロックから1つのメモリブロックを選択するステップと、

前記データ読み出し時、前記複数のメモリブロックに共通に配置されるビット線をプリチャージして、前記複数のメモリブロックの非選択のメモリブロック内の前記ビット線に接続される選択ゲートに前記ビット線からのプリチャージ電圧によりバックバイアスを印加し、かつ前記非選択のメモリブロックのメモリセル群を構成するメモリセルのチャンネル部分が前記ビット線から前記選択ゲートを介して充電されるように当該メモリセルが接続するワード線にバイアスを印加するステップを含み、前記バックバイアスは選択メモリブロックのデータ読み出し時に前記チャンネル部分の充電により維持される半導体装置の制御方法

30

【請求項 14】

前記選択ゲートは、記憶可能である請求項 13 記載の半導体装置の制御方法。

【請求項 15】

読み出し時、ワード線に接続されたメモリセルを含む複数のメモリセル群と該複数のメモリセル群を選択する選択ゲートとを含む複数のメモリブロック内のビット線をプリチャージするステップと、

プリチャージ期間に、非選択のメモリブロックの前記ビット線に接続される選択ゲートに前記ビット線を介してバックバイアスを印加し、かつ前記非選択のメモリブロックのメモリセル群を構成するメモリセルのチャンネル部分が該選択ゲートを介して前記ビット線から充電されるように当該メモリセルが接続するワード線にバイアスを印加するステップとを含む半導体装置の制御方法。

40

【請求項 16】

前記半導体装置の制御方法は更に、選択されたメモリブロックを消去するステップと、

前記消去したブロック内の選択ゲートをプログラムするステップとを含む請求項 15 記載の半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、半導体装置および半導体装置の制御方法に関する。

【 背景技術 】

【 0 0 0 2 】

データ格納用途のフラッシュメモリとして、NAND型や、AND型のものがよく用いられている。NAND型フラッシュメモリの一例として、電荷蓄積層として浮遊ゲート (Floating Gate: FG) を有するものが、特許文献1および特許文献2に記載されている。

【 0 0 0 3 】

図1は、従来のFG型NANDフラッシュメモリのアレイ構造を示す図である。図1において、WL000乃至WL031は1ブロックの単位毎に配設されたワード線、BLmはビット線、Mはメモリセルをそれぞれ示す。各ビット線BLmはページバッファ10₀乃至10_mに接続されている。メモリセルMは、この1ブロックの単位で各ビット線BLm毎に、32個直列に接続されて一つのメモリセル列を構成している。メモリセル列M000乃至M031、・・・、Mm00乃至Mm31の各々の一端は、選択線SSG0の電位にそれぞれ応答する選択ソースゲートSSG00～SSG0mを介してそれぞれアレイVss線ARVSSに接続されており、また、各々の他端は、選択線SDG0の電位にそれぞれ応答する選択ドレインゲートSDG00～SDG0m、ドレインコンタクト22₀～22_mを介してビット線BL0～BLmに接続されている。アドレス信号に基づく選択ゲートの制御によって、所望のブロックが選択され、そのほかのブロックは非選択となる。各ブロックのビット線単位に接続された複数のメモリセルが1つの群(メモリセル群)を形成する。

10

20

【 0 0 0 4 】

図2は、従来のFG型NANDフラッシュメモリの断面図である。図2において、Mはメモリセル、BLはビット線、SSGは選択ソースゲート、SDGは選択ドレインゲート、11はソース拡散層、12は拡散層、13はドレイン拡散層、22はドレインコンタクトをそれぞれ示す。W_{SDG}は選択ドレインゲートSDGの配線幅、W_{WL}はメモリセルMの配線幅、S_{SDG-WL}は選択線SDG_nとワード線WLの間隔、S_{WL-WL}は、隣接するワード線の間隔をそれぞれ示す。選択ドレインゲートSDGとメモリセルMの配線幅の関係は、W_{SDG} > W_{WL}となる。選択線SDG_nとワード線WLとの間隔、隣接するワード線WLの間隔の関係は、S_{SDG-WL} > S_{WL-WL}となる。

30

【 0 0 0 5 】

図3(a)はFG型NANDフラッシュメモリのセル断面構造を示す図、同図(b)は選択ゲートの断面構造を示す図である。図3(a)に示すように、このメモリセルMは、シリコン基板31上に、トンネル酸化膜32、多結晶シリコンの浮遊ゲート33、酸化膜34、窒化膜35、酸化膜36及び制御ゲート37を順に積層した構造を有する。また、図3(b)に示すように、選択ゲートSSG及びSDGは、シリコン基板41上に、酸化膜42、ゲート電極43を順に積層した構造を有する。ここで、メモリセルMの配線幅W_{WL}と選択ゲートSSG及びSDGの配線幅の関係は、W_{WL} < W_{SSG}、W_{SDG}となる。このように、ドレイン及びソース側の選択ゲートの配線幅W_{SSG}、W_{SDG}がメモリセルの配線幅W_{WL}より広いのは、リードやプログラム時において同ゲート部のリークを防止するためである。また、選択ゲートとワード線との間隔S_{SDG-WL}が隣接するワード線の間隔S_{WL-WL}より広いのは、ワード線WLを加工するときにすべてのワード線の幅が同じになるようにするためである。

40

【 0 0 0 6 】

図4は、FG型NANDフラッシュメモリのV_t分布を示す図である。FG型NANDフラッシュメモリセルの閾値は消去状態(データ1)の場合は負、書き込み状態(データ0)の場合は正に設定される。

【 0 0 0 7 】

また近年、SONOS(semiconductor-oxide-nitride-oxide-semiconductor)型NA

50

NANDフラッシュメモリの開発が進められている。これは、浮遊ゲートの代わりに、電荷蓄積層として例えば窒化膜を用いて情報を記憶する。この技術は特許文献3に記載されている。SONOS構造の不揮発性半導体メモリでは、ゲート絶縁膜中への電荷の注入をソース側から、あるいはドレイン側から行うことにより、多値情報の保持が可能である。

【0008】

【特許文献1】日本国公開特許公報 特開2001-308209号

【特許文献2】日本国公表特許公報 特表2001-518696号

【特許文献3】日本国公開特許公報 特開2003-204000号

【発明の開示】

【発明が解決しようとする課題】

10

【0009】

従来のNANDセルアレイは、選択ゲートを用いてブロック（消去単位）に分別させて、当該ブロックで各種動作を行うとともに、非選択ブロックは選択ブロックによるディスタートから回避される。

【0010】

しかしながら、高集積化や低電圧化が進むにつれ、リードやプログラム時に生じる非選択ブロックのリーク電流のため、正確な読み出し動作ができないという問題がある。また、近年、コアセルアレイは、高集積化のため一つのナンドストリングは32セル化が通常であるが、SONOS系のNAND型フラッシュメモリでは、ディスタートの影響が大きくなるため、16セル化が望ましい。その場合、従来に比べ、選択ゲートの数とともにドレインコンタクト、ソース拡散ラインの数がメモリセル領域に対し増えるため、全体の領域が大きくなってしまふ。特に、図2及び図3で説明したように、従来の選択ゲートSDG及びSSGの配線幅は、メモリセルMの配線幅と比べても太いため、選択ゲートの数が増えると回路規模を小さくすることができないという問題がある。

20

【0011】

そこで、本発明は上記問題点に鑑みてなされたもので、正確な読み出し動作が可能であるとともに、回路規模を小さくできる半導体装置および半導体装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

30

上記課題を解決するために、本発明は、各々がワード線に接続されたメモリセルを含む複数のメモリセル群と該複数のメモリセル群を選択する選択ゲートとを含む複数のメモリブロックと、前記複数のメモリブロックに共通にかつ各メモリブロック選択ゲートに対応して配置され各々に対応の選択ゲートが接続される複数のビット線と、読み出し時、前記ビット線をプリチャージし、非選択のメモリブロック内の前記ビット線に接続される選択ゲートに前記ビット線プリチャージ電圧によりバックバイアスを印加するとともに非選択のメモリブロック内のメモリセル群を構成するメモリセルのチャンネル部分が対応の選択ゲートを介して対応のビット線から充電されるように対応のワード線にバイアスを印加する印加回路とを含み、前記バックバイアスは選択メモリブロックのデータ読み出し時に前記チャンネル部分の充電により維持される半導体装置である。本発明によれば、読み出し時には、非選択のメモリブロック内の選択ゲートにバックバイアスを印加することで、選択ゲートを完全にオフ状態にすることができ、読み出し時の非選択ブロックにおけるリーク電流を抑制できる。これにより、正確な読み出し動作が可能であると共に、回路規模を小さくすることができる。

40

【0013】

前記選択ゲートは記憶可能であるのが好ましい。本発明によれば、記憶可能な選択ゲートを用いることで、閾値を通常のトランジスタよりも高くできるため、所定の電圧をゲートに印加したときに非選択ブロックの選択ゲートを完全にオフできる。これにより、非選択ブロックにおけるリークを抑制できる。よって、正確な読み出し動作が可能であると共に、回路規模を小さくすることができる。

50

【0014】

前記選択ゲートはプログラムされている。本発明によれば、選択ゲートをプログラムすることで、閾値を通常のトランジスタよりも高くできるため、所定の電圧をゲートに印加したときに非選択ブロックの選択ゲートを完全にオフできる。これにより、非選択ブロックにおけるリークを抑制できる。よって、正確な読み出しを動作が可能であると共に、回路規模を小さくすることができる。

【0016】

本発明の半導体装置は更に、前記複数のメモリセルに接続される複数のワード線と、前記選択ゲートに接続される選択線とを含み、前記選択線と隣接するワード線間のスペースは、前記複数のワード線のスペースと同じであるのが好ましい。本発明によれば、選択線と隣接するワード線間のスペースは、複数のワード線のスペースと同じにすることで、回路規模を小さくすることができる。

10

【0017】

本発明の半導体装置は更に、前記選択ゲートに接続される選択線とを含み、前記選択線の幅は、前記ワード線と同じであるのが好ましい。選択線の幅をワード線と同じにすることで、従来太かった選択線の幅を細くすることができるため、回路規模を小さくすることができる。

【0018】

前記メモリセルはフローティングゲート型であるのが好ましい。また、前記メモリセルはSONOS型であるのが好ましい。前記選択ゲートは前記メモリセルと同じタイプのトランジスタを用いるのが好ましい。前記選択ゲートはフローティングゲート型であるのが好ましい。前記選択ゲートはSONOS型であるのが好ましい。前記選択ゲートは選択ドレインゲートであるのが好ましい。前記メモリセル群は前記メモリセルが複数個直列に接続されているのが好ましい。前記半導体装置は半導体記憶装置であるのが好ましい。

20

【0019】

本発明は、ワード線に接続されたメモリセルを含む複数のメモリセル群と該複数のメモリセル群を選択する選択ゲートとを含む複数のメモリブロックを含む半導体装置の制御方法であって、読み出し時、複数のメモリブロックから1つのメモリブロックを選択するステップと、前記データ読み出し時前記複数のメモリブロックに共通に配置されるビット線をプリチャージして前記複数のメモリブロックの非選択のメモリブロック内の前記人と線に接続される選択ゲートに前記ビット線からのプリチャージ電圧によりバックバイアスを印加するとともに前記非選択のメモリブロックのメモリセル群を構成するメモリセルのチャンネル部分が前記ビット線から前記選択ゲートを介して充電されるように当該メモリセルが接続するワード線にバイアスを印加するステップを含み、前記バックバイアスは選択メモリブロックのデータ読み出し時に前記チャンネル部分の充電により維持される半導体装置の制御方法である。本発明によれば、読み出し時には、非選択のメモリブロック内の選択ゲートにバックバイアスを印加することで、選択ゲートを完全にオフ状態にすることができ、読み出し時の非選択ブロックにおけるリーク電流を抑制できる。これにより、正確な読み出し動作が可能であると共に、回路規模を小さくすることができる。

30

【0020】

前記選択ゲートは記憶可能であるのが好ましい。本発明によれば、記憶可能な選択ゲートを用いることで、閾値を通常のトランジスタよりも高くできるため、所定の電圧をゲートに印加したときに非選択ブロックの選択ゲートを完全にオフできる。これにより、非選択ブロックにおけるリークを抑制できる。よって、正確な読み出しを動作が可能であると共に、回路規模を小さくすることができる。

40

【0022】

本発明は、読み出し時、ワード線に接続されたメモリセルを含む複数のメモリセル群と該複数のメモリセル群を選択する選択ゲートとを含む複数のメモリブロック内のビット線をプリチャージするステップと、プリチャージ期間に続くセンス期間に非選択のメモリブロックの前記ビット線に接続される選択ゲートに前記ビット線を介してバックバイアスを

50

印加するとともに前記非選択メモリブロックのメモリセル群を構成するメモリセルのチャネル部分が該選択ゲートを介して前記ビット線から充電されるように当該メモリセルが接続するワード線にバイアスを印加するステップとを含む半導体装置の制御方法である。本発明によれば、選択ゲートを完全にオフ状態にすることができ、読み出し時の非選択ブロックにおけるリーク電流を抑制できる。これにより、正確な読み出し動作が可能であると共に、回路規模を小さくすることができる。本発明の半導体装置の制御方法は更に、選択されたメモリブロックを消去するステップと、前記消去したブロック内の選択ゲートをプログラムするステップとを含む。

【発明の効果】

【0023】

本発明によれば、正確な読み出し動作が可能であるとともに、回路規模を小さくできる半導体装置および半導体装置の制御方法を提供できる。

【図面の簡単な説明】

【0024】

【図1】従来のFG型NANDフラッシュメモリのアレイ構造を示す図である。

【図2】従来のFG型NANDフラッシュメモリの断面図である。

【図3】(a)はFG型NANDフラッシュメモリのセル断面構造を示す図、(b)は選択ゲートの断面構造を示す図である。

【図4】FG型NANDフラッシュメモリの V_t 分布を示す図である。

【図5】第1実施形態によるNAND型フラッシュメモリのブロック図である。

【図6】第1実施形態に係るFG型NANDフラッシュメモリアレイ構成及びプリチャージ電圧条件を示す図である。

【図7】ロウデコーダ及びスイッチング回路を示す図である。

【図8】第1実施形態によるリード電圧条件のタイミングチャートである。

【図9】第2実施形態に係るFG型NANDフラッシュメモリアレイ構成及びリード時のセンス電圧条件を示す図である。

【図10】第2実施形態に係るFG型選択ゲートの V_t 分布である。

【図11】第2実施形態に係るNANDフラッシュメモリアレイのプログラム電圧条件を説明する図である。

【図12】第2実施形態によるFG型NANDフラッシュメモリの消去電圧条件を示す図である。

【図13】第3実施形態に係るSONOS型NANDフラッシュメモリに関するアレイ図である。

【図14】(a)はSONOS型メモリセルの断面図、(b)はSONOS型選択ドレインゲートの断面図、同図(c)は選択ソースゲートの断面図である。

【図15】SONOS型NANDフラッシュメモリの閾値分布を示す図である。

【図16】SONOS型選択ドレインゲートの閾値分布を示す図である。

【図17】第3実施形態に係るSONOS型NANDフラッシュメモリアレイ構成及びリード時のセンス電圧条件を示す図である。

【発明を実施するための最良の形態】

【0025】

以下、本発明を実施するための最良の形態について説明する。

【0026】

〔第1実施形態〕図5は、第1実施形態によるNAND型フラッシュメモリのブロック図である。フラッシュメモリ51は、メモリセルアレイ52、I/Oレジスタ・バッファ53、アドレスレジスタ54、ステータスレジスタ55、コマンドレジスタ56、ステートマシン57、高電圧発生回路58、ロウデコーダ59、ページバッファ60及びコラムデコーダ61を含む。

【0027】

メモリセルアレイ52は、マトリクス状に配列された複数のワード線WL及び複数のピ

10

20

30

40

50

ット線BLに沿って書換え可能な不揮発性のメモリセルトランジスタが配設されている。

【0028】

I/Oレジスタ・バッファ53は、I/O端子に対応する各種信号又はデータを制御するものである。アドレスレジスタ54は、I/Oレジスタ・バッファ53を通して入力されたアドレス信号を一時格納しておくためのものである。ステータスレジスタ55は、ステータス情報を一時格納しておくためのものである。コマンドレジスタ56は、I/Oレジスタ・バッファ53を通して入力された動作コマンドを一時格納しておくためのものである。

【0029】

ステートマシン57は、各制御信号に応答してデバイス内部の各回路の動作を制御するものである。高電圧発生回路58は、デバイス内部で用いられる高電圧を発生するものである。デバイス内部で用いられる高電圧には、データ書込み用の高電圧、データ消去用の高電圧、データ読み出し用の高電圧、データ書込み時/消去時にメモリセルに対して十分に書込み/消去が行われているかどうかをチェックするのに用いられるペリファイ用の高電圧等が含まれる。

【0030】

ロウデコーダ59は、アドレスレジスタ54を通して入力されたロウアドレスをデコードしてワード線WLを選択する。ページバッファ60は、データラッチ回路とセンスアンプ回路などを含み、同一のワード線に接続された複数のメモリセルに格納されるデータを各々ラッチして出力するものである。コラムデコーダ61は、アドレスレジスタ54を通して入力されたコラムアドレスをデコードしてページバッファ60に読み出されている複数のコラムデータを選択する。なお、I/Oレジスタ・バッファ53、ロウデコーダ59、コラムデコーダ61及び高電圧発生回路58は、ステートマシン57からの制御に基づいて機能する。

【0031】

図6は、第1実施形態に係るFG型NANDフラッシュメモリアレイ構成及びリード時のプリチャージ電圧条件を示す図である。符号52はメモリセルアレイ、60はページバッファをそれぞれ示す。32個のFG型メモリセルが直列に接続されてナンドストリングを構成している。この両端には、選択ドレインゲートSDG0m、選択ソースゲートSSG0mが接続される。選択ドレインゲートSDG0mはさらに、ドレインコンタクト22mを介してビット線BLmに接続されて、ビット線BLmはページバッファ60mに接続される。

【0032】

これらのナンドストリングm個(mは512Byte+16Byte)のブロックが、消去単位を構成する。一つのワード線に接続されるm個のメモリセルの単位が、リードやプログラムのアクセス単位であるページを構成する。したがって、リード、プログラムはm個のセルに対して同時に行われる。また、ビット線BL方向には、同様に別のブロックが複数個配置される。ビット線BLmは各ブロックに対して共通である。隣接する2つのブロックは、ドレインコンタクト22に対して鏡対象となる。アドレス信号に基づく選択ドレインゲートSDG及び選択ソースゲートSSGの制御によって、所望のブロックが選択され、そのほかのブロックは非選択となる。図6では、ブロックBLOCK0が選択ブロックであり、ブロックBLOCK1が非選択ブロックとなる例である。ここで、図中(1)は選択ページ(SEL WL)を示す。

【0033】

図7は、ロウデコーダ及びスイッチング回路を示す図である。図7において、符号59は図5で示したロウデコーダ、62はスイッチング回路である。ロウデコーダ59は、ブロック毎にデコーダXDEC_nを含み、アドレスレジスタ54から供給されたアドレスをデコードする。スイッチング回路62は、メモリセルMのワード線WL及び選択ソースゲートSSGの選択線SSGn、選択ドレインゲートSDGの選択線SDGnをデコード結果に応じて活性化する。ブロックnは、XDEC_nからの信号SEL(n)によって

10

20

30

40

50

選択される。このとき、ブロック n におけるすべてのワード線 $WLn00$ 乃至 $WLn31$ 、選択ドレインゲートの選択線 $SDGn$ 、及び選択ソースゲートの選択線 $SSGn$ は、パストランジスタを介してロウデコーダからの電圧供給線 ($XT(0)$ 乃至 $XT(31)$ 、 $GSSG$ 、 $GSDG$) に接続される。信号 $UNSEL(n)$ は、プルダウントランジスタによってブロック n における選択ドレインゲート $SDGn$ をオフさせる。信号 $UNSELS(n)$ は、プルダウントランジスタによってブロック n における選択ソースゲート $SSG(n)$ をオフさせる。

【0034】

次に、第1実施形態に係る NAND 型フラッシュメモリのリード動作について説明する。表1に第1実施形態による選択ブロックと非選択ブロックにおけるリード条件を示す。

10

【0035】

【表1】

	選択ブロック(Block0)				非選択ブロック(Block1)			ARVSS	BL
	Sel WL	Unsel WL	SDG	SSG	WL	SDG	SSG		
Pre-charge	Vpass(4V)	Vpass (4V)	Vcc	0V	Vpass (4V)	Vcc	0V	0V	1V
Sense	Vread(0V)	Vpass (4V)	Vcc	Vcc	Floating (or Vpass)	0V	0V	0V	sensed

【0036】

20

表1に示すように、選択ワード線 $WL(Sel WL)$ 、非選択ワード線 $WL(Unsel WL)$ 、選択ドレインゲート $SDG(Sel SDG)$ 、非選択 $SDG(Unsel SDG)$ 、選択ソースゲート ($Sel SSG$)、非選択ソースゲート ($Unsel SSG$)、アレイ Vss 線 $ARVSS$ 、全ビット線 (BL) に各電圧を印加して、全ビット線 BL をプリチャージ (pre-charge) する。

【0037】

図8は、第1実施形態によるリード電圧条件のタイミングチャートである。読み出しはまず、ビット線 BLm をプリチャージすることから開始する。このとき、選択ブロック $BLOCK0$ において、選択ワード線 $WL030$ は電圧 $Vpass(4V)$ 、非選択ワード線 WL に対しても電圧 $Vpass$ が印加される。ここで、 $Vpass$ は、非選択メモリのデータが0であっても、オンできる電圧である。

30

【0038】

本発明では、隣接する非選ブロック $BLOCK1$ において、選択ドレインゲート $SDG1n$ (図6の(2))の選択線 $SDG1$ は電圧 Vcc 、ワード線 $WL100$ 乃至 131 はすべて電圧 $Vpass$ が印加される。これにより、読み出し時において、選択ブロック $BLOCK0$ に隣接する非選ブロック内 $BLOCK1$ のメモリセル M (図6の(3))は、すべて選択されることになる。選択ソースゲート $SSG1n$ の選択線 $SSG1$ は電圧 Vss が印加されるため、選択ソースゲート $SSG1n$ はオフである。これにより、ビット線 BLm を1V程度に充電するとともに、オンしている非選択のメモリセル M のチャネル部分も1V程度に充電される。このとき、選択ブロック、非選ブロックともに、ワード線 WL 及び選択ゲートを選択するパストランジスタに対する信号線 $SEL(0)$ 、 $SEL(1)$ には、電圧 $HVPP$ として6V程度の高電圧 ($Vpass +$ パストランジスタの閾値程度) が印加される。

40

【0039】

次に、センス動作に入る。センス動作では、表1、図8のように電圧が印加され、さきほどまでオンさせていた非選ブロックの $SDG1n$ をオフさせ、非選ワード線 WL の電圧をフローティングにする動作が行われる。このフローティングのワード線 WL は電圧 $Vpass(4V)$ が保持される。これは信号 $SEL(1)$ を Vss 、信号 $UNSEL(1)$ を Vcc にすることで実現する。これにより、非選ブロック $BLOCK1$ の選択ドレインゲート $SDG1n$ にはバックバイアスが印加される。つまり、非選ブロック B

50

LOCK 1の選択ドレインゲートSDG 1 nのソースに1 V程度の電圧が常時印加される。よって、選択ドレインゲートSDG 1 nを従来に比べて完全にオフ状態にすることができ、読み出し時の非選択ブロックBLOCK 1におけるリーク電流を抑制できる。他の非選択ブロックもすべて同様に制御すると好ましい。

【0040】

選択ブロックBLOCK 0でのセンス動作は、従来と同様である。つまり、選択ワード線WLの電位は、 V_{ss} （データ0とデータ1の閾値の間の電位）のままで、ビット線へのプリチャージ電圧の供給を断つとともに、選択ソースゲートSSG 0 nをオンさせる。すると、n個の選択メモセルのうち、データ0のメモセルはオフするため、そのメモセルに接続されるビット線BL mは1 Vを保つ。一方、データ1のメモセルMはオンする
10ため、そのメモセルMに接続されるビット線BL mは放電され、電圧が下がる。所定の期間がすぎると、ページバッファ60 m内のラッチ回路にセンスデータをセットするためのセット信号SETがパルスされ、センス動作が完了する。プログラム及び消去動作は、従来と同じである。

【0041】

〔第2実施形態〕次に第2実施形態について説明する。図9は第2実施形態に係るFG型NANDフラッシュメモリアレイ及びリード時のセンス電圧条件を示す図である。表2に第2実施形態の選択ブロックと非選択ブロックにおけるリード条件を示す。

【0042】

【表2】

	選択ブロック(Block0)				非選択ブロック(Block1)			ARVSS	BL
	Sel WL	Unsel WL	SDG	SSG	WL	SDG	SSG		
Pre-charge	Vpass(4V)	Vpass (4V)	Vpass (4V)	0V	Floating	0V	0V	0V	1V
Sense	Vread(0V)	Vpass (4V)	Vpass (4V)	Vcc	Floating	0V	0V	0V	sensed

【0043】

図9において、符号152はメモセルアレイ、60 mはページバッファをそれぞれ示す。32個のFG型メモセルが直列に接続されてナンドストリングを構成している。この両端には、選択ドレインゲートSDG 0 m、選択ソースゲートSSG 0 mが接続される。図9では、ブロックBLOCK 0が選択ブロックであり、ブロックBLOCK 1が非選択ブロックである。

【0044】

第2実施形態の特徴は、選択ドレインゲートSDGが、コアと同タイプのFG型メモセルになっていることである。さらに、制御ワード線CWL nの幅は、ワード線WLの幅と等しく、制御ワード線CWL nとワード線WLとのスペースは、隣接するワード線WL間のスペースと等しい。選択ソースゲートSSGは、通常の選択トランジスタである。また、選択ドレインゲートSDGはプログラムされており、閾値が通常のトランジスタ(0.5 V)より高くなっている。

【0045】

図10は、第2実施形態に係るFG型選択ゲートのVt分布である。図10に示すように、すべての選択ドレインゲートSDGはプログラムされており、閾値が通常のトランジスタ(0.5 V)より高くなっている。よって、センス時に選択ドレインゲートSDG 1 nを完全にオフ状態にすることができるので、非選択ブロックBLOCK 1におけるリークを抑制できる。

【0046】

読み出しはまず、ビット線BL mをプリチャージすることから開始する。プリチャージ動作では、表2及び図9のように電圧が印加され、次に、センス動作に入る。センス動作では、表2、図9のように電圧が印加される。非選択ブロックBLOCK 1内の選択ドレ
50

インゲートSDG1n(図9の(2))は、プログラムされており、非選択ブロックBLOCK1内の選択ドレインゲートSDG1nの閾値が通常のトランジスタ(0.5V)より高くなっている。このため、電圧V_{ss}をゲートに印加したときに、選択ドレインゲートSDG1nを完全にオフ状態にすることができる。よって、実施形態1の動作を行わずとも、従来のプリチャージ動作のまま非選択ブロックBLOCK1におけるリークを抑制できる。実施形態1と組み合わせることにより効果が大きいことはもちろんである。

【0047】

このように、選択ドレインゲートSDGをコアと同じメモリにして閾値を高く設定することで、選択ドレインゲートを選択するための制御ワード線CWLの幅をワード線WLと同じくして製造することが可能となる。よって、制御ワード線CWLとワード線WL間のスペースも広くとる必要がなく、小面積アレイが実現できる。

10

【0048】

図11は、第2実施形態に係るNANDフラッシュメモリアレイのプログラム電圧条件を説明する図である。図11において、(1)は選択ページ、(2)は書き込み指定されたメモリセルを示す。まず、選択ビット線BL1は0V、選択ビット線BL1以外の非選択ビット線BLは電圧V_{cc}が与えられ、選択ブロックBLOCK0において制御ワード線CWL0は電圧V_{pass}が与えられる。このとき、選択ビット線BL1以外の非選択ビット線BL(非書き込み)における制御ワード線CWL0のチャンネル部は、V_{pass}-V_{th}の電位になる。ここで、V_{th}は選択ドレインゲートSDGの閾値である。例えば、V_{cc}=3V、V_{pass}=4V、V_{th}=2Vならば、同チャンネル部は2Vにまで充電された後、フローティングとなる。

20

【0049】

次に、選択ワード線WL030にはV_{pgm}として20V、選択ブロックBLOCK0内の非選択ワード線WLには、V_{pass_pgm}として10Vが印加される。V_{pgm}は書き込み指定セルに対してプログラムする電圧であり、V_{pass_pgm}は選択ワード線WL上のすべてのセルのドレインにビット線BLからの電圧を与えるための電圧である。書き込み指定セルでは、FNトンネルによりチャンネル部からFG部に電子が注入され、書き込まれる。このように書き込み指定のセルのチャンネル部には0Vが与えられる一方、非書き込み指定のセルでは、先にフローティング状態となった制御ワード線CWLのチャンネルの電位、すなわち非選択ワード線WLのすべてのチャンネル電位がカップリングにより上昇し、高電圧になる。これにより、非書き込み指定のセルのチャンネル部も同様に高電圧となるため、非書き込み指定のセルでは、V_{pgm}とチャンネル電位との差が少なくなり、プログラムは行われぬ。

30

【0050】

ここでの特徴は、制御ドレインゲートSDGがコアセルと同様にプログラムされているために、従来のようにV_{cc}を与えるのではなく、それをオンさせるためのV_{pass}を印加することである。アレイV_{ss}線ARVSSは、1V程度の電圧が印加され、選択ソースゲートSSG0nのオフを完全にする。

【0051】

図12は、第2実施形態によるFG型NANDフラッシュメモリの消去電圧条件を示す図である。消去動作で従来と異なる点は、選択ドレインゲートSDGもコアと一緒に消去することである。よって、選択ドレインゲートSDGにはコアと同様に電圧V_{ss}を与える。基板には電圧V_{pp}(20V)が印加され、FNトンネルにより電子がFGから基板に放出される。さらにここでの特徴は、消去後に、選択ドレインゲートSDGをプログラムすることである。選択ドレインゲートSDGのプログラムは、制御ワード線CWLに電圧V_{pgm}、他の全ワード線WLに、選択ソースゲートSSGと同様に電圧V_{ss}を印加することで行う。すべての選択ドレインゲートSDGにプログラムするために、通常のコアのプログラムのように、カップリングにより非書き込み指定のセルに対して行う非書き込み状態を生成する必要がない。

40

【0052】

50

【第3実施形態】次に第3実施形態について説明する。図13は、第3実施形態に係るSONOS型NANDフラッシュメモリに関するレイアウト図である。符号252はメモリセルアレイ、60mはページバッファをそれぞれ示す。16個のSONOS型メモリセルが直列に接続されてナンドストリングを構成している。この両端には、選択ドレインゲートSDG0m、選択ソースゲートSSG0mが接続されている。選択ドレインゲートSDGもSONOS型となっている。選択ドレインゲートSDG0mは更に、ドレインコンタクト22mを介してビット線BLmに接続されている。ビット線BLmはページバッファ60mに接続される。これらのナンドストリングm個(mは512Byte+16Byte)のブロックが消去単位を構成する。

【0053】

一つのワード線WLに接続されるm個のメモリセルの単位が、リードやプログラムのアクセス単位であるページを構成する。従って、リード、プログラムは、m個のメモリセルに対して同時に行われる。また、ビット線BL方向には、同様に別のブロックが複数個配置される。ビット線BLmは共通である。隣接する2つのブロックは、ドレインコンタクト22mに対して鏡対象となる。アドレス信号に基づく選択ソースゲートSSG及び選択ドレインゲートSDGの制御によって所望のブロックが選択され、そのほかのブロックは非選択となる。図13に示す例では、ブロックBLOCK0が選択ブロックであり、ブロックBLOCK1が非選択ブロックである。

【0054】

図14は、第3実施形態に係るSONOS型NANDフラッシュメモリに関する各トランジスタ構造を示す図であり、(a)はSONOS型メモリセルの断面図、(b)はSONOS型選択ドレインゲートの断面図、同図(c)は選択ソースゲートの断面図である。図14(a)に示すように、SONOS型メモリセルMは、シリコン基板81上に構成されており、シリコン基板81中に拡散領域81A、81Bが、それぞれソース領域およびドレイン領域として形成されている。さらにシリコン基板81の表面は酸化膜82、窒化膜83及び酸化膜84を積層した構造のONO膜86により覆われており、ONO膜86上にはポリシリコンゲート電極85が形成されている。

【0055】

図14(b)に示すように、SONOS型選択ドレインゲートSDGは、シリコン基板91上に構成されており、シリコン基板91中に拡散領域91A、91Bが、それぞれソース領域およびドレイン領域として形成されている。さらにシリコン基板91の表面は酸化膜92、窒化膜93及び酸化膜94を積層した構造のONO膜96により覆われており、ONO膜96上にはポリシリコンゲート電極95が形成されている。図14(c)に示すように、選択ソースゲートSSGは、シリコン基板101上に、酸化膜102及びゲート電極103を順に積層した構造を有する。

【0056】

図15は、SONOS型NANDフラッシュメモリの閾値分布を示す図である。図15は、図14(a)で示したSONOS型メモリセルの V_t 分布を示す図である。SONOS型メモリセルでは、消去を行ったときに、 V_t がある電圧で飽和するという特性があり、通常のNANDフラッシュメモリの V_t 分布とは異なる。ここでは、その電圧を1Vと示してある。また、選択ワード線WLに対して、消去ベリファイ時に印加する電圧 $V_{er v}$ は2V、読み出し時に印加する電圧 $V_{r e a d}$ は2.5V、書込みベリファイ時に印加する電圧 $V_{p g m v}$ は3Vに設定され、読み出し時に非選択ワード線WLに印加する電圧 $V_{p a s s}$ は6Vに設定される。

【0057】

図16は、SONOS型選択ドレインゲートの閾値分布を示す図である。図16に示すように、SONOS型は消去状態で V_t が1V程度と高いため(従来の選択トランジスタは0.5V程度)、第2実施形態のように、予め選択ドレインゲートSDGをプログラムして V_t を高める必要がない。

【0058】

10

20

30

40

50

図17は、第3実施形態に係るSONOS型NANDフラッシュメモリアレイ構成及びリード時のセンス電圧条件を示す図である。表3に第3実施形態に係る選択ブロックと非選択ブロックにおけるリード条件を示す図である。

【0059】

【表3】

	選択ブロック(Block0)				非選択ブロック(Block1)			ARVSS	BL
	Sel WL	Unsel WL	SDG	SSG	WL	SDG	SSG		
Pre-charge	Vpass(6V)	Vpass(6V)	Vpass(6V)	0V	Floating	0V	0V	0V	1V
Sense	Vread(2.5V)	Vpass(6V)	Vpass(6V)	Vcc	Floating	0V	0V	0V	sensed

10

【0060】

$V_{read} = 2.5V$ 、 $V_{pass} = 6V$ 、 $V_{cc} = 3.0V$ である。選択ドレインゲートSDGは第2の実施形態とは異なり、消去状態の V_t がもともと通常のトランジスタ($V_t = 0.5V$)より高い($1V$)のため、プログラムしておく必要がない。この高い V_t を利用して、細い配線幅でもリークが妨げる。よって、制御ワード線CWLの配線幅をワード線WLと同じにすることができる。

【0061】

第2実施形態のFG型セルの例と異なる点は、SONOS型セルの閾値分布に起因する。つまり、読み出し時の選択ワード線WL電圧は0セルと1セルの中間電位 V_{read} に設定する。また、 V_{pass} もFGの例よりも高めになる。そのほかの基本動作は、FGの例と同様である。

20

【0062】

読み出しはまず、ビット線BLmをプリチャージすることから開始する。このとき、選択ブロックBLOCK0において、選択ワード線WL014は電圧 V_{pass} (例えば6V)、非選択ワード線WLに対して電圧 V_{pass} が印加される。ここで、 V_{pass} は、非選択メモリセルのデータが0であってもオンできる電圧である。選択ソースゲートSSG00乃至SSG0mはオフである。また、非選択ブロックBLOCK1において、選択ドレインゲートSDG10乃至SDG1m(図17の(2))の制御ワード線CWL1、選択ソースゲートSSG10乃至SSG1mの選択線SSG1は電圧 V_{ss} 、ワード線WL100乃至131はすべてフローティングにされる。これにより、全ビット線BLを1V程度に充電する。

30

【0063】

次に、センス動作に入る。センス動作では、表3、図17のように電圧が印加される。非選択ブロックBLOCK1内の選択ドレインゲートSDG1mはSONOS型セルのため、閾値が通常のトランジスタ($0.5V$)より高くなっており、電圧 V_{ss} を非選択ドレインゲートSDG1mに印加したときに、完全にオフ状態にすることができる。このため、読み出し時の非選択ブロックBLOCK1におけるリーク電流を抑制できる。

【0064】

このように、選択ドレインゲートSDGをコアと同じSONOS型メモリセルとすることで、SONOS型セルでは消去状態で V_t が1V程度と高いため、第2実施形態のように、予め選択ドレインゲートSDGをプログラムして V_t を高める必要がない。したがって、選択ドレインゲートSDGをプログラムせずとも、制御ワード線CWLの配線幅をワード線WLと同じにすることができる。よって、制御ワード線CWLとワード線WL間のスペースも広くとる必要がなく、小面積アレイが実現できる。尚、上記のリード動作は、第2実施形態の電圧条件と同様であることを説明したが、非選択ブロックにおけるリークをさらに防止するために、第1実施形態のように、センス時に非選択ブロック内の選択ドレインゲートにバックバイアスがかかるようにしても良いことはもちろんである。

40

【0065】

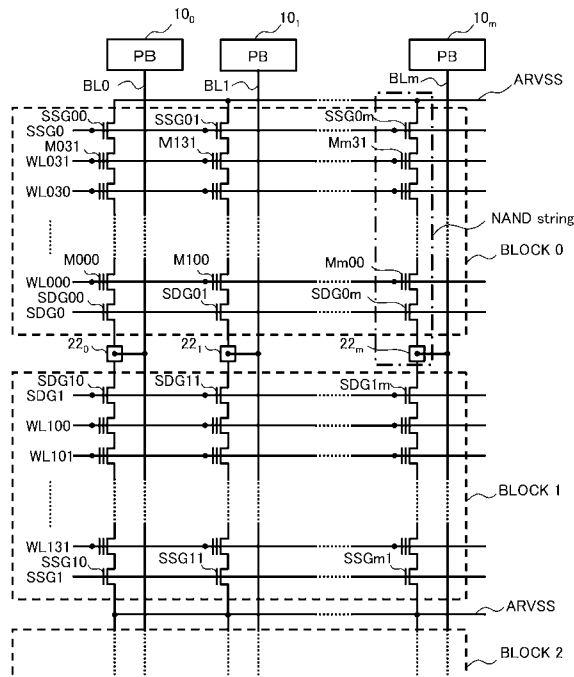
50

上記各実施形態によれば、正確な読み出し動作が可能であると共に、回路規模を小さくすることができる。なお、ステートマシン 57 の制御下、高電圧発生回路 58、ロウデコーダ 59 及びスイッチング回路 62 により、読み出し時、非選択のメモリブロック内の選択ゲートにバックバイアスが印加される。半導体装置は単独でパッケージされたフラッシュメモリ等の半導体記憶装置であってもよいし、システム L S I のように半導体装置の一部として組み込まれたものであってもよい。

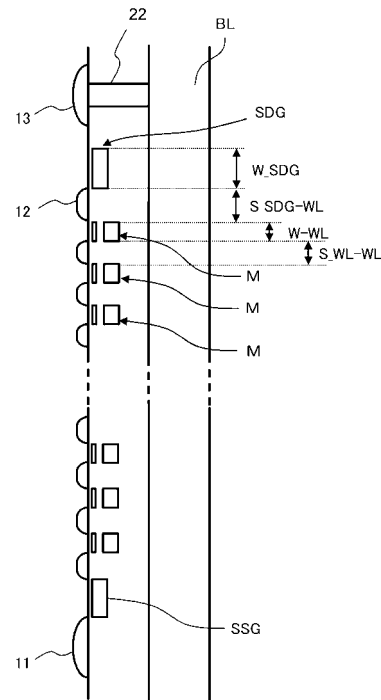
【 0 0 6 6 】

以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。実施形態 2 及び 3 では、選択ドレインゲートを記憶可能なメモリセルトランジスタで構成したが、選択ソースゲートを記憶可能なメモリセルトランジスタで構成してもよい。また上記各実施形態では、NAND型フラッシュメモリを用いて説明したがこれには限定されない。

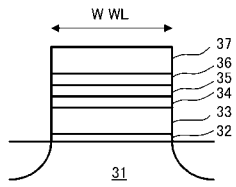
【 図 1 】



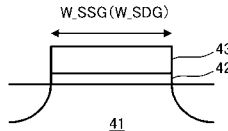
【 図 2 】



【図3】

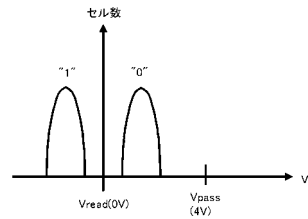


(a)

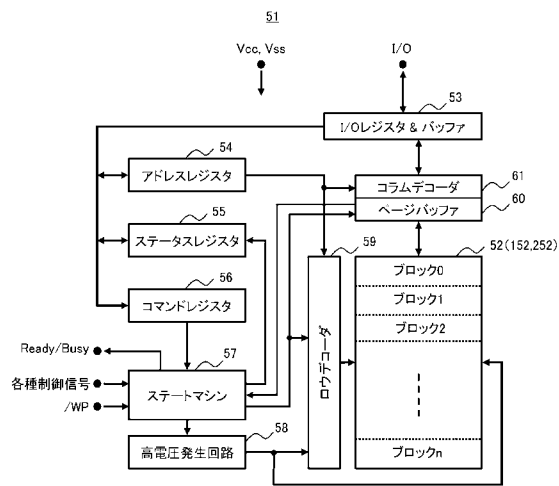


(b)

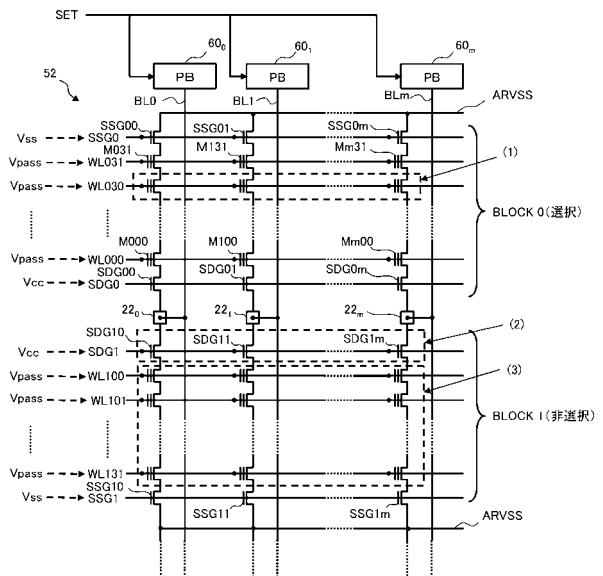
【図4】



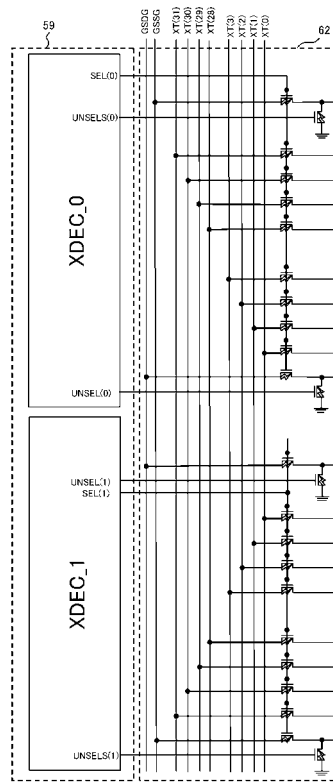
【図5】



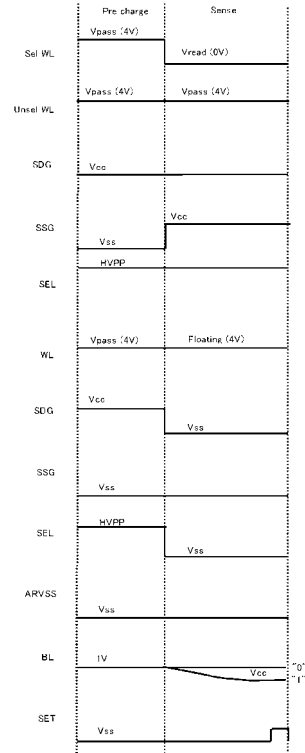
【図6】



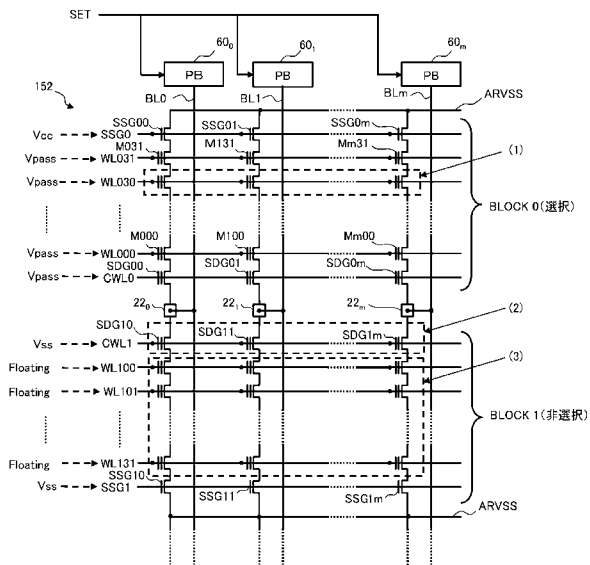
【図7】



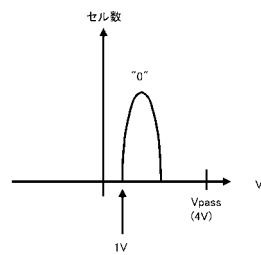
【図8】



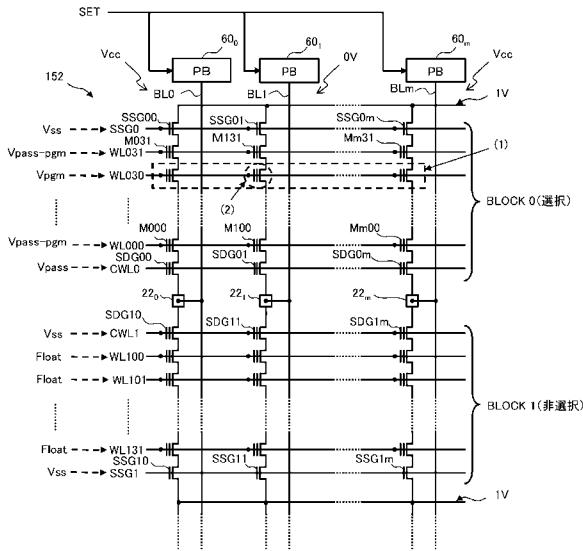
【図9】



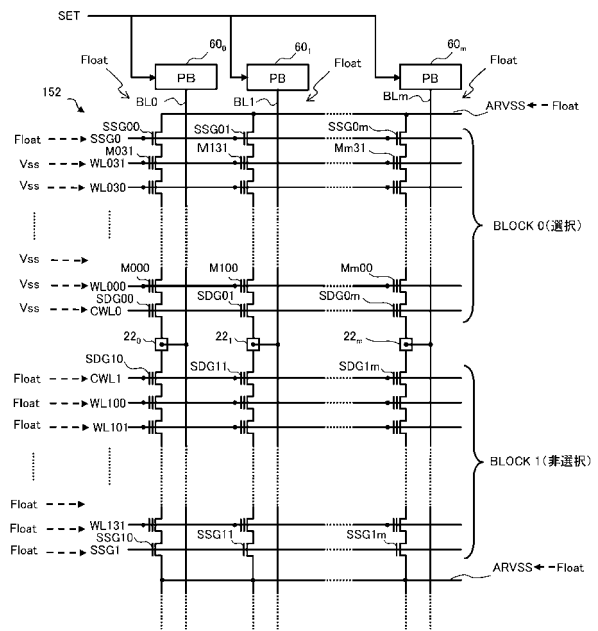
【図10】



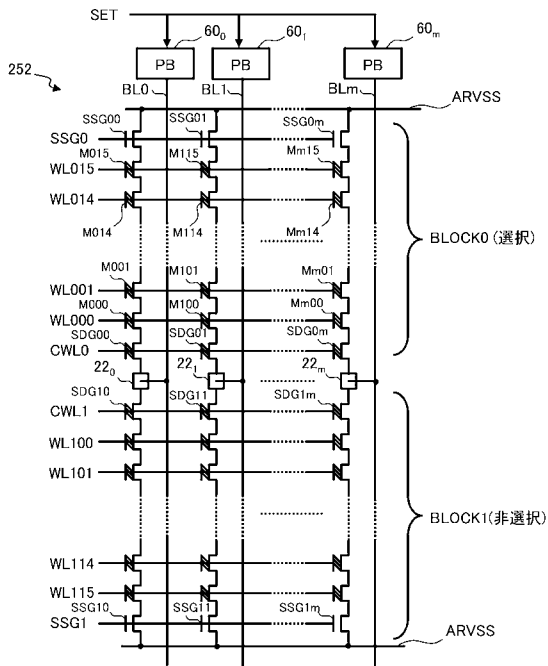
【図11】



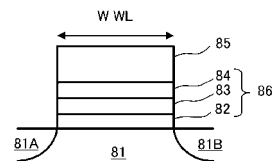
【図12】



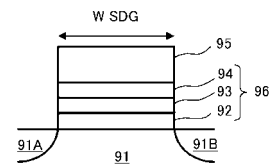
【図13】



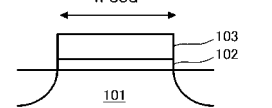
【図14】



(a) SONOS型メモリセル

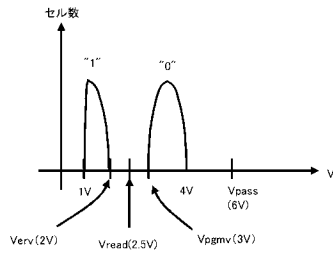


(b) SONOS型選択ドレインゲートSDG

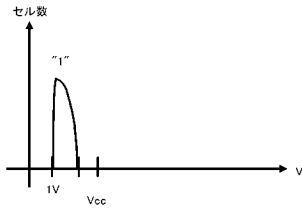


(c) 選択トレンチゲートSSG

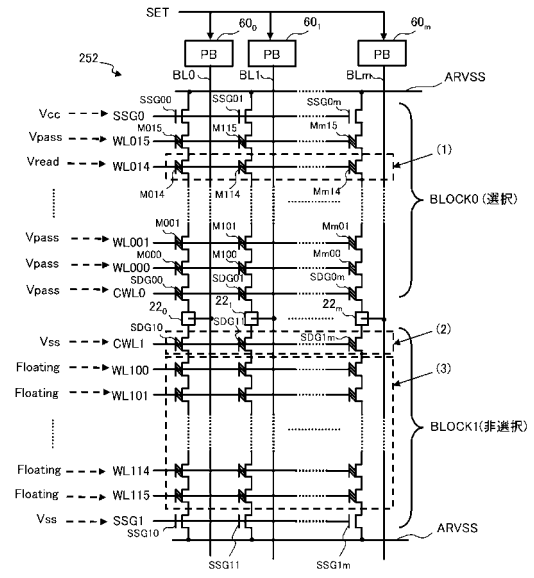
【図15】



【図16】



【図17】



フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 矢野 勝

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

(72)発明者 村上 洋樹

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

審査官 加藤 俊哉

(56)参考文献 特開平08-063989(JP,A)

特開平11-086571(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 16/04

G11C 16/06