



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월05일  
(11) 등록번호 10-2141464  
(24) 등록일자 2020년07월30일

(51) 국제특허분류(Int. Cl.)  
G11C 16/06 (2006.01)  
(21) 출원번호 10-2013-0159855  
(22) 출원일자 2013년12월20일  
심사청구일자 2018년11월15일  
(65) 공개번호 10-2015-0072576  
(43) 공개일자 2015년06월30일  
(56) 선행기술조사문헌  
KR100837278 B1\*  
(뒷면에 계속)

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
정춘석  
서울 송파구 올림픽로 435, 225동 2401호 (신천동, 파크리오)  
(74) 대리인  
신성특허법인(유한)

전체 청구항 수 : 총 2 항

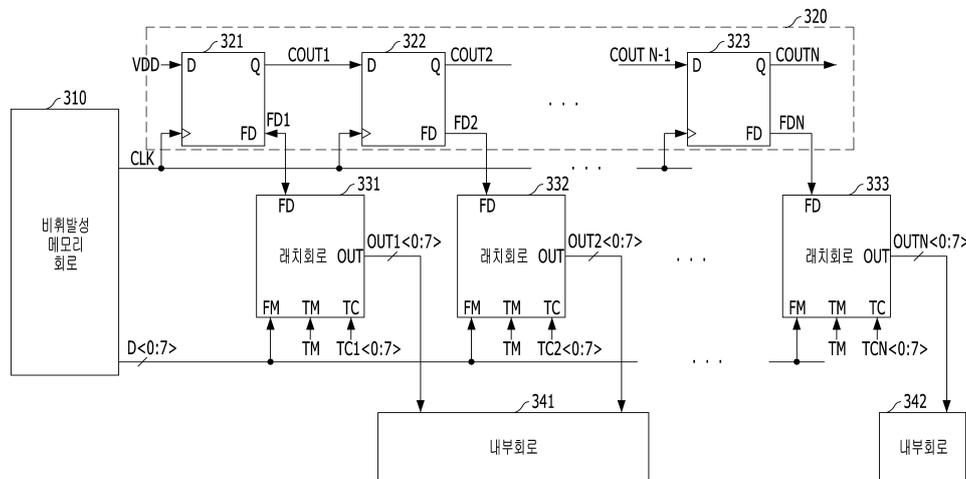
심사관 : 한선경

(54) 발명의 명칭 집적회로 및 메모리 장치

(57) 요약

집적회로는, 비휘발성 메모리 회로; 상기 비휘발성 메모리 회로로부터 출력되는 데이터를 전달하기 위한 데이터 버스; 클럭이 활성화될 때마다 제1 내지 제N선택신호를 순차적으로 활성화하는 쉬프트 레지스터부; 및 상기 제1 내지 제N선택신호 중 자신에 대응하는 선택신호의 활성화에 응답해, 상기 데이터 버스의 데이터를 저장하는 제1 내지 제N래치 회로를 포함할 수 있다.

대표도



(56) 선행기술조사문헌

KR1020130135038 A\*

KR1020140049210 A

KR101113790 B1

US20080204103 A1

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

비휘발성 메모리 회로;

상기 비휘발성 메모리 회로로부터 출력되는 데이터를 전달하기 위한 데이터 버스;

클럭이 활성화될 때마다 제1 내지 제N선택신호를 순차적으로 활성화하는 쉬프트 레지스터부; 및

상기 제1 내지 제N선택신호 중 자신에 대응하는 선택신호의 활성화에 응답해, 상기 데이터 버스의 데이터를 저장하는 제1 내지 제N래치 회로를 포함하고,

상기 쉬프트 레지스터부는 직렬로 연결된 제1 내지 제N플립플롭 회로들을 포함하고,

상기 제1 내지 제N플립플롭 회로들 각각은 상기 제1 내지 제N선택신호를 생성하고,

상기 클럭이 제1레벨이면 입력신호를 입력받아 저장하는 제1스태이지;

상기 클럭이 제2레벨이면 상기 제1스태이지에 저장된 신호를 입력받아 저장하고, 저장된 신호를 출력신호로 제공하는 제2스태이지; 및

상기 제1스태이지에 저장된 신호가 활성화되고, 상기 제2스태이지에 저장된 신호가 비활성화된 경우에 상기 제1 내지 제N선택신호 중 자신에 대응하는 선택신호를 활성화하는 선택신호 생성부를 포함하는

집적 회로.

#### 청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 클럭은 상기 데이터 버스로 전송되는 데이터와 동기된

집적회로.

#### 청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 제1 내지 제N래치 회로 각각은

노멀 모드에서는 자신이 저장한 상기 데이터 버스의 데이터를 출력하고, 테스트 모드에서는 테스트 모드에 의해 설정된 설정값을 출력하는

집적회로.

#### 청구항 4

삭제

#### 청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 클럭을 상기 제1 내지 제N플립플롭 회로들로 전달하기 위한 클럭 전달 경로를 더 포함하고,  
상기 클럭 전달 경로 상에는 상기 클럭의 스큐를 보상하기 위한 하나 이상의 제1지연부가 구비되는  
집적회로.

#### 청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 5항에 있어서,

상기 데이터 버스 상에는 상기 데이터의 스큐를 보상하기 위한 하나 이상의 제2지연부가 구비되는  
집적회로.

#### 청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 제1플립플롭 회로는

초기신호를 상기 클럭에 동기해 쉬프트해 자신의 출력신호로 출력하고,

상기 제2 내지 제N플립플롭 회로들 각각은

전단의 플립플롭 회로의 출력신호를 상기 클럭에 동기해 쉬프트해 자신의 출력신호로 출력하는

집적회로

#### 청구항 8

삭제

#### 청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서,

상기 제1 내지 제N 래치 회로에 저장된 데이터를 이용하는 하나 이상의 내부 회로를 더 포함하는

집적회로.

#### 청구항 10

리페어 데이터와 설정 데이터를 저장하는 비휘발성 메모리 회로;

상기 비휘발성 메모리 회로로부터 출력되는 데이터를 전달하기 위한 데이터 버스;

클럭이 활성화될 때마다 제1 내지 제N선택신호를 순차적으로 활성화하는 쉬프트 레지스터부;

상기 제1 내지 제N선택신호 중 자신에 대응하는 선택신호의 활성화에 응답해, 상기 데이터 버스의 데이터를 저장하는 제1 내지 제N래치 회로;

상기 제1 내지 제N래치 회로 중 대응하는 래치 회로들에 저장된 데이터를 이용해 불량 셀을 리던던시 셀로 대체하는 다수의 메모리 뱅크; 및

상기 제1 내지 제N래치 회로 중 대응하는 래치 회로들에 저장된 데이터를 이용해 설정 동작을 수행하는 설정 회로를 포함하고,

상기 쉬프트 레지스터부는 직렬로 연결된 제1 내지 제N플립플롭 회로들을 포함하고,

상기 제1 내지 제N플립플롭 회로들 각각은 상기 제1 내지 제N선택신호를 생성하고,

상기 제1 내지 제N플립플롭 회로들 각각은

상기 클럭이 제1레벨이면 입력신호를 입력받아 저장하는 제1스태이지;

상기 클럭이 제2레벨이면 상기 제1스태이지에 저장된 신호를 입력받아 저장하고, 저장된 신호를 출력신호로 제공하는 제2스태이지; 및

상기 제1스태이지에 저장된 신호가 활성화되고, 상기 제2스태이지에 저장된 신호가 비활성화된 경우에 상기 제1 내지 제N선택신호 중 자신에 대응하는 선택신호를 활성화하는 선택신호 생성부를 포함하는

를 포함하는 메모리 장치.

### 청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제 10항에 있어서,  
상기 클럭은 상기 데이터 버스로 전송되는 데이터와 동기된 메모리 장치.

### 청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제 10항에 있어서,  
상기 제1 내지 제N래치 회로 각각은

노멀 모드에서는 자신이 저장한 상기 데이터 버스의 데이터를 출력하고, 테스트 모드에서는 테스트 모드에 의해 설정된 설정값을 출력하는

메모리 장치.

### 청구항 13

삭제

### 청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제 10항에 있어서,  
상기 클럭을 상기 제1 내지 제N플립플롭 회로들로 전달하기 위한 클럭 전달 경로를 더 포함하고,  
상기 클럭 전달 경로 상에는 상기 클럭의 스큐를 보상하기 위한 하나 이상의 제1지연부가 구비되는

메모리 장치.

**청구항 15**

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제 14항에 있어서,

상기 데이터 버스 상에는 상기 데이터의 스큐를 보상하기 위한 하나 이상의 제2지연부가 구비되는 메모리 장치.

**청구항 16**

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제 10항에 있어서,

상기 제1플립플롭 회로는

초기신호를 상기 클럭에 동기해 쉬프트해 자신의 출력신호로 출력하고,

상기 제2 내지 제N플립플롭 회로들 각각은

전단의 플립플롭 회로의 출력신호를 상기 클럭에 동기해 쉬프트해 자신의 출력신호로 출력하는 메모리 장치.

**청구항 17**

삭제

**청구항 18**

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제 10항에 있어서,

상기 비휘발성 메모리 회로는

이-퓨즈 어레이 회로, NAND 플래쉬 메모리, NOR 플래쉬 메모리, EPROM, EEPROM, FRAM, MRAM 중 어느 하나인 메모리 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 집적회로 및 메모리 장치에 관한 것으로, 더욱 상세하게는 비휘발성 메모리로부터 래치 회로들로 데이터를 전송하는 부트업 동작에 관한 것이다.

**배경 기술**

[0002] 도 1은 종래의 메모리장치에서의 리페어 동작을 설명하기 위한 도면이다.

[0003] 도 1을 참조하면, 메모리장치는 다수의 메모리 셀을 포함하는 셀어레이(110)와, 로우 어드레스(R\_ADD)에 의해 선택된 워드라인(word line)을 활성화하기 위한 로우 회로(120), 컬럼 어드레스(C\_ADD)에 의해 선택된 비트라인(bit line)의 데이터를 액세스(리드 또는 라이트)하기 위한 컬럼 회로(130)를 포함한다.

- [0004] 로우 퓨즈 회로(140)는 셀어레이(110) 내에서 결함이 있는 메모리 셀에 대응하는 로우 어드레스를 리페어 로우 어드레스(REPAIR\_R\_ADD)로 저장한다. 로우 비교부(150)는 로우 퓨즈 회로(140)에 저장된 리페어 로우 어드레스(REPAIR\_R\_ADD)와 메모리장치 외부로부터 입력된 로우 어드레스(R\_ADD)를 비교한다. 만약, 리페어 로우 어드레스(REPAIR\_R\_ADD)와 로우 어드레스(R\_ADD)가 일치하면, 로우 비교부(150)는 로우 회로(120)가 로우 어드레스(R\_ADD)에 의해 지정되는 워드라인을 대신해 리던던시(redundancy) 워드라인을 활성화하도록 제어한다.
- [0005] 컬럼 퓨즈 회로(160)는 셀어레이 내(110)에서 결함이 있는 메모리 셀에 대응하는 컬럼 어드레스를 리페어 컬럼 어드레스(REPAIR\_C\_ADD)로 저장한다. 컬럼 비교부(170)는 컬럼 퓨즈 회로(160)에 저장된 리페어 컬럼 어드레스(REPAIR\_C\_ADD)와 메모리장치 외부로부터 입력된 컬럼 어드레스(C\_ADD)를 비교한다. 만약, 리페어 컬럼 어드레스(REPAIR\_C\_ADD)와 컬럼 어드레스(C\_ADD)가 일치하면, 컬럼 비교부(170)는 컬럼 회로(130)가 컬럼 어드레스(C\_ADD)에 의해 지정되는 비트라인을 대신해 리던던시 비트라인에 액세스하도록 제어한다.
- [0006] 종래의 퓨즈 회로들(140, 160)에는 주로 레이저 퓨즈(laser fuse)가 사용된다. 레이저 퓨즈는 퓨즈의 커팅 여부에 따라 '하이' 또는 '로우'의 데이터를 저장한다. 레이저 퓨즈의 프로그래밍은 웨이퍼 상태에서는 가능하지만, 웨이퍼가 패키지 내부에 실장된 이후에는 퓨즈를 프로그래밍하는 것이 불가능하다. 또한, 레이저 퓨즈는 피치(pitch)의 한계로 인해 작은 면적으로 설계하는 것이 불가능하다.
- [0007] 이러한 단점을 극복하기 위하여, 미국 등록특허 US 6904751, 6777757, 6667902, 7173851, 7269047에 개시된 것과 같은 이-퓨즈 어레이 회로, NAND 플래쉬 메모리, NOR 플래쉬 메모리, EPROM(Erasable Programmable Read Only Memory), EEPROM(Electrically Erasable Programmable Read Only Memory), FRAM(Ferroelectric RAM), MRAM(Magnetoresistive RAM)와 같은 비휘발성 메모리(Non Volatile Memory) 회로 중 하나를 메모리 장치 내부에 포함시키고, 비휘발성 메모리 회로 내부에 리페어 정보를 저장시켜 사용하고 있다.
- [0008] 도 2는 메모리 장치에서 리페어 정보를 저장하기 위해 비휘발성 메모리 회로가 사용되는 것을 도시한 도면이다.
- [0009] 도 2를 참조하면, 메모리 장치는 다수의 메모리 뱅크(BK0-BK3), 각각의 메모리 뱅크(BK0-BK3)마다 구비되어 리페어 정보를 저장하기 위한 래치 회로들(210\_0-210\_3), 설정 정보를 저장하기 위한 래치 회로들(210\_4), 설정 회로(220) 및 비휘발성 메모리 회로(201)를 포함한다.
- [0010] 비휘발성 메모리 회로(201)는 퓨즈 회로들(140, 160)을 대체한 것이다. 여기에는 모든 뱅크(BK0-BK3)에 대응하는 리페어 정보, 즉 리페어 어드레스, 가 저장된다. 또한, 비휘발성 메모리 회로(201)에는 메모리 장치의 동작에 필요한 설정 정보가 저장된다. 비휘발성 메모리 회로는 이-퓨즈 어레이 회로, NAND 플래쉬 메모리, NOR 플래쉬 메모리, EPROM, EEPROM, FRAM, MRAM 중 어느 하나일 수 있다.
- [0011] 각각의 뱅크(BK0-BK3)마다 구비되는 래치 회로들(210\_0-210\_3)은 자신에 대응하는 메모리 뱅크의 리페어 정보를 저장한다. 래치 회로들(210\_0)은 메모리 뱅크(BK0)의 리페어 정보를 저장하고, 래치 회로들(210\_2)은 메모리 뱅크(BK2)의 리페어 정보를 저장한다. 또한, 래치 회로들(210\_3)은 설정 회로(220)에서 사용할 설정 정보를 저장한다. 설정 회로(220)는 래치 회로들(210\_3)에 저장된 설정 정보를 이용해, 메모리 장치의 동작에 필요한 각종 설정 값들, 예를 들어 내부 전압 레벨 및 각종 레이턴시 등의 설정, 을 설정하는 동작을 수행할 수 있다. 래치 회로들(210\_0-210\_4)은 전원이 공급되어 있는 동안에만 리페어 정보를 저장하는 것이 가능하다. 래치 회로들(210\_0-210\_4)에 저장될 리페어 정보는 비휘발성 메모리(201)로부터 전달받는다. 비휘발성 메모리 회로(201)는 부트업 신호(BOOTUP)의 활성화 시점부터 저장된 리페어 정보를 레지스터들(210\_0-210\_3)로 전송한다.
- [0012] 비휘발성 메모리 회로(201)는 어레이 형태로 구성되므로, 내부에 저장된 데이터를 호출하기 위해서는 일정 시간이 소요된다. 즉각적인 데이터의 호출이 불가능하기 때문에, 비휘발성 메모리 회로(201)에 저장된 데이터를 바로 이용하여 리페어 동작을 수행하는 것은 불가능하다. 따라서, 비휘발성 메모리 회로(201)에 저장된 리페어 정보와 설정 정보는 래치 회로들(210\_0-210\_4)로 전송되어 저장되고, 래치 회로들(210\_0-210\_4)에 저장된 데이터가 메모리 뱅크들(BK0-BK3)의 리페어 동작 및 설정 회로(220)의 설정 동작에 이용된다. 비휘발성 메모리 회로(201)에 저장된 리페어 정보와 설정 정보가 레지스터들(210\_0-210\_4)로 전송되는 과정을 부트업(bootup)이라 하는데, 부트업 동작이 완료되어야지만 메모리 장치는 불량 셀을 리페어하고 각종 설정 동작을 수행한 이후에 정상적인 동작을 시작할 수 있다.
- [0013] 이상에서 살펴본 바와 같이, 비휘발성 메모리 회로(201)를 이용하여 리페어 정보와 설정 정보를 저장하는 메모리 장치에서, 부트업 동작은 메모리 장치의 노멀 동작(예, 리드 라이트 동작) 이전에 반드시 수행되어야 한다. 따라서, 부트업 동작을 간단하게 하는 기술이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0014] 본 발명의 실시예들은, 집적회로 또는 메모리 장치에서 부트업 동작을 효율적으로 하기 위한 기술을 제공한다.

**과제의 해결 수단**

[0015] 본 발명의 일실시예에 따른 집적회로는, 비휘발성 메모리 회로; 상기 비휘발성 메모리 회로로부터 출력되는 데이터를 전달하기 위한 데이터 버스; 클럭이 활성화될 때마다 제1 내지 제N선택신호를 순차적으로 활성화하는 쉬프트 레지스터부; 및 상기 제1 내지 제N선택신호 중 자신에 대응하는 선택신호의 활성화에 응답해, 상기 데이터 버스의 데이터를 저장하는 제1 내지 제N래치 회로를 포함할 수 있다.

[0016] 또한, 본 발명의 일실시예에 따른 메모리 장치는, 리페어 데이터와 설정 데이터를 저장하는 비휘발성 메모리 회로; 상기 비휘발성 메모리 회로로부터 출력되는 데이터를 전달하기 위한 데이터 버스; 클럭이 활성화될 때마다 제1 내지 제N선택신호를 순차적으로 활성화하는 쉬프트 레지스터부; 상기 제1 내지 제N선택신호 중 자신에 대응하는 선택신호의 활성화에 응답해, 상기 데이터 버스의 데이터를 저장하는 제1 내지 제N래치 회로; 상기 제1 내지 제N래치 회로 중 대응하는 래치 회로들에 저장된 데이터를 이용해 불량 셀을 리던던시 셀로 대체하는 다수의 메모리 뱅크; 및 상기 제1 내지 제N래치 회로 중 대응하는 래치 회로들에 저장된 데이터를 이용해 설정 동작을 수행하는 설정 회로를 포함할 수 있다.

**발명의 효과**

[0017] 본 발명의 실시예들에 따르면, 부트업 동작시에 데이터의 전송이 빠르고 효율적으로 이루어질 수 있다.

**도면의 간단한 설명**

- [0018] 도 1은 종래의 메모리장치에서의 리페어 동작을 설명하기 위한 도면.
- 도 2는 메모리 장치에서 리페어 정보를 저장하기 위해 비휘발성 메모리 회로가 사용되는 것을 도시한 도면.
- 도 3은 본 발명의 일실시예에 따른 집적회로의 구성도.
- 도 4는 도 3의 플립플롭 회로(321)의 일실시예 구성도.
- 도 5는 도 3의 래치 회로(331)의 일실시예 구성도.
- 도 6은 래치(510)의 일실시예 구성도.
- 도 7은 도 3 내지 도 6에서 설명한 집적회로의 부트업 동작을 나타낸 타이밍도.
- 도 8은 본 발명의 다른 실시예에 따른 집적회로의 구성도.
- 도 9는 본 발명의 일실시예에 따른 메모리 장치의 구성도.

**발명을 실시하기 위한 구체적인 내용**

[0019] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다. 본 발명을 설명함에 있어서, 본 발명의 요지와 무관한 공지 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조 번호를 가지도록 하고 있음에 유의하여야 한다.

- [0020] 도 3은 본 발명의 일실시예에 따른 집적회로의 구성도이다. 도 3에서는 부트업 동작시에, 비휘발성 메모리 회로(310)에 저장된 정보가 어떠한 방식으로 래치 회로들(331-333)로 전송되어 저장되는지에 대해 알아보기로 한다.
- [0021] 도 3을 참조하면, 집적회로는, 비휘발성 메모리 회로(310), 데이터 버스(D<0:7>), 클럭 라인(CLK), 쉬프트 레지스터부(320), 래치 회로들(331-333) 및 내부 회로들(341-342)을 포함할 수 있다.
- [0022] 비휘발성 메모리 회로(310)는 집적회로 내부의 회로들(341-342)에서 사용하기 위한 정보가 저장될 수 있다. 비휘발성 메모리 회로(310)는 부트업 신호(BOOTUP)의 활성화에 응답해 저장된 모든 데이터를 데이터 버스(D<0:7>)로 순차적으로 출력할 수 있다. 비휘발성 메모리 회로(310)로부터 출력되는 클럭(CLK)은 데이터 버스(D<0:7>)로 전송되는 데이터에 동기된 클럭일 수 있다. 비휘발성 메모리 회로(310)는 이-퓨즈 어레이 회로, NAND 플래시 메모리, NOR 플래시 메모리, EPROM, EEPROM, FRAM 및 MRAM 중 어느 하나일 수 있다.
- [0023] 쉬프트 레지스터부(320)는 클럭(CLK)이 활성화될 때마다 제1 내지 제N선택신호(FD1-FDN)를 순차적으로 활성화할 수 있다. 예를 들어, 이번에 클럭(CLK)이 활성화된 것에 응답해 선택신호(FDX, X는 1 이상 N 미만의 정수)가 활성화되었다면, 다음에 클럭(CLK)이 활성화된 것에 응답해서는 선택신호(FDX+1)가 활성화될 수 있다. 쉬프트 레지스터부(320)는 N개의 플립플롭 회로들(321-323)을 포함할 수 있다. 플립플롭 회로들(321-323) 각각은 D단자로 입력된 신호를 클럭(CLK)에 동기해 1클럭 주기만큼 쉬프트해 Q단자로 출력할 수 있다. 그리고, D단자로 입력된 신호를 이용해 자신에 대응하는 선택신호(FD1-FDN)를 생성해 FD단자로 출력할 수 있다. 플립플롭 회로들(321-323)은 직렬로 연결될 수 있다. 즉, 이전 단 플립플롭 회로의 출력신호(Q)가 다음 단 플립플롭 회로의 입력신호(D)가 될 수 있다. 맨 첫 단의 플립플롭 회로(321)는 전원전압(VDD)을 입력신호로 입력받을 수 있다. 플립플롭 회로들(321-323)의 자세한 내부 구성 및 동작에 대해서는 도면과 함께 후술하기로 한다.
- [0024] 래치 회로들(331-333)은 선택신호들(FD1-FDN) 중 자신에 대응하는 선택신호의 활성화시에 데이터 버스(D<0:7>)의 데이터를 입력받아 저장할 수 있다. 래치 회로들(331-333) 각각은 데이터 버스(D<0:7>)의 비트 수만큼의 데이터를 저장하도록 설계될 수 있다. 래치 회로들(331-333)은 노멀 동작시에는 자신이 저장한 데이터 버스(D<0:7>)의 데이터를 출력신호(OUT)로 제공하지만, 테스트 모드 신호(TM)가 활성화되는 테스트 동작시에는 TC 단자로 입력된 데이터(TC1<0:7>-TCN<0:7>)를 출력신호(OUT)로 제공할 수 있다. TC 단자로 입력되는 데이터는 (TC1<0:7>-TCN<0:7>) 테스트 동작시의 설정에 의해 집적회로 외부로부터 입력된 데이터일 수 있다. 예를 들어, 집적회로가 메모리 장치인 경우에 TC 단자로 입력되는 데이터(TC1<0:7>-TCN<0:7>)는 테스트 동작시에 MRS 설정 등에 의해 결정되는 값을 가지는 데이터일 수 있다. 래치 회로들(331-333)의 자세한 내부 구성 및 동작에 대해서는 도면과 함께 후술하기로 한다.
- [0025] 내부 회로들(341-342)은 집적회로 내부에서 래치 회로들(331-333)에 저장된 정보를 이용하는 회로일 수 있다. 예를 들어, 내부 회로(341)는 래치 회로들(331,332)에 저장된 정보를 이용해 집적회로 내부에서 사용되는 내부 전압 값들을 설정하는 회로일 수 있으며, 내부 회로(342)는 래치 회로(333)에 저장된 정보를 이용해 집적회로 내부의 오류를 리페어하는 회로일 수 있다.
- [0026] 도 3의 실시예에 따르면, 비휘발성 메모리 회로(310)의 데이터가 다수의 래치 회로들(331-333)로 전송되는 부트업 동작에 있어서, 클럭(CLK)을 이용하는 쉬프트 레지스터부(320)에 의해 선택신호들(FD1-FDN)이 생성되고, 활성화된 선택신호에 대응하는 래치 회로에 데이터 버스(D<0:7>)의 데이터가 저장된다. 즉, 비휘발성 메모리 회로(310)에서 출력되는 데이터가 저장될 래치 회로를 선택하는데 있어서 단순한 스킴(scheme)이 사용되고, 그 결과 비휘발성 메모리 회로(310)와 래치 회로들(331-333) 간의 라인 수를 최소화할 수 있으며, 부트업 동작에 필요한 시간을 최소화할 수 있다는 장점이 있다.
- [0027] 도 4는 도 3의 플립플롭 회로(321)의 일실시예 구성도이다. 도 3의 플립플롭 회로들(321-323)은 도 4와 같이 구성될 수 있다.
- [0028] 도 4를 참조하면, 플립플롭 회로(321)는 클럭 입력부(401), 제1스테이지(410), 제2스테이지(420), 및 선택신호 생성부(430)를 포함할 수 있다.
- [0029] 클럭 입력부(401)는 플립플롭 회로(321)의 클럭 단자로 입력되는 클럭(CLK)을 버퍼링한다. 반전클럭(CLKB)은 클럭(CLK)과 반대의 위상을 가지며, 클럭(CLKD)은 클럭(CLK)이 버퍼링된 신호를 나타낸다.
- [0030] 제1스테이지(410)는 클럭(CLKD)이 제1레벨(예, CLKD='하이')인 경우에 D단자로 입력된 신호를 입력받아 저장할 수 있다. 한편, 리셋 신호(RST)가 '하이'로 활성화되면 제1스테이지(410)에 저장된 신호는 초기화될 수 있다.

- [0031] 제2스태이지(420)는 클럭(CLKD)이 제2레벨(예, CLKD='로우')인 경우에 제1스태이지(410)에 저장된 값을 입력받아 저장할 수 있다. 한편, 리셋 신호(RST)가 '하이'로 활성화되면 제2스태이지(420)에 저장된 신호는 초기화될 수 있다.
- [0032] 선택신호 생성부(430)는 제1스태이지(410)와 제2스태이지(420)에 저장된 신호들과 클럭(CLKD)을 이용해 선택신호(FD)를 생성할 수 있다. 선택신호(FD)는 D단자로 입력된 신호가 제1스태이지(410)로 입력되고 아직 제2스태이지(420)로는 전달되지 않은 구간 동안에 활성화될 수 있다.
- [0033] 도 5는 도 3의 래치 회로(331)의 일실시에 구성도이다. 도 3의 래치 회로들(331-333)도 도 5와 같이 구성될 수 있다.
- [0034] 도 5를 참조하면, 래치 회로(331)는 8개의 래치들(510-580)을 포함할 수 있다. 래치 회로(331) 내부의 래치들(510-580)의 FD단자와 TM단자에는 동일한 신호가 입력되지만, FM단자, TC단자 및 OUT단자에는 서로 다른 신호가 입/출력될 수 있다. 즉, 동일한 래치 회로(331) 내부의 래치들(510-580)은 선택신호(FD0)와 테스트 모드 신호(TM)는 공유하지만, 데이터 버스(D<0:7>)에 실린 서로 다른 데이터들을 입력받고, 서로 다른 테스트 데이터(TC1<0:7>)를 입력받고, 별도의 출력 신호(OUT1<0:7>)를 가진다.
- [0035] 도 6은 래치(510)의 일실시에 구성도이다. 래치 회로(331) 내부의 나머지 래치들(520-580)도 도 6과 같이 구성될 수 있다.
- [0036] 도 6을 참조하면, 래치(510)는 트랜지스터들(611, 612, 613), 인버터들(614, 615, 616, 617, 619), 및 노아게이트들(617, 618)을 포함할 수 있다.
- [0037] TM단자와 TC단자로 입력되는 신호가 '로우'레벨인 노멀 모드에서 래치(510)의 동작을 알아보기로 한다. 먼저, 초기화 동작시에 파워업 신호(PWRUP)가 '로우'로 활성화되면 트랜지스터(611)가 턴온되고 A노드가 '하이'로 초기화될 수 있다. FD단자로 입력되는 신호가 '하이'인 구간 동안에(즉 래치(510)가 선택된 구간 동안에), FM단자의 신호가 '하이'이면 A노드가 '로우'레벨이 되고 FM단자의 신호가 '로우'이면 A노드는 초기화 레벨인 '하이'레벨을 유지할 수 있다. 그리고, OUT단자로는 A노드와 반대 레벨의 신호가 래치(510)의 출력신호로 출력될 수 있다. 결과적으로, 노멀 모드에서는 FD단자의 신호가 활성화된 동안에, 즉 래치(510)가 선택된 동안에, FM단자를 통해 래치(510)로 입력된 신호가 래치(510)의 출력 신호로 OUT단자를 통해 출력될 수 있다.
- [0038] TM단자로 입력되는 신호가 '하이'레벨인 테스트 모드에서는 TC단자로 입력되는 신호가 그대로 래치(510)의 출력신호로 OUT단자를 통해 출력될 수 있다. 즉, 테스트 모드에서는 래치(510) 내부에 저장된 신호의 논리 레벨과 상관없이, 테스트 데이터가 래치(510)의 출력신호로 출력될 수 있다.
- [0039] 도 7은 도 3 내지 도 6에서 설명한 집적회로의 부트업 동작을 나타낸 타이밍도이다.
- [0040] 도 7을 참조하면, 클럭(CLK)의 첫번째 활성화에 응답해 플립플롭 회로(321)가 선택신호(FD1)를 활성화할 수 있다. 그리고, 선택신호(FD1)의 활성화에 응답해 데이터 버스(D<0:7>)에 실려 있는 데이터가 래치 회로(331)로 입력되어 저장될 수 있다. 선택신호(FD1)가 비활성화되는 시점에 플립플롭 회로(321)는 출력신호(COUT1)를 활성화해 플립플롭 회로(322)로 전달할 수 있다.
- [0041] 클럭(CLK)의 두번째 활성화에 응답해 플립플롭 회로(322)가 선택신호(FD2)를 활성화할 수 있다. 그리고, 선택신호(FD2)의 활성화에 응답해 데이터 버스(D<0:7>)에 실려 있는 데이터가 래치 회로(332)로 입력되어 저장될 수 있다. 선택신호(FD2)가 비활성화되는 시점에 플립플롭 회로(322)는 출력신호(COUT2)를 활성화해 후단의 플립플롭 회로로 전달할 수 있다.
- [0042] 마찬가지로 클럭(CLK)이 세번째 활성화에 응답해 선택신호(FD3)가 활성화되고, 데이터 버스(D<0:7>)의 데이터가 선택신호(FD3)에 대응하는 래치 회로에 저장될 수 있다.
- [0043] 도 8은 본 발명의 다른 실시예에 따른 집적회로의 구성도이다.
- [0044] 도 8을 참조하면, 다른 실시예의 집적회로는 도 3의 집적회로 대비 제1지연부들(811, 812, 813)과 제2지연부들(821, 822, 823)을 더 포함할 수 있다.

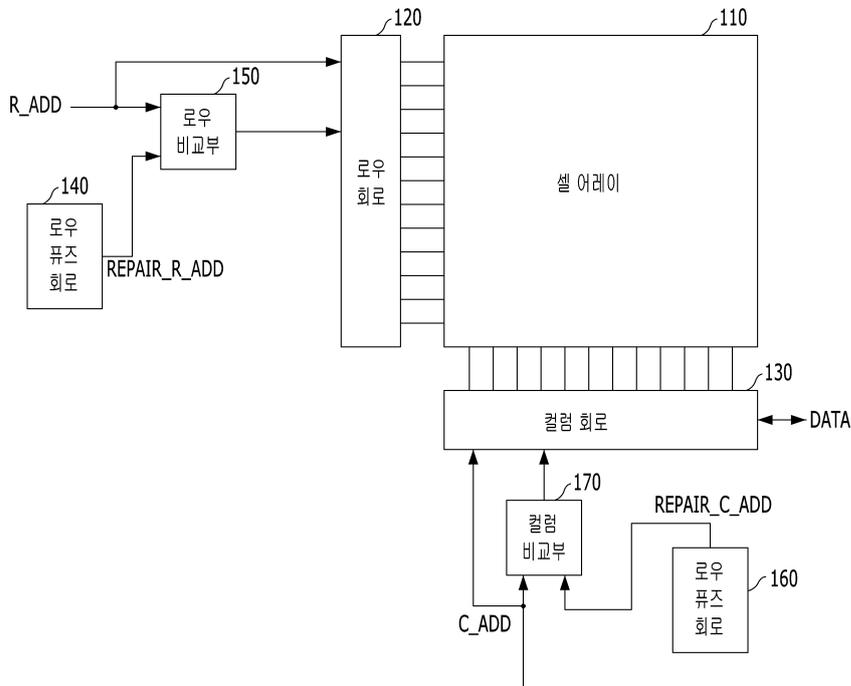
- [0045] 집적회로에서 쉬프트 레지스터부(320)의 플립플롭들(321-323) 간에 전달되는 신호들(COUT1-COUTN)은 로딩 (loading)이 작기 때문에 신호의 품질이 좋다. 그렇지만, 클럭(CLK)과 데이터(D<0:7>)는 집적회로 내부의 여러 곳들로 전달되어야 하므로 로딩이 크고 신호의 품질이 좋지 않을 수밖에 없다. 따라서, 플립플롭들(321-323) 간에 전달되는 신호들(COUT1-COUTN)과 클럭(CLK) 및 데이터(D<0:7>) 간에는 스큐(skew) 차이가 발생할 수밖에 없다.
- [0046] 제1지연부들(811, 812, 813)은 집적회로 내부에서 클럭(CLK)이 전달되는 클럭 경로 상에 구비되어 클럭(CLK)을 지연시킴으로써 클럭(CLK)의 스큐를 보상할 수 있다. 제2지연부들(821, 822, 823)은 데이터 버스(D<0:7>) 상에 구비되어 데이터 버스(D<0:7>)를 통해 전달되는 데이터를 지연시킴으로써 데이터 버스(D<0:7>)의 스큐를 보상할 수 있다.
- [0047] 도 8에서는 제1지연부들(811, 812, 813)과 제2지연부들(821, 822, 823)이 래치회로들(331, 332, 333)과 동일한 개수로 구비되는 것을 예시하였지만, 제1지연부들(811, 812, 813)과 제2지연부들(821, 822, 823)의 개수가 설계에 따라 변경될 수 있음은 당연하다.
- [0048] 도 9는 본 발명의 일실시예에 따른 메모리 장치의 구성도이다.
- [0049] 도 9를 참조하면, 메모리 장치는, 비휘발성 메모리 회로(310), 데이터 버스(D<0:7>), 클럭 라인(CLK), 쉬프트 레지스터부(320), 래치 회로들(331-333), 메모리 뱅크(BK0), 및 설정회로(910)를 포함할 수 있다.
- [0050] 메모리 뱅크(BK0)는 셀어레이와 셀어레이에 데이터를 리드/라이트하기 위한 회로들을 포함할 수 있다. 메모리 뱅크(BK0)는 래치 회로들(331, 332)로부터 출력되는 저장된 정보를 이용해 셀어레이 내부의 불량 셀을 리던던시 셀로 대체하는 리페어 동작을 수행할 수 있다. 도 9에서는 하나의 메모리 뱅크(BK0)만을 도시하였으나 메모리 장치에 다수개의 메모리 뱅크가 구비될 수 있음은 당연하다. 예를 들어, 래치 회로들(331-333)의 개수가 1280개 (N=1280)인 경우에, 메모리 장치 내부에 메모리 뱅크들이 4개 구비되고, 메모리 뱅크들 각각이 256개의 래치 회로에 저장된 정보를 이용해 리페어 동작을 수행하고, 설정회로(910)가 256개의 래치 회로에 저장된 정보를 이용해 설정 동작을 수행할 수 있다.
- [0051] 설정회로(910)는 래치 회로(333)로부터 출력되는 정보를 이용해 메모리 장치의 동작에 필요한 설정 동작을 수행할 수 있다. 예를 들어, 설정회로(910)는 메모리 장치 내부에서 사용되는 코어전압과 기준전압 등 다양한 내부 전압들의 레벨을 설정할 수 있으며, 메모리 장치의 레이턴시(latency)와 같은 각종 파라미터(parameter) 값들을 설정할 수 있다. 설정회로(910)가 수행하는 설정 동작의 종류에 따라 설정회로가 이용하는 래치 회로(333)의 개수가 달라질 수 있음은 당연하다.
- [0052] 도 9에서는 제1지연부들(811, 812, 813)과 제2지연부들(821, 822, 823)이 도시되지 않았지만, 메모리 장치가 스큐의 보상을 위해 제1지연부들(811, 812, 813)과 제2지연부들(821, 822, 823)을 더 포함할 수 있음은 당연하다.
- [0053] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

**부호의 설명**

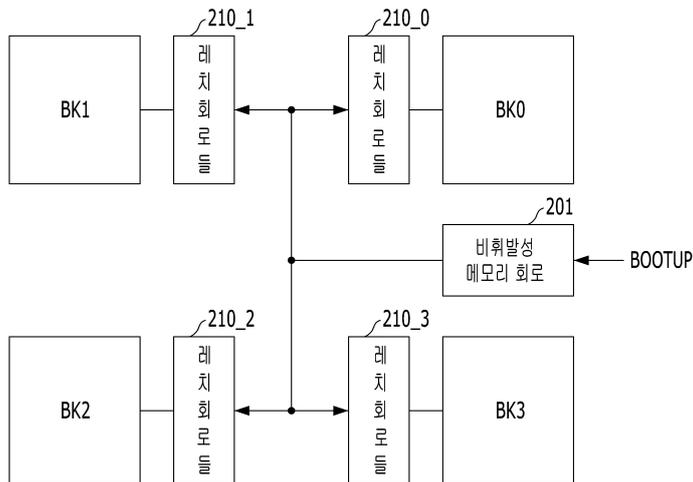
- [0054] 310: 비휘발성 메모리 회로                    D<0:7>: 데이터 버스
- CLK: 클럭 라인                                    320: 쉬프트 레지스터부
- 331-333: 래치 회로들                            341-342: 내부 회로들

도면

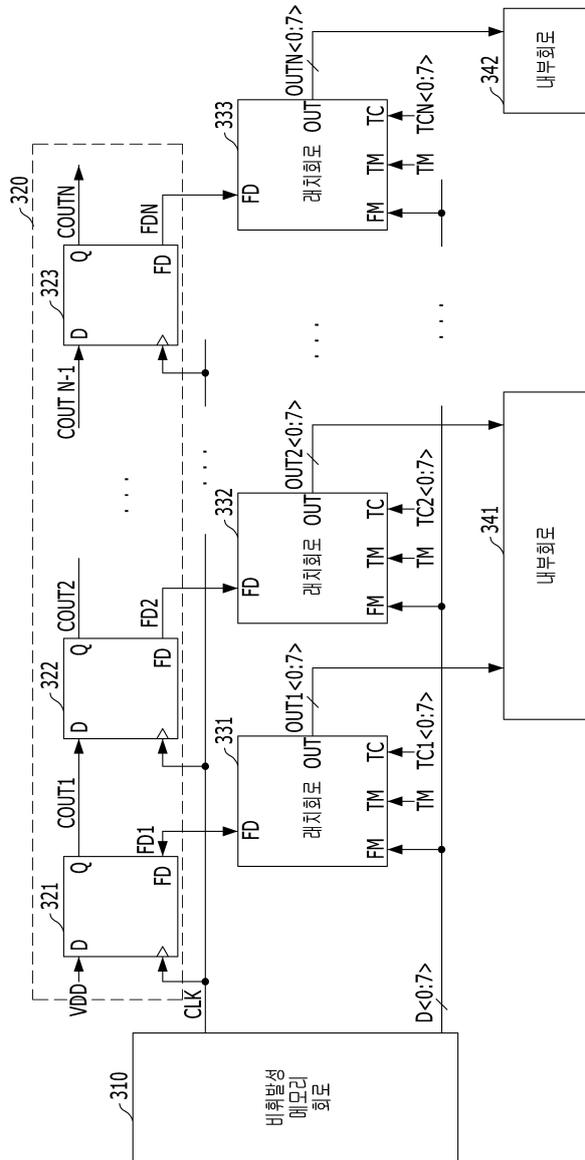
도면1



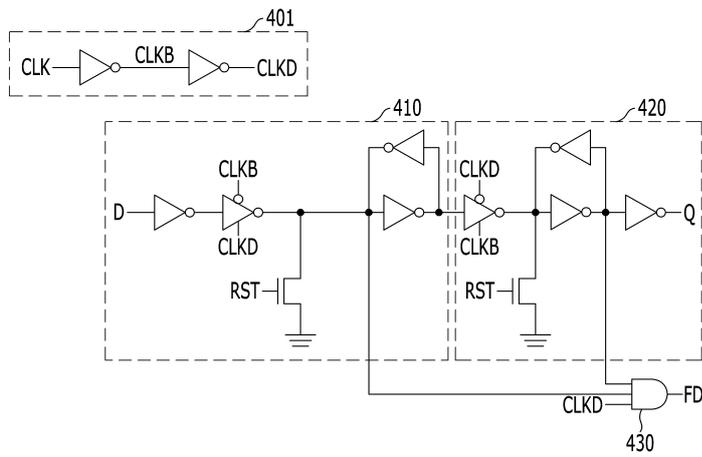
도면2



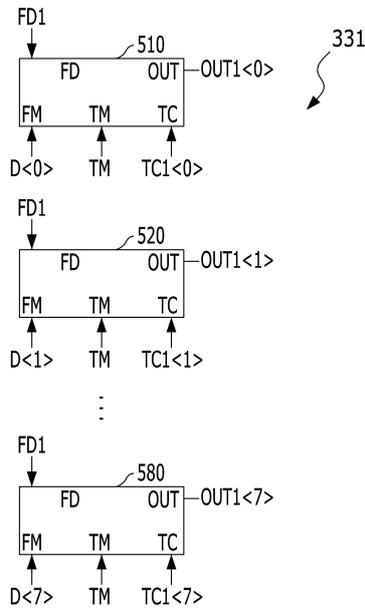
도면3



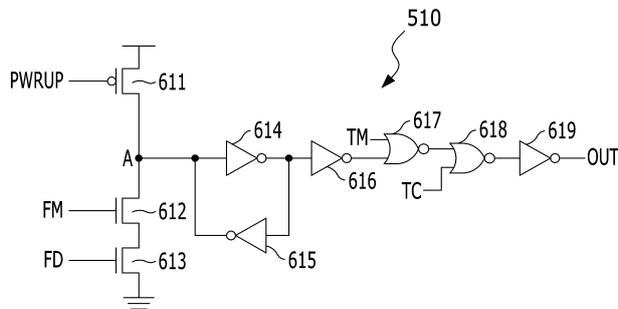
도면4



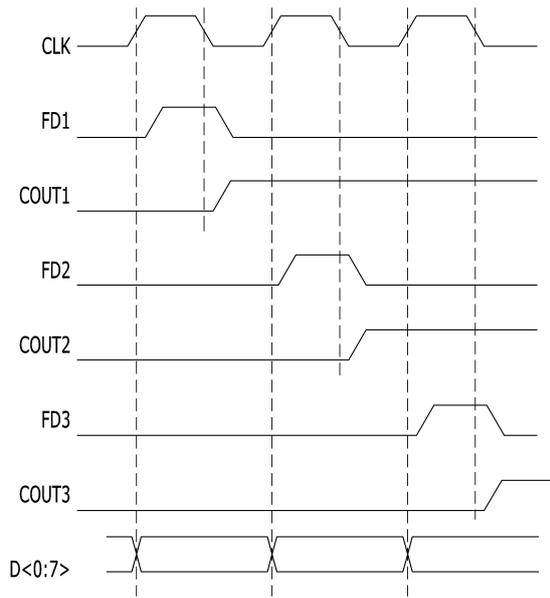
도면5



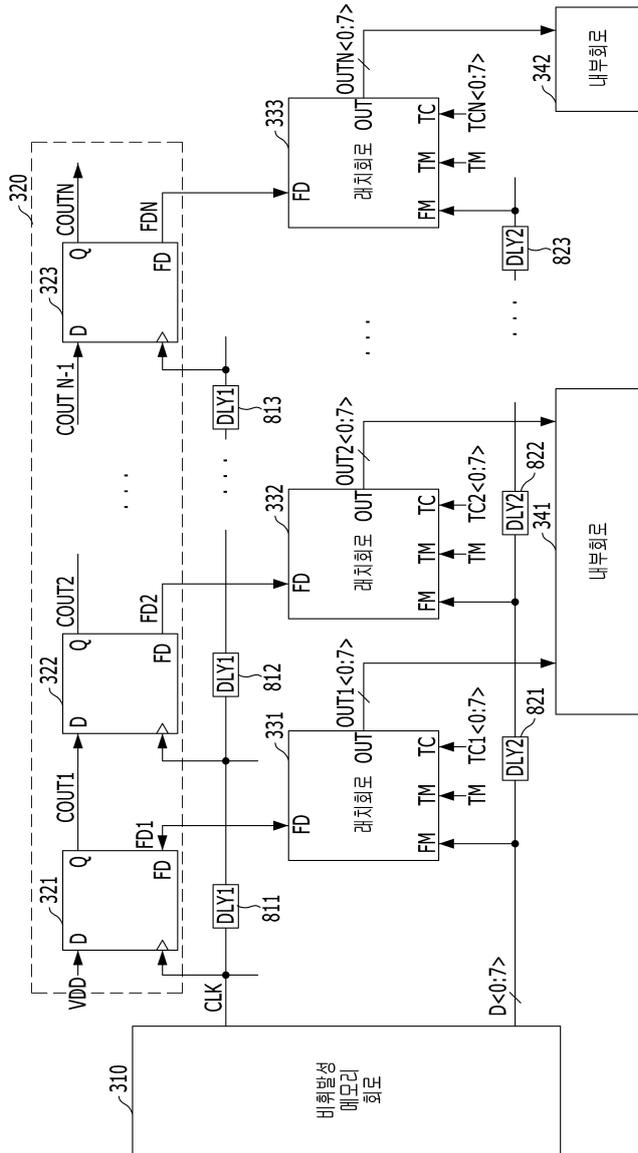
도면6



도면7



도면8



도면9

