

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5076635号
(P5076635)

(45) 発行日 平成24年11月21日(2012.11.21)

(24) 登録日 平成24年9月7日(2012.9.7)

(51) Int.Cl.		F I			
HO4N	5/345	(2011.01)	HO4N	5/335	450
HO4N	5/353	(2011.01)	HO4N	5/335	530
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO4N	5/3745	(2011.01)	HO4N	5/335	745
HO4N	5/376	(2011.01)	HO4N	5/335	760

請求項の数 5 (全 26 頁)

(21) 出願番号 特願2007-132096 (P2007-132096)
 (22) 出願日 平成19年5月17日(2007.5.17)
 (65) 公開番号 特開2008-288903 (P2008-288903A)
 (43) 公開日 平成20年11月27日(2008.11.27)
 審査請求日 平成22年3月12日(2010.3.12)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 牧野 栄治
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】 イメージセンサ

(57) 【特許請求の範囲】

【請求項1】

所定の行数および列数で画素アレイに配置された複数の画素のそれぞれを特定するアドレスとともに制御信号を供給することで、前記アドレスに対応する画素に対する電子シャッタ動作、または前記アドレスに対応する画素の画素信号の読み出しを行うイメージセンサであって、

前記画素アレイに配置された画素のうち、1水平期間内に電子シャッタ動作を行うべき画素の行を特定するシャッタ行アドレス、および同一の1水平期間内に画素信号の読み出しを行うべき画素の行を特定する読み出し行アドレスを生成するアドレス生成手段と、

前記アドレス生成手段により生成された前記シャッタ行アドレスを記憶する第1の記憶手段と、

前記アドレス生成手段により生成された前記読み出し行アドレスを記憶する第2の記憶手段とを備え、

前記第1の記憶手段および前記第2の記憶手段のそれぞれは、前記画素アレイに配置された画素の行のそれぞれに対応する複数のS-Rラッチであって、前記1水平期間内に所定のタイミングで供給される1回のリセットパルスによりリセットされ、前記リセットパルスが供給された後、前記アドレス信号が供給されているタイミングに対応して前記1水平期間内に1回または複数回供給されるセットパルスにより前記アドレス信号を保持するS-Rラッチにより構成され、

前記アドレス生成手段により生成された前記シャッタ行アドレスまたは前記読み出し行

10

20

アドレスに基づいて前記S-Rラッチに供給されるアドレス信号であって、前記シャッタ行アドレスまたは前記読み出し行アドレスの画素の行に対応する前記S-Rラッチに供給されるアドレス信号を、前記S-Rラッチが保持することで前記シャッタ行アドレスまたは前記読み出し行アドレスが記憶され、

前記アドレス生成手段は、

1 水平期間内において前記読み出し行アドレスに対応する行の画素の読み出しを行うことができる有効期間内に、1の前記読み出し行アドレスに対応して複数の前記シャッタ行アドレスを生成する

イメージセンサ。

【請求項2】

前記アドレス生成手段は、時分割多重方式により、1水平期間内に前記読み出し行および前記読み出し行アドレスに対応する前記シャッタ行アドレスを生成する

請求項1に記載のイメージセンサ。

【請求項3】

前記画素アレイが画素のフローティングディフュージョンを共有する画素共有方式の画素アレイである

請求項1に記載のイメージセンサ。

【請求項4】

前記アドレス生成手段は、1水平期間内に読み出すべき読み出し行アドレスを複数生成し、前記複数の読み出し行アドレスに対応して複数の前記シャッタ行アドレスを生成する

請求項3に記載のイメージセンサ。

【請求項5】

前記アドレス生成手段は、1水平期間内に読み出すべき読み出し行アドレスを複数同時に生成し、前記複数の読み出し行アドレスに対応して複数の前記シャッタ行アドレスを同時に生成する

請求項3に記載のイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージセンサに関し、特に、簡単な構成で、良質な画像を得ることができるようにするイメージセンサに関する。

【背景技術】

【0002】

CMOS (complementary metal oxide semiconductor) イメージセンサなどは、光電変換素子であるフォトダイオードに蓄積された信号電荷を能動素子で増幅し、画像情報として読み出す。

【0003】

CMOSイメージセンサなどのX-Yアドレス型固体撮像素子では、たとえば、画素トランジスタが行列状に多数配列されており、ライン(行)ごとあるいは画素ごとに入射光に対応する信号電荷の蓄積が開始され、その蓄積された信号電荷に基づく電流または電圧の信号がアドレス指定によって各画素から順に読み出される。このように、X-Yアドレス型固体撮像素子では、アドレス指定によって任意の位置の画素から信号を取り出すことができ、画素で得られた信号電荷をシフトレジスタで画素を選択して順番に読み出すCCD (Charge Coupled Device) イメージセンサと異なり、画素の信号を読み出す順番を比較的自由に設定可能であるという特徴を有する。

【0004】

例えば、デジタルスチルカメラに代表される静止画の撮像技術では、撮像デバイスとして多画素のCMOS型固体撮像素子を用い、全画素の画素情報を独立に読み出すことによって静止画を得る「全画素読出モード」がよく知られているが、このモードの他に、例えば行や列を数個ずつ飛ばしながら読み出す「間引き読出モード」などの動作ができる。

10

20

30

40

50

【 0 0 0 5 】

また、CMOSイメージセンサでは、画素で得られた信号電荷の精度を高めるためにシャッタ動作（電子シャッタ）が行われる。シャッタ動作に伴って、画素に蓄積された電荷は、一旦はき捨てられる。例えば、上述した「間引き読出モード」により画素を読み出す場合、隣接する画素からの電荷の漏れなどに対する対策として、より複雑なシャッタ動作が必要となる。

【 0 0 0 6 】

例えば、間引き読み出しモードでは、露光時間を規定するためのシャッタ動作のほかに、画素の信号の読み出しが行われない行（間引かれた行）の画素に蓄積された電荷のはき捨て動作のために、いわゆるブルーミング対策シャッタが必要となる。ブルーミング対策シャッタを行わなければ、間引かれた行の画素の電荷のはき捨て動作が発生しないために、フォトダイオードから電荷があふれ、隣接する画素に電荷が漏れ出して混色が発生するなどの問題が起こる。

10

【 0 0 0 7 】

さらに、カメラ動作中に、明るさに応じて電子シャッタによる露光時間をフレーム単位で変化させ、露光量の最適化などの制御も行われる。この場合、露光量が変わった場合には、同一タイミングでの電子シャッタの数が増加することもある。

【 0 0 0 8 】

このように、CMOSイメージセンサにおいては、複雑な読み出し行、またはシャッタ行の選択が必要とされ、実際に読み出し順に自由度を大きく持たせるには、それぞれのモードに応じたアドレス指定を行なう制御機構が必要となるので、画素の行や列の選択回路としては、シフトレジスタではなく、デコーダが使用されることが多い。シフトレジスタでは、行や列の選択がある程度順番である必要があり、任意の行や列を自由に選択できないからである。

20

【 0 0 0 9 】

デコーダを使用した場合、画素の行の選択を行う垂直選択デコーダは、1H期間（1回の水平走査期間）において、読み出し行の選択とシャッタ行の選択とを行って、それぞれの画素の電荷の読み出しと電荷のはき捨て動作が行われる。

【 0 0 1 0 】

例えば、1 / 2 間引き読み出しモードにおいては、上述したブルーミング対策シャッタ、電子シャッタによる露光時間の変化の考慮をすると、露光不良なく、良質な画質を得るには、読み出し行を1箇所選択するタイミング（1H期間）に、電子シャッタ行を最大で4箇所同時に発生させる必要がある。従って、4箇所の電子シャッタ行を選択するために、4つのデコーダが必要となり、1箇所の読み出し行を選択するために1つのデコーダが必要となり、合計5つのデコーダが必要になってしまい、回路の規模が増大してしまう。

30

【 0 0 1 1 】

そこで、デコーダが選択するアドレスを時分割多重化し、1つのデコーダで複数の電子シャッタ行、または読み出し行を選択することが提案されている（例えば、特許文献1参照）。

【 0 0 1 2 】

【特許文献1】特開2004-166269号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

しかしながら、特許文献1の技術では、回路の規模を小さくすることは可能となるが、水平ブランキング期間中に、電子シャッタ選択行を全てラッチに書き込んでおく必要がある。このため、例えば、同時に選択すべき電子シャッタ行の数が増え、水平ブランキング期間を延長させる必要があり、その結果、高速なフレームレートでの読み出しが困難になる。

40

【 0 0 1 4 】

50

本発明はこのような状況に鑑みてなされたものであり、簡単な構成で、良質な画像を得ることができるようにするものである。

【課題を解決するための手段】

【0015】

本発明の一側面は、所定の行数および列数で画素アレイに配置された複数の画素のそれぞれを特定するアドレスとともに制御信号を供給することで、前記アドレスに対応する画素に対する電子シャッタ動作、または前記アドレスに対応する画素の画素信号の読み出しを行うイメージセンサであって、前記画素アレイに配置された画素のうち、1水平期間内に電子シャッタ動作を行うべき画素の行を特定するシャッタ行アドレス、および同一の1水平期間内に画素信号の読み出しを行うべき画素の行を特定する読み出し行アドレスを生成するアドレス生成手段と、前記アドレス生成手段により生成された前記シャッタ行アドレスを記憶する第1の記憶手段と、前記アドレス生成手段により生成された前記読み出し行アドレスを記憶する第2の記憶手段とを備え、前記第1の記憶手段および前記第2の記憶手段のそれぞれは、前記画素アレイに配置された画素の行のそれぞれに対応する複数のS-Rラッチであって、前記1水平期間内に所定のタイミングで供給される1回のリセットパルスによりリセットされ、前記リセットパルスが供給された後、前記アドレス信号が供給されているタイミングに対応して前記1水平期間内に1回または複数回供給されるセットパルスにより前記アドレス信号を保持するS-Rラッチにより構成され、前記アドレス生成手段により生成された前記シャッタ行アドレスまたは前記読み出し行アドレスに基づいて前記S-Rラッチに供給されるアドレス信号であって、前記シャッタ行アドレスまたは前記読み出し行アドレスの画素の行に対応する前記S-Rラッチに供給されるアドレス信号を、前記S-Rラッチが保持することで前記シャッタ行アドレスまたは前記読み出し行アドレスが記憶され、前記アドレス生成手段は、1水平期間内において前記読み出し行アドレスに対応する行の画素の読み出しを行うことができる有効期間内に、1の前記読み出し行アドレスに対応して複数の前記シャッタ行アドレスを生成するイメージセンサである。

【0017】

前記アドレス生成手段は、時分割多重方式により、1水平期間内に前記読み出し行および前記読み出し行アドレスに対応する前記シャッタ行アドレスを生成することができる。

【0018】

前記画素アレイが画素のフローティングディフュージョンを共有する画素共有方式の画素アレイであるようにすることができる。

【0019】

前記アドレス生成手段は、1水平期間内に読み出すべき読み出し行アドレスを複数生成し、前記複数の読み出し行アドレスに対応して複数の前記シャッタ行アドレスを生成することができる。

【0020】

前記アドレス生成手段は、1水平期間内に読み出すべき読み出し行アドレスを複数同時に生成し、前記複数の読み出し行アドレスに対応して複数の前記シャッタ行アドレスを同時に生成することができる。

【0023】

本発明の一側面においては、前記画素アレイに配置された画素のうち、1水平期間内に電子シャッタ動作を行うべき画素の行を特定するシャッタ行アドレス、および同一の1水平期間内に画素信号の読み出しを行うべき画素の行を特定する読み出し行アドレスが生成され、前記生成された前記シャッタ行アドレスが記憶され、前記生成された前記読み出し行アドレスが記憶され、前記画素アレイに配置された画素の行のそれぞれに対応する複数のS-Rラッチが、前記1水平期間内に所定のタイミングで供給される1回のリセットパルスによりリセットされ、前記リセットパルスが供給された後、前記アドレス信号が供給されているタイミングに対応して前記1水平期間内に1回または複数回供給されるセットパルスにより前記アドレス信号が保持され、前記シャッタ行アドレスまたは前記読み出し行

10

20

30

40

50

アドレスに基づいて前記S-Rラッチに供給されるアドレス信号であって、前記シャッタ行アドレスまたは前記読み出し行アドレスの画素の行に対応する前記S-Rラッチに供給されるアドレス信号を、前記S-Rラッチが保持することで前記シャッタ行アドレスまたは前記読み出し行アドレスが記憶され、1水平期間内において前記読み出し行アドレスに対応する行の画素の読み出しを行うことができる有効期間内に、1の前記読み出し行アドレスに対応して複数の前記シャッタ行アドレスが生成される。

【発明の効果】

【0024】

本発明によれば、簡単な構成で、良質な画像を得ることができる。

【発明を実施するための最良の形態】

【0025】

以下に本発明の実施の形態を説明するが、本発明の構成要件と、明細書または図面に記載の実施の形態との対応関係を例示すると、次のようになる。この記載は、本発明をサポートする実施の形態が、明細書または図面に記載されていることを確認するためのものである。従って、明細書または図面中には記載されているが、本発明の構成要件に対応する実施の形態として、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その構成要件に対応するものではないことを意味するものではない。逆に、実施の形態が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

【0026】

本発明の一側面のイメージセンサは、所定の行数および列数で画素アレイに配置された複数の画素のそれぞれを特定するアドレスとともに制御信号を供給することで、前記アドレスに対応する画素に対する電子シャッタ動作、または前記アドレスに対応する画素の画素信号の読み出しを行うイメージセンサであって、前記画素アレイに配置された画素のうち、1水平期間内に電子シャッタ動作を行うべき画素の行を特定するシャッタ行アドレス、および同一の1水平期間内に画素信号の読み出しを行うべき画素の行を特定する読み出し行アドレスを生成するアドレス生成手段（例えば、図6の垂直選択デコーダ223）と、前記アドレス生成手段により生成された前記シャッタ行アドレスを記憶する第1の記憶手段（例えば、図6のラッチ回路224）と、前記アドレス生成手段により生成された前記読み出し行アドレスを記憶する第2の記憶手段（例えば、図6のラッチ回路225）とを備え、前記第1の記憶手段および前記第2の記憶手段のそれぞれは、前記画素アレイに配置された画素の行のそれぞれに対応する複数のS-Rラッチであって、前記1水平期間内に所定のタイミングで供給される1回のリセットパルスによりリセットされ、前記リセットパルスが供給された後、前記アドレス信号が供給されているタイミングに対応して前記1水平期間内に1回または複数回供給されるセットパルスにより前記アドレス信号を保持するS-Rラッチにより構成され、前記アドレス生成手段により生成された前記シャッタ行アドレスまたは前記読み出し行アドレスに基づいて前記S-Rラッチに供給されるアドレス信号であって、前記シャッタ行アドレスまたは前記読み出し行アドレスの画素の行に対応する前記S-Rラッチに供給されるアドレス信号を、前記S-Rラッチが保持することで前記シャッタ行アドレスまたは前記読み出し行アドレスが記憶され、前記アドレス生成手段は、1水平期間内において前記読み出し行アドレスに対応する行の画素の読み出しを行うことができる有効期間内に、1の前記読み出し行アドレスに対応して複数の前記シャッタ行アドレスを生成する。

【0027】

このイメージセンサは、前記アドレス生成手段（例えば、図11の回路）は、1水平期間内に読み出すべき読み出し行アドレスを複数同時に生成し、前記複数の読み出し行アドレスに対応して複数の前記シャッタ行アドレスを同時に生成することができる。

【0028】

10

20

30

40

50

以下、図面を参照して、本発明の実施の形態について説明する。

【0029】

CMOS (complementary metal oxide semiconductor) イメージセンサなどの X - Y アドレス型固体撮像素子では、たとえば、画素トランジスタが行列状に多数配列されており、ライン (行) ごとあるいは画素ごとに入射光に対応する信号電荷の蓄積が開始され、その蓄積された信号電荷に基づく電流または電圧の信号がアドレス指定によって各画素から順に読み出される。このように、X - Y アドレス型固体撮像素子では、アドレス指定によって任意の位置の画素から信号を取り出すことができ、画素で得られた信号電荷をシフトレジスタで画素を選択して順番に読み出す CCD (Charge Coupled Device) イメージセンサと異なり、画素の信号を読み出す順番を比較的自由に設定可能であるという特徴を有する。

10

【0030】

例えば、デジタルスチルカメラなどでは、撮像デバイスとして多画素の CMOS 型固体撮像素子を用い、全画素の画素情報を独立に読み出すことによって静止画を得る「全画素読出モード」がよく知られているが、このモードの他に、例えば行や列を数個ずつ飛ばしながら読み出す「間引き読出モード」などの動作ができる。

【0031】

また、CMOS イメージセンサでは、画素で得られた信号電荷の精度を高めるためにシャッタ動作 (電子シャッタ) が行われる。シャッタ動作に伴って、画素に蓄積された電荷が出力されて、一旦はき捨てられる。例えば、上述した「間引き読出モード」により画素を読み出す場合、隣接する画素からの電荷の漏れなどに対する対策として、より複雑なシャッタ動作が必要となる。

20

【0032】

例えば、間引き読み出しモードでは、露光時間を規定するためのシャッタ動作のほかに、画素の信号の読み出しが行われない行 (間引かれた行) の画素に蓄積された電荷のはき捨て動作のために、いわゆるブルーミング対策シャッタが必要となる。

【0033】

図1は、画素の信号の読み出しと、電子シャッタを説明する図である。同図は、例えば、第1行目と第2行目の画素を読み出し、第2行目と第3行目の画素を読み出さない1/2間引き読み出しモードの例を示している。同図の横軸は、時間とされ、縦軸は、画素の行のアドレスとされ、時間の単位は、1H期間 (1回の水平走査期間) とされる。

30

【0034】

図中に白い円で示される位置において画素の信号の読み出しが行われる。例えば、第n行目の画素は、時刻 $t + 2$ (実際には、時刻 $t + 2$ から始まる1H期間) において読み出され、第n + 1行目の画素は、時刻 $t + 3$ において読み出される。

【0035】

図中に2重円で示される位置において露光時間を規定するためのシャッタ動作が行われる。例えば、第n行目の画素は、時刻 $t - 3$ においてシャッタ動作が行われ、第n + 1行目の画素は、時刻 $t - 2$ においてシャッタ動作が行われ、それぞれの画素に蓄積された電荷が一旦はき捨てられる。そして、その後、それぞれの画素に蓄積された電荷が画素の信号として読み出されることになる。

40

【0036】

また、図中に黒い円で示される位置においてブルーミング対策のためのシャッタ動作が行われる。例えば、読み出しが行われない画素であって、第n + 2行目の画素は、時刻 $t - 3$ においてシャッタ動作が行われ、読み出しが行われない画素であって、第n + 3行目の画素は、時刻 $t - 2$ においてシャッタ動作が行われ、それぞれの画素に蓄積された電荷が一旦はき捨てられる。

【0037】

ブルーミング対策シャッタを行わなければ、間引かれた行の画素の電荷のはき捨て動作が発生しないために、フォトダイオードから電荷があふれ、隣接する画素に電荷が漏れ出

50

して混色が発生するなどの問題が起こる。

【0038】

さらに、カメラ動作中に、明るさに応じて電子シャッタによる露光時間をフレーム単位で変化させ、露光量の最適化などの制御も行われる。この場合、露光量が変化した場合には、同一タイミングでの電子シャッタの数が増加することもある。

【0039】

図2は、電子シャッタによる露光時間を変化させた場合の画素の読み出し行と電子シャッタ行の関係を説明する図である。同図は、図1の場合と同様に、横軸が時間とされ、縦軸が画素の行のアドレスとされているが、読み出し行の画素またはシャッタ行の画素の位置の図示が簡素化されて、図中の実線により読み出し行の画素が表されており、図中の破線により電子シャッタ行の画素が表されている。なお、同図の破線は、図1において2重円で示されたシャッタ動作と、黒い円で示されたシャッタ動作の2つのシャッタ動作をまとめて表している。同図において、点線の枠で囲まれた時間においては、同じ時刻に破線が2本、実線が1本存在することになるので、1行の画素を読み出すのと同じ水平走査期間内に、4行の画素に対してシャッタ動作が行われることになる。

10

【0040】

図3は、1行の画素を読み出すのと同じ水平走査期間内に、4行の画素に対してシャッタ動作が行われるようにしたイメージセンサ10の構成例を示すブロック図である。イメージセンサ10は、例えば、CMOSイメージセンサとして構成される。

【0041】

20

同図における画素アレイ21には、垂直方向に所定の行数、水平方向に所定の列数配置された複数の画素により構成される。これらの画素には、それぞれ露光された光を光電変換して電荷を生成し、蓄積するフォトダイオードが設けられており、フォトダイオードには、それぞれMOS型トランジスタスイッチが接続される。MOS型トランジスタスイッチは、供給されるパルス信号に基づいて、それぞれフォトダイオードに蓄積された電荷を増幅して、信号(各画素に対応する画素信号)として出力するようになされている。

【0042】

垂直駆動回路22は、画素アレイ21の所定の1行の画素に対して駆動信号を供給するようになされている。垂直駆動回路22は、画素アレイ21の所定の1行の画素を選択するSEL信号、SEL信号により選択された画素に蓄積された電荷を出力させるTR信号、およびSEL信号により選択された画素をリセットするRST信号を、画素アレイ21の各画素に供給するようになされている。なお、垂直駆動回路22から出力されるSEL信号、TR信号、およびRST信号を供給する信号線は、画素アレイ21の画素の行数と同数だけ設けられており、画素アレイ21の各行の画素にそれぞれ接続されている。

30

【0043】

垂直選択デコーダ23は、センサコントローラ41から供給される制御信号に基づいて、画素アレイ21の各画素のうち、画素の信号を読み出すべき行の画素を特定するアドレス信号を生成して垂直駆動回路22に供給する。

【0044】

垂直選択デコーダ24-1乃至垂直選択デコーダ24-4は、それぞれセンサコントローラ41から供給される制御信号に基づいて、画素アレイ21の各画素のうち、画素のシャッタ動作を行うべき行の画素を特定するアドレス信号を生成して垂直駆動回路22に供給する。

40

【0045】

すなわち、垂直選択デコーダ23により選択された1行の画素を読み出すのと同じ水平走査期間内に、シャッタ動作を行うべき4行の画素のそれぞれが垂直選択デコーダ24-1乃至垂直選択デコーダ24-4により選択されることになる。従って、垂直駆動回路22から、1つの読み出し行に対するSEL信号、TR信号、およびRST信号と、4つの電子シャッタ行に対するSEL信号、TR信号、およびRST信号とが画素アレイ21に供給されることになる。

50

【 0 0 4 6 】

CDS / ADC 3 1 は、フォトダイオードで光電変換された信号電荷が増幅されて出力されたアナログの電気信号を、デジタル信号に変換するコンバータ (ADC(Analog Digital Converter))、入力される電気信号のノイズを除去するとともに、画素を構成する素子それぞれの性能のばらつきに起因する電気信号のばらつきを補正してコンバータに供給する相間 2 重サンプリング (CDS(Correlated Double Sampling)) 回路により構成されている。

【 0 0 4 7 】

水平選択回路 3 2 は、CDS / ADC 3 1 のうちの所定の一行を選択して、インバータ 3 3 にデジタル信号を出力させるようになされている。

【 0 0 4 8 】

センサコントローラ 4 1 は、垂直選択デコーダ 2 3 に供給する読み出しアドレス、および、垂直選択デコーダ 2 4 - 1 乃至垂直選択デコーダ 2 4 - 4 に供給するシャッタアドレスを生成する。また、センサコントローラ 4 1 は、SEL 信号、TR 信号、および RST 信号を、画素制御信号として生成する。さらに、センサコントローラ 4 1 は、CDS/ADC 3 1 を制御する CDS/ADC 制御信号、および水平選択回路 3 2 を制御する水平駆動信号を生成する。

【 0 0 4 9 】

図 3 に示されるように、イメージセンサを構成することで、1 行の画素を読み出すのと同じ水平走査期間内に、4 行の画素に対してシャッタ動作が行われるようにすることが可能となるが、合計 5 つのデコーダが必要になってしまい、回路の規模が増大し、例えば、大きなレイアウト面積が必要となってしまう。

【 0 0 5 0 】

デコーダが選択するアドレス (行) を時分割多重化し、1 つのデコーダで複数の電子シャッタ行、または読み出し行を選択することも可能である。

【 0 0 5 1 】

図 4 は、デコーダが選択するアドレス (行) を時分割多重化し、1 つのデコーダで複数の電子シャッタ行、または読み出し行を選択することが可能なイメージセンサ 1 0 0 の構成例を示すブロック図である。図 4 に示される画素アレイ 1 2 1、および垂直駆動回路 1 2 2 は、それぞれ図 3 の画素アレイ 2 1、および垂直駆動回路 2 2 と同様なので、詳細な説明は省略する。また、図 4 の CDS/ADC 1 3 1 乃至インバータ 1 3 3 は、それぞれ図 3 の CDS/ADC 3 1 乃至インバータ 3 3 と同様なので、詳細な説明は省略する。

【 0 0 5 2 】

図 4 のイメージセンサ 1 0 0 では、垂直選択デコーダ 1 2 3 が、センサコントローラ 1 4 1 から供給される制御信号に基づいて、画素アレイ 1 2 1 の各画素のうち、画素の信号を読み出すべき行の画素を特定するアドレス信号を生成して垂直駆動回路 1 2 2 に供給し、また、センサコントローラ 1 4 1 から供給される制御信号に基づいて、画素アレイ 1 2 1 の各画素のうち、画素のシャッタ動作を行うべき行の画素を特定するアドレス信号を生成して垂直駆動回路 1 2 2 に供給する。すなわち、垂直選択デコーダ 1 2 3 は、1 水平走査期間 (1H 期間) 内に、1 つの読み出し行と、4 つの電子シャッタ行を選択するアドレス信号を、時分割多重化して生成するようになされている。

【 0 0 5 3 】

ラッチ回路 1 2 4 は、センサコントローラ 1 4 1 から供給される制御信号に基づいて、垂直選択デコーダ 1 2 3 から供給されたアドレス信号を保持するようになされている。すなわち、ラッチ回路 1 2 4 は、1H 期間内の読み出し行に対応する 4 つの電子シャッタ行のアドレス信号を保持するようになされている。なお、ラッチ回路 1 2 4 には、画素アレイ 1 2 1 に配置された画素の行数と同じ数の S-R ラッチが設けられている。

【 0 0 5 4 】

図 5 は、図 4 のイメージセンサ 1 0 0 における各信号を説明するタイミングチャートである。

【 0 0 5 5 】

同図における CLK 信号は、イメージセンサ 1 0 0 のクロック信号である。また、H-Sync

10

20

30

40

50

信号は、水平同期信号とされ、例えば、イメージセンサ100における1H期間の同期に用いられる。

【0056】

Address信号は、垂直選択デコーダ123により生成されたアドレス信号とされる。この例では、読み出し行のアドレスR-1を表すAddress信号の後に、電子シャッタ行のアドレスS1乃至アドレスS4を表すAddress信号が生成され、その後、読み出し行のアドレスRを表すAddress信号が生成されている。アドレスS1乃至アドレスS4、およびアドレスRは、全て1H期間内に生成されている。このように垂直選択デコーダ123は、1H期間内に1つの読み出し行のアドレスと、4つの電子シャッタ行のアドレスを生成する。

【0057】

SLSET信号およびSLRST信号は、それぞれラッチ回路124を制御するラッチ制御信号としてセンサコントローラ141が出力する信号とされる。

【0058】

図5の例では、最初にSLRST信号がラッチ回路124に供給される。これにより、ラッチ回路124を構成する複数のS-Rラッチのそれぞれがリセットされる。そして、Address信号が、それぞれ、アドレスS1乃至アドレスS4となる期間において、4つのパルスとしてSLSET信号がラッチ回路124に供給される。これにより、ラッチ回路124を構成する複数のS-RラッチのそれぞれがアドレスS1乃至アドレスS4のそれぞれに対応するAddress信号を保持することになる。また、ラッチ回路124がアドレスS1乃至アドレスS4のそれぞれに対応するAddress信号を保持している間、垂直駆動回路122から、アドレスS1乃至アドレスS4に対応する各行の画素にSEL信号が供給されるようになされている。

【0059】

STR信号は、SEL信号により選択された画素に蓄積された電荷を出力させる信号であって、画素に蓄積された電荷を一旦はき捨てるために出力させる信号である。SEL信号により選択された画素に、STR信号が供給されることによりシャッタ動作がなされることになる。なお、実際には、STR信号とほぼ同じタイミングで画素をリセットするSRST信号も生成されて供給されるようになされている。

【0060】

また、RTR信号、RRST信号、およびRSEL信号は、それぞれ画素の信号を読み出すために、センサコントローラ141が出力する画素制御信号とされる。RSEL信号は、1H期間における有効期間内に、センサコントローラ141が出力する信号とされ、例えば、アドレスRを表すAddress信号が供給されている状態で、RSEL信号とともに、RTR信号が供給された場合、アドレスRに対応する行の画素に蓄積された電荷がそれぞれ出力される。この場合、出力された電荷は、はき捨てられるのではなく、CDS/ADC131乃至インバータ133の処理を経て信号として出力されることになる。これにより、画素の信号の読み出しが行われることになる。また、例えば、アドレスRを表すAddress信号が供給されている状態で、RSEL信号とともに、RRST信号が供給された場合、アドレスRに対応する行の画素がそれぞれリセットされることになる。

【0061】

センサコントローラ141は、アドレスRに対応する行の画素の読み出しを行うことができる期間を有効期間とし、アドレスRに対応する行の画素の読み出しを行うことができない期間をブランキング(BLK)期間としてRSEL信号のパルスを生成する。

【0062】

ところで、間引き読み出しモードには、上述した1/2間引き読み出しモードの他、1/4間引き読み出しモード、1/8間引き読み出しモードなどがあり、このような間引き読み出しモードにおいても、やはりブルーミング対策のためのシャッタ動作が行われるようにする必要がある。1/4間引き読み出しモード、1/8間引き読み出しモードにおいては、1/2間引き読み出しモードの場合と比較して間引かれる行が増えることとなるため、所定の1行の画素を読み出すのと同じ水平走査期間内に、シャッタ動作を行うべき画素の行数も当然増えることになり、例えば、1/4間引き読み出しモードは、1H期間内

10

20

30

40

50

に最大で8つの電子シャッタ行の選択を行う必要があり、1/8間引き読み出しモードは、1H期間内に最大で16の電子シャッタ行の選択を行う必要がある。

【0063】

このように、電子シャッタ行の数が増えた場合、図4のイメージセンサ100において、画像の撮影処理を行うとき、Address信号により表される電子シャッタ選択行のアドレス数が増えることになり、例えば、図5のBLK期間がより長くなることになる。従って、1H期間も長くする必要があり、例えば、1/4間引き読み出しモード、1/8間引き読み出しモードにおいては、図5の場合よりも1H期間のクロック数をより多くしなければならない。

【0064】

1H期間が長くなると、例えば、画像の撮影におけるフレームレートが遅くなる。すなわち、図4の構成の場合、例えば、設定された間引き読み出しモードによっては、高速のフレームレートでの撮影が行えないことがある。

【0065】

そこで、本発明においては、電子シャッタ行の数が増えた場合であっても、BLK期間が長くなることのないようにして、例えば、高速のフレームレートでの撮影が可能となる構成を採用する。

【0066】

図6は、本発明の一実施の形態に係るイメージセンサの構成例を示すブロック図である。同図に示されるイメージセンサ200は、例えば、CMOSイメージセンサとして構成される。

【0067】

同図における画素アレイ221には、垂直方向に所定の行数、水平方向に所定の列数配置された複数の画素により構成される。例えば、画素アレイ221がN行M列の画素で構成されている場合、垂直方向にN個、水平方向にM個の(N×M)個の画素が画素アレイ221に配置されていることになる。これらの画素には、それぞれ露光された光を光電変換して電荷を生成し、蓄積するフォトダイオードが設けられており、フォトダイオードには、それぞれMOS型トランジスタスイッチが接続される。MOS型トランジスタスイッチは、供給されるパルス信号に基づいて、それぞれフォトダイオードに蓄積された電荷を増幅して、信号(各画素に対応する画素信号)として出力するようになされている。

【0068】

垂直駆動回路222は、画素アレイ221の所定の1行の画素に対して駆動信号を供給するようになされている。垂直駆動回路222は、画素アレイ221の所定の1行の画素を選択するSEL信号、SEL信号により選択された画素に蓄積された電荷を出力させるTR信号、およびSEL信号により選択された画素をリセットするRST信号を、画素アレイ221の各画素に供給するようになされている。なお、垂直駆動回路222から出力されるSEL信号、TR信号、およびRST信号を供給する信号線は、画素アレイ221の画素の行数と同数だけ設けられており、画素アレイ221の各行の画素にそれぞれ接続されている。

【0069】

垂直選択デコーダ223は、センサコントローラ241から供給される制御信号(図中の垂直アドレス信号)に基づいて、画素アレイ221の各画素のうち、画素の信号を読み出すべき行の画素を特定するアドレス信号を生成して垂直駆動回路222に供給し、また、センサコントローラ241から供給される制御信号に基づいて、画素アレイ221の各画素のうち、画素のシャッタ動作を行うべき行の画素を特定するアドレス信号を生成して垂直駆動回路222に供給する。すなわち、垂直選択デコーダ223は、1水平走査期間(1H期間)内に、1つの読み出し行と、4つの電子シャッタ行を選択するアドレス信号を、時分割多重化して生成するようになされている。

【0070】

ラッチ回路224は、センサコントローラ241から供給される制御信号に基づいて、垂直選択デコーダ223から供給されたアドレス信号を保持するようになされている。

10

20

30

40

50

ラッチ回路 224 は、1H 期間内の読み出し行に対応する 4 つの電子シャッタ行のアドレス信号を保持するようになされている。なお、ラッチ回路 224 には、画素アレイ 221 に配置された画素の行数と同じ数の S-R ラッチが設けられている。

【0071】

ラッチ回路 225 は、やはりセンサコントローラ 241 から供給される制御信号に基づいて、垂直選択デコーダ 223 から供給されたアドレス信号を保持するようになされている。ラッチ回路 225 は、1H 期間内の読み出し行のアドレス信号を保持するようになされている。なお、ラッチ回路 225 には、やはり画素アレイ 221 に配置された画素の行数と同じ数の S-R ラッチが設けられている。

【0072】

すなわち、イメージセンサ 200 においては、垂直選択デコーダ 223 により選択された 1 行の画素を読み出すのと同じ水平走査期間内に、時分割多重化によってシャッタ動作を行うべき 4 行の画素のそれぞれが、やはり垂直選択デコーダ 223 により選択されることになる。そして、垂直駆動回路 222 から、1 つの読み出し行に対する SEL 信号、TR 信号、および RST 信号と、4 つの電子シャッタ行に対する TR 信号、および RST 信号とが、同じ水平走査期間内に、画素アレイ 221 に供給されることになる。

【0073】

CDS / ADC 231 は、フォトダイオードで光電変換された信号電荷が増幅されて出力されたアナログの電気信号を、デジタル信号に変換するコンバータ (ADC (Analog Digital Converter))、入力される電気信号のノイズを除去するとともに、画素を構成する素子それぞれの性能のばらつきに起因する電気信号のばらつきを補正してコンバータに供給する相間 2 重サンプリング (CDS (Correlated Double Sampling)) 回路により構成されている。

【0074】

水平選択回路 232 は、CDS / ADC 231 のうちの所定の 1 列を選択して、インバータ 233 にデジタル信号を出力させるようになされている。なお、インバータ 233 から出力される信号がイメージセンサ 200 の出力信号となる。

【0075】

センサコントローラ 241 は、垂直選択デコーダ 223 に供給する読み出し行アドレス、およびシャッタ行アドレスを垂直アドレス信号として生成する。また、センサコントローラ 241 は、ラッチ回路 224 およびラッチ回路 225 を制御するラッチ制御信号 (後述する SLSET 信号、SLRST 信号、RLSET 信号、および RLRST 信号) を生成する。

【0076】

さらに、センサコントローラ 241 は、SEL 信号、TR 信号、および RST 信号を、画素制御信号として生成する。また、センサコントローラ 241 は、CDS / ADC 31 を制御する CDS / ADC 制御信号、および水平選択回路 232 を制御する水平駆動信号を生成する。

【0077】

図 7 は、ラッチ回路 224、ラッチ回路 225、および垂直駆動回路 222 の詳細な構成例を示す回路図である。同図は、ラッチ回路 224、ラッチ回路 225、および垂直駆動回路 222 の中で、画素アレイ 221 の 1 行分の画素に対応する部分の構成を示しており、論理回路としての構成例を表している。また、同図に示される TR_i 信号、RST_i 信号、および SEL_i 信号は、画素制御信号である SEL 信号、TR 信号、および RST 信号のうちの、当該行の画素に対応する信号をそれぞれ表している。すなわち、同図において、「i」は、当該行の番号に対応する識別子とされている。

【0078】

なお、同図において、点線で示される領域 260A が図 6 のラッチ回路 224、およびラッチ回路 225 のうちの 1 行分の構成とされ、点線で示される領域 260B が図 6 の垂直駆動回路 222 のうちの 1 行分の構成とされる。従って、図 7 に示される回路と同様の構成の回路が画素アレイ 221 に配置された画素の行数 (すなわち、垂直方向の画素の数) と同じ数だけ、図中縦方向に並列に接続されて図 6 のラッチ回路 224、ラッチ回路 225、および垂直駆動回路 222 が構成されることになる。

10

20

30

40

50

【 0 0 7 9 】

また、同図の回路は論理回路であり、アドレス信号であるADDR_i信号、画素制御信号であるSTR信号、SRST信号、RTR信号、RRST信号、RSEL信号、TR_i信号、RST_i信号、およびSEL_i信号、並びにラッチ制御信号であるSLSET信号、SLRST信号、RLSET信号、およびRLRST信号は、それぞれ「1」または「0」となる論理信号であって、例えば、信号線上の電圧値の変化により形成されるパルスとして供給される。

【 0 0 8 0 】

ADDR_i信号は、垂直選択デコーダ223から供給されたアドレス信号とされる。例えば、垂直選択デコーダ223により当該行が選択された場合、ADDR_i信号は、「1」となる。

10

【 0 0 8 1 】

S-Rラッチ271は、垂直選択デコーダ223により当該行がシャッタ行として選択される場合、垂直選択デコーダ223から供給されたアドレス信号を保持する。S-Rラッチ272は、垂直選択デコーダ223により当該行が読み出し行として選択される場合、垂直選択デコーダ223から供給されたアドレス信号を保持する。S-Rラッチ271とS-Rラッチ272は、それぞれの「S」端子に供給されるANDゲート261とANDゲート262から出力される信号を、「Q」端子において保持して出力するようになされており、「R」端子に供給される信号が「1」となったタイミングで「Q」端子において保持して出力される信号がリセットされるようになされている。

【 0 0 8 2 】

すなわち、ADDR_i信号が「1」であるとき、SLSET信号が「1」となると、ANDゲート261から出力される信号も「1」となり、S-Rラッチ271の「S」端子に供給される信号が「1」となる。そして、S-Rラッチ271は、「R」端子に供給されるSLRST信号が「1」となるまでの間、「Q」端子から出力される信号を「1」とする。

20

【 0 0 8 3 】

同様に、信号ADDR_iが「1」であるとき、RLSET信号が「1」となると、ANDゲート262から出力される信号も「1」となり、S-Rラッチ272の「S」端子に供給される信号が「1」となる。そして、S-Rラッチ272は、「R」端子に供給されるRLRST信号が「1」となるまでの間、「Q」端子から出力される信号を「1」とする。

【 0 0 8 4 】

S-Rラッチ271から出力される信号が「1」であるとき、STR信号が「1」となると、ANDゲート281から出力される信号も「1」となり、ORゲート291から出力されるTR_i信号が「1」となる。これにより、当該行の画素に蓄積された電荷が出力され、シャッタ動作が行われることになる。

30

【 0 0 8 5 】

また、S-Rラッチ271から出力される信号が「1」であるとき、SRST信号が「1」となると、ANDゲート283から出力される信号も「1」となり、ORゲート293から出力されるRST_i信号が「1」となる。これにより、当該行の画素のリセットが行われることになる。

【 0 0 8 6 】

信号ADDR_iが「1」であるとき、RLSET信号が「1」となると、ANDゲート262から出力される信号も「1」となり、S-Rラッチ272の「S」端子に供給される信号が「1」となる。そして、S-Rラッチ272は、「R」端子に供給されるRLRST信号が「1」となるまでの間、「Q」端子から出力される信号を「1」とする。

40

【 0 0 8 7 】

S-Rラッチ272から出力される信号が「1」であるとき、RSEL信号が「1」となると、ANDゲート285から出力されるSEL_i信号は、「1」となる。これにより、当該行の画素が読み出し対象の画素として選択されたことになる。

【 0 0 8 8 】

さらに、S-Rラッチ272から出力される信号が「1」であるとき、RTR信号が「1」と

50

なると、ANDゲート282から出力される信号も「1」となり、ORゲート291から出力されるTRi信号が「1」となる。これにより、当該行の画素に蓄積された電荷が出力され、当該行の画素の信号の読み出しが行われることになる。

【0089】

また、S-Rラッチ272から出力される信号が「1」とあるとき、RRST信号が「1」となると、ANDゲート284から出力される信号も「1」となり、ORゲート292から出力されるRSTi信号が「1」となる。これにより、当該行の画素の信号のリセットが行われることになる。

【0090】

このように、当該行の画素に対して画素制御信号であるSEL信号、TR信号、およびRST信号が「1」となって供給されて、シャッタ動作とリセット、または画素の信号の読み出しとリセットがなされることになる。

10

【0091】

なお、以下、適宜、論理回路の各端子に接続された信号線上の電圧値が論理値「1」に対応するものとなったとき、アドレス信号、画素制御信号、およびラッチ制御信号が、その論理回路に供給されたものとして説明する。

【0092】

図8は、図6のイメージセンサ200における各信号を説明するタイミングチャートである。

【0093】

20

同図におけるCLK信号は、イメージセンサ200のクロック信号である。また、H-Sync信号は、水平同期信号とされ、例えば、イメージセンサ200における1H期間の同期に用いられる。

【0094】

Address信号は、垂直選択デコーダ223により生成されたアドレス信号とされ、上述したADDRi信号に対応する。この例では、読み出し行のアドレスRを表すAddress信号の後に、同じ1H期間内のシャッタ行のアドレスS1乃至アドレスS4を表すAddress信号が生成され、その後、アドレスRの次の1H期間内の読み出し行のアドレスR+1を表すAddress信号が生成されている。さらに、その後、アドレスRの次の1H期間内のシャッタ行のアドレスS1+1、・・・を表すAddress信号が生成されている。アドレスS1乃至アドレスS4、およびアドレスRは、全て1H期間内に生成されている。このように垂直選択デコーダ223は、1H期間内に1つの読み出し行のアドレスと、4つの電子シャッタ行のアドレスを生成する。

30

【0095】

SLSET信号およびSLRST信号、並びにRLSET信号およびRLRST信号は、それぞれラッチ回路224およびラッチ回路225を制御するラッチ制御信号としてセンサコントローラ241が出力する信号とされる。

【0096】

図8の例では、最初にSLRST信号がラッチ回路224に供給される。これにより、ラッチ回路224を構成する複数のS-Rラッチ(図7のS-Rラッチ271)のそれぞれがリセットされる。そして、Address信号が、それぞれ、アドレスS1乃至アドレスS4となる期間において、4つのパルスとしてSLSET信号がラッチ回路224に供給される。これにより、ラッチ回路224を構成する複数のS-RラッチのそれぞれがアドレスS1乃至アドレスS4のそれぞれに対応するAddress信号を保持することになる。

40

【0097】

例えば、図7に示される回路に対応する行がアドレスS1により特定される行であった場合、Address信号がアドレスS1であるタイミングでSLSET信号がラッチ回路224に供給されると、S-Rラッチ271のS端子にパルスが供給されて、S-Rラッチ271のQ端子から出力される信号が「1」となる。このように、ラッチ回路224において、アドレスS1乃至アドレスS4のそれぞれの行に対応する部分のS-Rラッチ271のQ端子から出力

50

される信号が「1」となってアドレスS1乃至アドレスS4のそれぞれに対応するAddress信号が保持されることになる。

【0098】

STR信号は、上述したように画素に蓄積されたシャッタ動作として電荷を出力させる信号である。図7のS-Rラッチ271から出力される信号が「1」とされている状態で、STR信号が「1」とされることにより、その行の画素のシャッタ動作がなされることになる。また、STR信号とほぼ同じタイミングで画素をリセットするSRST信号も生成されて供給される。これにより、その行の画素がリセットされることになる。

【0099】

ここまでの動作は、図5を参照して上述した場合とほぼ同様である。

10

【0100】

図8の例では、SLRST信号がラッチ回路224に供給されるのとほぼ同じタイミングで、RLRST信号がラッチ回路225に供給されている。これにより、ラッチ回路225を構成する複数のS-Rラッチ(図7のS-Rラッチ272)のそれぞれがリセットされる。そして、Address信号が、アドレスR+1となる期間において、パルスとしてRLSET信号がラッチ回路225に供給される。これにより、ラッチ回路225を構成する複数のS-RラッチがアドレスR+1に対応するAddress信号を保持することになる。

【0101】

例えば、図7に示される回路に対応する行がアドレスR+1により特定される行であった場合、Address信号がアドレスR+1であるタイミングでRLSET信号がラッチ回路225に供給されると、S-Rラッチ272のS端子にパルスが供給されて、S-Rラッチ272のQ端子から出力される信号が「1」となる。このように、ラッチ回路225において、アドレスR+1の行に対応する部分のS-Rラッチ272のQ端子から出力される信号が「1」となってアドレスR+1に対応するAddress信号が保持されることになる。

20

【0102】

また、ラッチ回路225がアドレスR+1に対応するAddress信号を保持している間、垂直駆動回路222(図7のANDゲート285)から、アドレスR+1に対応する行の画素にSELi信号が供給されるようになされている。

【0103】

RTR信号、RRST信号、およびRSEL信号は、上述したように、それぞれ画素の信号を読み出すために、センサコントローラ241が出力する画素制御信号とされる。

30

【0104】

RSEL信号は、1H期間における有効期間内に、センサコントローラ241が出力する信号とされ、例えば、アドレスR+1を表すAddress信号が供給されている状態で、RSEL信号とともに、RTR信号が供給された場合、アドレスR+1に対応する行の画素に蓄積された電荷がそれぞれ出力される。この場合、出力された電荷は、はき捨てられるのではなく、CDS/ADC231乃至インバータ233の処理を経て信号として出力されることになる。これにより、画素の信号の読み出しが行われることになる。

【0105】

また、例えば、アドレスR+1を表すAddress信号が供給されている状態で、RSEL信号とともに、RRST信号が供給された場合、アドレスR+1に対応する行の画素がそれぞれリセットされることになる。

40

【0106】

センサコントローラ241は、1行分の画素(例えば、アドレスR+1に対応する行の画素)の読み出しを行うことができる期間を有効期間とし、1行分の画素(例えば、アドレスR+1に対応する行の画素)の読み出しを行うことができない期間をブランキング(BLK)期間としてRSEL信号のパルスを生成する。

【0107】

図8の場合、図5の場合と比較して、BLK期間が短くなっている。すなわち、図6のラッチ回路225(図7のS-Rラッチ272)が設けられていることにより、パルスとしてR

50

LSET信号が供給されてから、パルスとしてRLRST信号が供給されるまでの間、アドレスRを表すAddress信号が保持されるので、パルスとしてRLSET信号が供給された後、垂直選択デコーダ223は、シャッタ行のアドレスS1乃至アドレスS4を、直ちに生成することが可能となる。

【0108】

換言すれば、図8の場合、RSEL信号が「1」とされている期間内(すなわち有効期間内)に、垂直選択デコーダ223がシャッタ行のアドレスS1乃至アドレスS4を生成することが可能となる。

【0109】

これにより、図8の場合、図5の場合と比較して、BLK期間を短くすることが可能となり、その結果、1H期間を長くする必要もなくなる。

10

【0110】

このように、本発明のイメージセンサ200においては、電子シャッタ行の数が増えた場合であっても、BLK期間が長くなることがないようにして、例えば、高速のフレームレートでの撮影が可能となる。

【0111】

ところで、CMOSイメージセンサは、CCDイメージセンサと比較して、画素サイズの縮小が困難とされてきたが、近年、画素共有と称される技術により画素サイズを微細化することが可能となってきている。画素共有方式のイメージセンサでは、例えば、画素を構成するトランジスタの一部であって、各画素に蓄積された電荷を一時的に保持するフローティングディフュージョンが複数の画素で共有される。従って、画素共有では、例えば、複数の画素に蓄積された電荷がフローティングディフュージョンで加算されて、信号として読み出される構成を実現することができる。

20

【0112】

なお、画素共有方式としては、例えば、ペイヤー配列の画素アレイに配列された画素においてRGBの3色のうち、例えば、R,G,R,Gのように、2色の画素をそれぞれ2つずつ含む4つの画素を共有する4画素共有方式が一般的に用いられている。

【0113】

次に、本発明を画素共有方式のイメージセンサに適用した場合の例について説明する。

【0114】

図9は、本発明を画素共有方式のイメージセンサに適用した場合のラッチ回路224、ラッチ回路225、および垂直駆動回路222の詳細な構成例を示す回路図である。同図は、4画素共有の場合の図7に対応する図であり、ラッチ回路224、ラッチ回路225、および垂直駆動回路222の中で、画素アレイ221の第i行乃至第i+3行の4行分の画素に対応する部分の構成を示しており、論理回路としての構成例を表している。

30

【0115】

図9の場合、垂直選択デコーダ223から供給されるアドレス信号であって、ADDRi信号、ADDRi+1信号、ADDRi+2信号、およびADDRi+3信号が、例えば、それぞれほぼ同時に供給されるものとする。

【0116】

S-Rラッチ321-1乃至S-Rラッチ321-4は、それぞれ垂直選択デコーダ223により当該行がシャッタ行として選択される場合、垂直選択デコーダ223から供給されたアドレス信号を保持する。S-Rラッチ322-1乃至S-Rラッチ322-4は、それぞれ垂直選択デコーダ223により当該行が読み出し行として選択される場合、垂直選択デコーダ223から供給されたアドレス信号を保持する。なお、S-Rラッチ321-1乃至S-Rラッチ321-4、およびS-Rラッチ322-1乃至S-Rラッチ322-4を特に区別する必要がない場合、単に、S-Rラッチ321、およびS-Rラッチ322と表すことにする。

40

【0117】

S-Rラッチ321とS-Rラッチ322は、それぞれの「S」端子に供給されるANDゲート261とANDゲート262から出力される信号を、「Q」端子において保持して出力する

50

ようになされており、「R」端子に供給される信号が「1」となったタイミングで「Q」端子において保持して出力される信号がリセットされるようになされている。

【0118】

すなわち、第*i*行目の画素については、ADDR_{*i*}信号が「1」であるとき、SLSET信号が「1」となると、ANDゲート311-1から出力される信号も「1」となり、S-Rラッチ321-1の「S」端子に供給される信号が「1」となる。そして、S-Rラッチ321-1は、「R」端子に供給されるSLRST信号が「1」となるまでの間、「Q」端子から出力される信号を「1」とする。

【0119】

同様に、信号ADDR_{*i*}が「1」であるとき、RLSET信号が「1」となると、ANDゲート312-1から出力される信号も「1」となり、S-Rラッチ322-1の「S」端子に供給される信号が「1」となる。そして、S-Rラッチ322-1は、「R」端子に供給されるRLRST信号が「1」となるまでの間、「Q」端子から出力される信号を「1」とする。

【0120】

第*i*+1行目乃至第*i*+3行目の画素についても同様である。

【0121】

S-Rラッチ321から出力される信号が「1」であるとき、STR信号が「1」となると、ANDゲート331-1乃至ANDゲート331-4から出力される信号も「1」となり、ORゲート341-1乃至ORゲート341-4から出力されるTR_{*i*}信号、TR_{*i*+1}信号、TR_{*i*+2}信号、TR_{*i*+3}信号が、それぞれ「1」となる。これにより、第*i*行目乃至第*i*+3行目の画素に蓄積された電荷が出力され、シャッタ動作が行われることになる。

【0122】

また、S-Rラッチ321から出力される信号が「1」であるとき、ORゲート352から出力される信号は「1」となり、この状態でSRST信号が「1」となると、ANDゲート363から出力される信号も「1」となり、その結果、ORゲート371から出力されるRST信号が「1」となる。これにより、第*i*行目乃至第*i*+3行目の画素のリセットが行われることになる。なお、画素共有方式の場合、RST信号は、共有される複数の画素（今の場合、4画素）に対して1つ信号を供給すればよい。

【0123】

S-Rラッチ322から出力される信号が「1」であるとき、ORゲート351から出力される信号も「1」となり、この状態でRSEL信号が「1」となると、ANDゲート361から出力されるSEL信号は、「1」となる。これにより、第*i*行目乃至第*i*+3行目の画素が読み出し対象の画素として選択されたことになる。なお、画素共有方式の場合、SEL信号は、共有される複数の画素（今の場合、4画素）に対して1つ信号を供給すればよい。

【0124】

さらに、S-Rラッチ322から出力される信号が「1」であるとき、RTR信号が「1」となると、ANDゲート332-1乃至ANDゲート332-4から出力される信号も「1」となり、ORゲート341-1乃至ORゲート341-4から出力されるTR_{*i*}信号、TR_{*i*+1}信号、TR_{*i*+2}信号、TR_{*i*+3}信号が、それぞれ「1」となる。これにより、第*i*行目乃至第*i*+3行目の画素に蓄積された電荷が出力され、第*i*行目乃至第*i*+3行目の画素の信号の読み出しが行われることになる。

【0125】

また、S-Rラッチ322から出力される信号が「1」であるとき、ORゲート351から出力される信号も「1」となり、この状態でRRST信号が「1」となると、ANDゲート362から出力される信号も「1」となり、ORゲート371から出力されるRST信号が「1」となる。これにより、これにより、第*i*行目乃至第*i*+3行目の画素のリセットが行われることになる。

【0126】

ここでは、4画素共有方式の場合を例として説明したが、共有される画素の数は、これに限られるものではない。

10

20

30

40

50

【 0 1 2 7 】

図 1 0 は、図 6 のイメージセンサ 2 0 0 が画素共有方式のイメージセンサである場合において、各信号を説明するタイミングチャートである。なお、ここでは、イメージセンサ 2 0 0 が 4 画素共有方式のイメージセンサであり、1 H 期間内に同色の 2 つの画素の信号を加算して読み出す場合の例について説明する。

【 0 1 2 8 】

同図における CLK 信号および H-Sync 信号は、図 8 と同様なので詳細な説明は省略する。

【 0 1 2 9 】

図 1 0 の場合、Address 信号は、垂直選択デコーダ 2 2 3 により生成されたアドレス信号とされる。この例では、共有される画素のうち、同色（例えば、R）の 2 つの画素の読み出し行のアドレス R1 とアドレス R2 を表す Address 信号の後に、同じ 1 H 期間内のシャッタ行のアドレス S1 乃至アドレス S4 が生成され、その後、次の 1 H 期間内に読み出す同色（例えば、G）の 2 つの画素の読み出し行のアドレス R1+1 とアドレス R2+1 が生成されている。さらに、その後、アドレス R の次の 1 H 期間内のシャッタ行のアドレス S1+1、・・・が生成されている。アドレス S1 乃至アドレス S4、およびアドレス R1 とアドレス R2 は、全て 1 H 期間内に生成されている。

10

【 0 1 3 0 】

このように垂直選択デコーダ 2 2 3 は、1 H 期間内に 2 つの読み出し行のアドレスと、4 つの電子シャッタ行のアドレスを生成する。

【 0 1 3 1 】

SLSET 信号および SLRST 信号、並びに RLSET 信号および RLRST 信号は、それぞれラッチ回路 2 2 4 およびラッチ回路 2 2 5 を制御するラッチ制御信号としてセンサコントローラ 2 4 1 が出力する信号とされる。

20

【 0 1 3 2 】

図 1 0 の例では、最初に SLRST 信号がラッチ回路 2 2 4 に供給される。これにより、ラッチ回路 2 2 4 を構成する複数の S-R ラッチ（図 9 の S-R ラッチ 3 2 1）のそれぞれがリセットされる。そして、Address 信号が、それぞれ、アドレス S1 乃至アドレス S4 となる期間において、4 つのパルスとして SLSET 信号がラッチ回路 2 2 4 に供給される。これにより、ラッチ回路 2 2 4 を構成する複数の S-R ラッチのそれぞれがアドレス S1 乃至アドレス S4 のそれぞれに対応する Address 信号を保持することになる。

30

【 0 1 3 3 】

STR 信号は、上述したように、画素に蓄積された電荷をシャッタ動作として出力させる信号である。図 9 の S-R ラッチ 3 2 1 から出力される信号が「1」である状態で、STR 信号が「1」になると、OR ゲート 3 4 1 - 1 乃至 OR ゲート 3 4 1 - 4 から出力される TR_i 信号、TR_i+1 信号、TR_i+2 信号、および TR_i+3 信号が「1」となり、それらの行の画素のシャッタ動作がなされることになる。また、STR 信号とほぼ同じタイミングで画素をリセットする SRST 信号も生成されて供給される。これにより、それらの行の画素がリセットされることになる。

【 0 1 3 4 】

図 1 0 の例では、SLRST 信号がラッチ回路 2 2 4 に供給されるのとほぼ同じタイミングで、RLRST 信号がラッチ回路 2 2 5 に供給されている。これにより、ラッチ回路 2 2 5 を構成する複数の S-R ラッチ（図 9 の S-R ラッチ 3 2 2）のそれぞれがリセットされる。そして、Address 信号が、アドレス R1+1 となる期間において、パルスとして RLSET 信号がラッチ回路 2 2 5 に供給され、また、Address 信号が、アドレス R2+1 となる期間において、パルスとして RLSET 信号がラッチ回路 2 2 5 に供給される。これにより、ラッチ回路 2 2 5 を構成する複数の S-R ラッチがアドレス R1+1 に対応する Address 信号とアドレス R2+1 に対応する Address 信号を保持することになる。

40

【 0 1 3 5 】

また、ラッチ回路 2 2 5 がアドレス R1+1 に対応する Address 信号とアドレス R2+1 に対応する Address 信号を保持している間、垂直駆動回路 2 2 2（図 7 の AND ゲート 3 6 1）から

50

、アドレスR1+1とアドレスR2+1に対応する行の画素にSEL信号が供給されるようになされている。

【0136】

RTR信号、RRST信号、およびRSEL信号は、上述したように、それぞれ画素の信号を読み出すために、センサコントローラ241が出力する画素制御信号とされる。

【0137】

RSEL信号は、1H期間における有効期間内に、センサコントローラ241が出力する信号とされ、例えば、アドレスR1+1に対応するAddress信号とアドレスR2+1に対応するAddress信号が供給されている状態で、RSEL信号とともに、RTR信号が供給された場合、アドレスR1+1とアドレスR2+1に対応する行の画素に蓄積された電荷がそれぞれ出力される。これにより、画素の信号の読み出しが行われることになる。

10

【0138】

また、例えば、アドレスR1+1に対応するAddress信号とアドレスR2+1に対応するAddress信号が供給されている状態で、RSEL信号とともに、RRST信号が供給された場合、アドレスR1+1とアドレスR2+1に対応する行の画素がそれぞれリセットされることになる。

【0139】

センサコントローラ241は、2行分の画素（例えば、アドレスR1+1とアドレスR2+1に対応する行の画素）の読み出しを行うことができる期間を有効期間とし、2行分の画素（例えば、アドレスR1+1とアドレスR2+1）の読み出しを行うことができない期間をブランキング（BLK）期間としてRSEL信号のパルスを生成する。

20

【0140】

図10の場合も、図8の場合と同様に、BLK期間が短くなっている。すなわち、図6のラッチ回路225（図9のS-Rラッチ322）が設けられていることにより、パルスとしてRLSET信号が供給されてから、パルスとしてRLRST信号が供給されるまでの間、アドレスR1とアドレスR2を表すAddress信号が保持されるので、パルスとしてRLSET信号が供給された後、垂直選択デコーダ223は、シャッタ行のアドレスS1乃至アドレスS4を、直ちに生成することが可能となる。

【0141】

換言すれば、図10の場合も、RSEL信号が「1」とされている期間内（すなわち有効期間内）に、垂直選択デコーダ223がシャッタ行のアドレスS1乃至アドレスS4を生成することが可能となる。

30

【0142】

これにより、図5の場合と比較して、BLK期間を短くすることが可能となり、その結果、1H期間を長くする必要もなくなる。

【0143】

このように、本発明のイメージセンサ200が画素共有方式のイメージセンサの場合でも、本発明を適用することが可能である。その結果、やはり電子シャッタ行の数が増えた場合であっても、BLK期間が長くなることがないようにして、例えば、高速のフレームレートでの撮影が可能となる。

【0144】

ところで、図10においては、1H期間内に、同色（例えば、R）の2つの画素の読み出し行のアドレスR1とアドレスR2を表すAddress信号、およびシャッタ行のアドレスS1乃至アドレスS4が生成されると説明したが、この場合、垂直選択デコーダ223が時分割多重によりアドレスR1とアドレスR2を同じ1H期間内に生成していることになる。

40

【0145】

しかしながら、垂直選択デコーダ223の構成によっては、時分割多重せずにアドレスR1とアドレスR2を同時に生成することも可能である。

【0146】

図11は、時分割多重せずにアドレスR1とアドレスR2の2行分のアドレス信号を同時に生成する場合の垂直選択デコーダ223の詳細な構成例を示す回路図である。同図にお

50

いては、画素アレイ 2 2 1 に配置された画素の所定の行を特定するアドレス信号として、1 1 ビットのアドレス信号が供給されるものとする。

【 0 1 4 7 】

また、ここでは、上述の 1 1 ビットのアドレスを Addr < 0 > 乃至 Addr < 10 > で表すこととする。従って、1 1 ビットのアドレスのうち、例えば、上位 2 ビットは、Addr < 0 >、および Addr < 1 > で表されるものとし、下位 9 ビットは Addr < 2:10 > で表されることとする。また、FDSUM 信号は、この垂直選択デコーダにおいて、2 行分のアドレス信号を同時に生成させる場合に供給される信号とする。

【 0 1 4 8 】

ビット Addr < 0 > は、インバータ 4 1 1 に供給され、ビット Addr < 1 > はインバータ 4 1 2 に供給される。

10

【 0 1 4 9 】

まず、FDSUM 信号が「 0 」の場合について説明する。1 1 ビットのアドレスの上位 2 ビットが「 1 1 」である場合、インバータ 4 1 1 とインバータ 4 1 2 から出力される信号は、それぞれ「 0 」となり、OR ゲート 4 2 1 から出力される信号は「 0 」となり、OR ゲート 4 2 2 から出力される信号は「 1 」となる。この状態では、AND ゲート 4 3 1 から出力される信号が「 1 」となり、AND ゲート 4 3 2 乃至 AND ゲート 4 3 4 から出力される信号は「 0 」となる。

【 0 1 5 0 】

1 1 ビットのアドレスの上位 2 ビットが「 1 0 」である場合、インバータ 4 1 1 から出力される信号は「 0 」となり、インバータ 4 1 2 から出力される信号は「 1 」となり、OR ゲート 4 2 1 から出力される信号は「 0 」となり、OR ゲート 4 2 2 から出力される信号は「 1 」となる。この状態では、AND ゲート 4 3 2 から出力される信号が「 1 」となり、AND ゲート 4 3 1、AND ゲート 4 3 3、および AND ゲート 4 3 4 から出力される信号は「 0 」となる。

20

【 0 1 5 1 】

同様に、1 1 ビットのアドレスの上位 2 ビットが「 0 1 」である場合、AND ゲート 4 3 3 から出力される信号が「 1 」となり、AND ゲート 4 3 1、AND ゲート 4 3 2、および AND ゲート 4 3 4 から出力される信号は「 0 」となる。また、1 1 ビットのアドレスの上位 2 ビットが「 0 0 」である場合、AND ゲート 4 3 4 から出力される信号が「 1 」となり、AND

30

【 0 1 5 2 】

次に、FDSUM 信号が「 1 」の場合について説明する。1 1 ビットのアドレスの上位 2 ビットが「 1 1 」である場合、インバータ 4 1 1 とインバータ 4 1 2 から出力される信号は、それぞれ「 0 」となり、OR ゲート 4 2 1 から出力される信号は「 1 」となり、OR ゲート 4 2 2 から出力される信号は「 1 」となる。この状態では、AND ゲート 4 3 1 と AND ゲート 4 3 3 から出力される信号がそれぞれ「 1 」となり、AND ゲート 4 3 2 と AND ゲート 4 3 4 から出力される信号はそれぞれ「 0 」となる。

【 0 1 5 3 】

1 1 ビットのアドレスの上位 2 ビットが「 1 0 」である場合、インバータ 4 1 1 から出力される信号は「 0 」となり、インバータ 4 1 2 から出力される信号は「 1 」となり、OR ゲート 4 2 1 から出力される信号は「 1 」となり、OR ゲート 4 2 2 から出力される信号は「 1 」となる。この状態では、AND ゲート 4 3 2 と AND ゲート 4 3 4 から出力される信号がそれぞれ「 1 」となり、AND ゲート 4 3 1 と AND ゲート 4 3 3 から出力される信号はそれぞれ「 0 」となる。

40

【 0 1 5 4 】

同様に、1 1 ビットのアドレスの上位 2 ビットが「 0 1 」である場合、AND ゲート 4 3 3 と AND ゲート 4 3 1 から出力される信号がそれぞれ「 1 」となり、AND ゲート 4 3 2 と AND ゲート 4 3 4 から出力される信号は「 0 」となる。また、1 1 ビットのアドレスの上位 2 ビットが「 0 0 」である場合、AND ゲート 4 3 4 と AND ゲート 4 3 2 から出力される信号

50

が「1」となり、ANDゲート431とANDゲート433から出力される信号は「0」となる。

【0155】

ゲート441は、Addr<2:10>に対応する9ビットをゲート451乃至ゲート454に供給するようになされている。

【0156】

ゲート451は、ANDゲート434から出力される信号が「1」である場合、上位2ビットを「00」とし、下位9ビットをAddr<2:10>としてアドレス信号を出力するようになされている。

【0157】

ゲート452は、ANDゲート433から出力される信号が「1」である場合、上位2ビットを「01」とし、下位9ビットをAddr<2:10>としてアドレス信号を出力するようになされている。

【0158】

ゲート453は、ANDゲート432から出力される信号が「1」である場合、上位2ビットを「10」とし、下位9ビットをAddr<2:10>としてアドレス信号を出力するようになされている。

【0159】

ゲート454は、ANDゲート431から出力される信号が「1」である場合、上位2ビットを「11」とし、下位9ビットをAddr<2:10>としてアドレス信号を出力するようになされている。

【0160】

従って、例えば、センサコントローラ241から読み出し行アドレスとして、

「0011111111」

が供給された場合、垂直選択デコーダ223は、

「0011111111」と「1011111111」の2つのアドレス

に対応するアドレス信号を同時に生成することが可能となる。

【0161】

このように、垂直選択デコーダ223を図11に示されるように構成し、FDSUM信号が「1」となるようにすれば、センサコントローラ241が1つの読み出し行アドレスまたは1つのシャッタ行アドレスを生成して垂直選択デコーダ223に供給したとき、垂直選択デコーダ223が2つの読み出し行アドレスまたは2つのシャッタ行アドレスを生成してラッチ回路225に供給することが可能となる。

【0162】

図12は、図6のイメージセンサ200が画素共有方式のイメージセンサであり、かつ垂直選択デコーダ223が図11を参照して上述した構成とされる場合において、各信号を説明するタイミングチャートである。なお、ここでは、イメージセンサ200が4画素共有方式のイメージセンサであり、1H期間内に同色の2つの画素の信号を加算して読み出す場合の例について説明する。

【0163】

同図におけるCLK信号およびH-Sync信号は、図10と同様なので詳細な説明は省略する。

【0164】

図12の場合、図10の場合と異なり、共有される画素のうち、同色（例えば、R）の2つの画素の読み出し行のアドレスR1とアドレスR2を表すAddress1信号とAddress2信号が同時に生成されている。そして、読み出し行のアドレスR1とアドレスR2と同じ1H期間内のシャッタ行のアドレスS1およびアドレスS3がAddress1信号として生成されるのと同時に、シャッタ行のアドレスS2およびアドレスS4がAddress2信号として生成されている。その後、次の1H期間内に読み出す同色（例えば、G）の2つの画素の読み出し行のアドレスR1+1とアドレスR2+1を表すAddress1信号とAddress2信号が同時に生成されてい

10

20

30

40

50

る。さらに、その後、アドレスR1とアドレスR2の次の1H期間内のシャッタ行のアドレスS1+1およびアドレスS3+1がAddress 1 信号として生成され、同時にアドレスS2+1およびアドレスS4+1がAddress 2 信号として生成されている。

【0165】

図12の場合も、アドレスS1乃至アドレスS4、およびアドレスR1とアドレスR2は、全て1H期間内に生成されている。このように垂直選択デコーダ223は、やはり1H期間内に2つの読み出し行のアドレスと、4つの電子シャッタ行のアドレスを生成する。

【0166】

図12の例では、やはり最初にSLRST信号がラッチ回路224に供給される。これにより、ラッチ回路224を構成する複数のS-Rラッチ(図9のS-Rラッチ321)のそれぞれがリセットされる。そして、Address1信号が、それぞれアドレスS1とアドレスS3となる期間(すなわち、Address2信号が、それぞれアドレスS2とアドレスS4となる期間)において、2つのパルスとしてSLSET信号がラッチ回路224に供給される。これにより、ラッチ回路224を構成する複数のS-RラッチのそれぞれがアドレスS1乃至アドレスS4のそれぞれに対応するAddress1信号とAddress2信号を保持することになる。

【0167】

STR信号、およびSRST信号については、図10を参照して上述した場合と同様なので詳細な説明は省略する。

【0168】

また、図12の例では、SLRST信号がラッチ回路224に供給されるのとほぼ同じタイミングで、RLRST信号がラッチ回路225に供給されている。これにより、ラッチ回路225を構成する複数のS-Rラッチ(図9のS-Rラッチ322)のそれぞれがリセットされる。そして、Address1信号が、アドレスR1+1となる期間(すなわち、Address2信号が、アドレスR2+1となる期間)において、パルスとしてRLSET信号がラッチ回路225に供給される。これにより、ラッチ回路225を構成する複数のS-RラッチがアドレスR1+1に対応するAddress1信号とアドレスR2+1に対応するAddress2信号を保持することになる。

【0169】

RTR信号、RRST信号、およびRSEL信号については、図10を参照して上述した場合と同様なので詳細な説明は省略する。

【0170】

図12の場合も、図8の場合と同様に、BLK期間が短くなっているが、図10の場合と比較してBLK期間がさらに短くなっている。すなわち、垂直選択デコーダ223を、図11を参照して上述したように構成することにより、垂直選択デコーダ223から読み出し行アドレスを供給すべき時間を短くすることが可能となる。これにより、図10の場合と比較して、BLK期間をさらに短くすることが可能となる。

【0171】

なお、図7乃至図12を参照して上述した例は、主にANDゲートおよびORゲートを用いて論理演算を行う論理回路の例について説明したが、主にNANDゲートおよびNORゲートを用いて同様の論理演算を行う論理回路を構成することも可能である。例えば、製品に実装されるイメージセンサなどに本発明を適用する場合、図7、図9、および図11に示される論理回路と同様の論理演算を行う論理回路が、主にNANDゲートおよびNORゲートを用いて構成されるようにしてもよい。

【0172】

また、以上においては、1/2間引き読み出しモードの場合を例として説明したが、それ以外の間引き読み出しモードであっても本発明を適用することが可能である。例えば、1/4間引き読み出しモード、1/8間引き読み出しモードなどのように、電子シャッタ行の数がより増えた場合であっても、本発明を適用すれば、やはりBLK期間が長くなることのないようにして、例えば、高速のフレームレートでの撮影を可能にすることができる。

【図面の簡単な説明】

【0173】

10

20

30

40

50

【図 1】画素の信号の読み出しと、電子シャッタを説明する図である。

【図 2】電子シャッタによる露光時間を変化させた場合の画素の読み出し行と電子シャッタ行の関係を説明する図である。

【図 3】1 行の画素を読み出すのと同じ水平走査期間内に、4 行の画素に対してシャッタ動作が行われるようにしたイメージセンサの構成例を示すブロック図である。

【図 4】デコーダが選択するアドレスを時分割多重化した場合のイメージセンサの構成例を示すブロック図である。

【図 5】図 4 のイメージセンサにおける各信号を説明するタイミングチャートである。

【図 6】本発明の一実施の形態に係るイメージセンサの構成例を示すブロック図である。

【図 7】図 6 のラッチ回路および垂直駆動回路の詳細な構成例を示す回路図である。

10

【図 8】図 6 のイメージセンサにおける各信号を説明するタイミングチャートである。

【図 9】本発明を画素共有方式のイメージセンサに適用した場合のラッチ回路および垂直駆動回路の詳細な構成例を示す回路図である。

【図 10】図 6 のイメージセンサが画素共有方式のイメージセンサである場合において、各信号を説明するタイミングチャートである。

【図 11】時分割多重せず 2 行分のアドレス信号を同時に生成する場合の垂直選択デコーダの詳細な構成例を示す回路図である。

【図 12】図 6 のイメージセンサが画素共有方式のイメージセンサであり、かつ垂直選択デコーダが図 11 の構成とされる場合において、各信号を説明するタイミングチャートである。

20

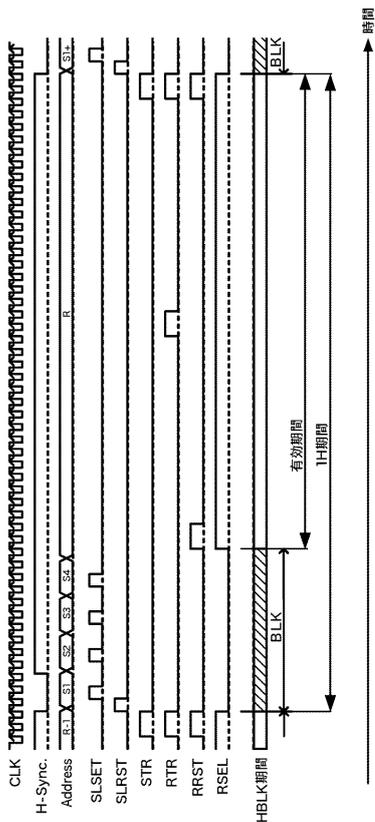
【符号の説明】

【0174】

200 イメージセンサ, 221 画素アレイ 222 垂直駆動回路, 223 垂直選択デコーダ, 224 ラッチ回路, 225 ラッチ回路, 241 センサコントローラ, 271 S-Rラッチ, 272 S-Rラッチ, 281乃至285 ANDゲート, 291 ORゲート, 292 ORゲート, 321 S-Rラッチ, 322 S-Rラッチ, 331-1乃至331-4 ANDゲート, 332-1乃至332-4 ANDゲート, 411 インバータ, 412 インバータ, 421 ORゲート, 422 ORゲート 431乃至434 ANDゲート

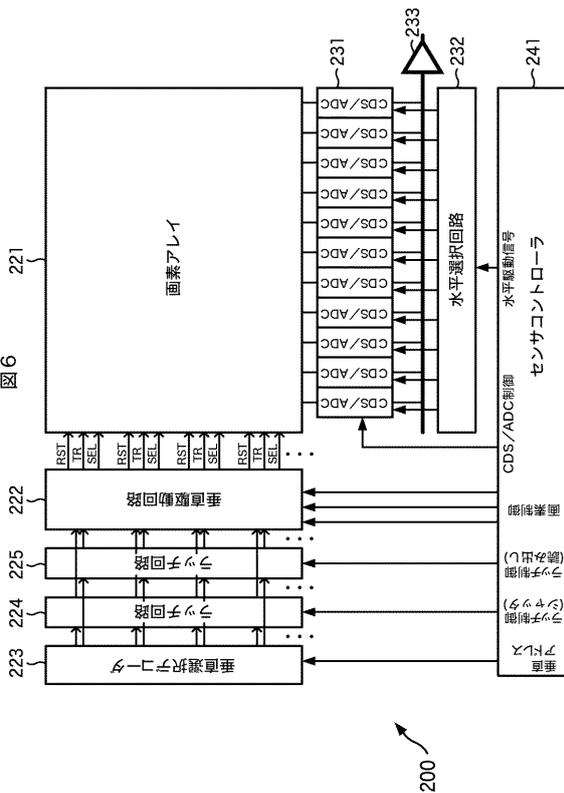
【 図 5 】

図 5



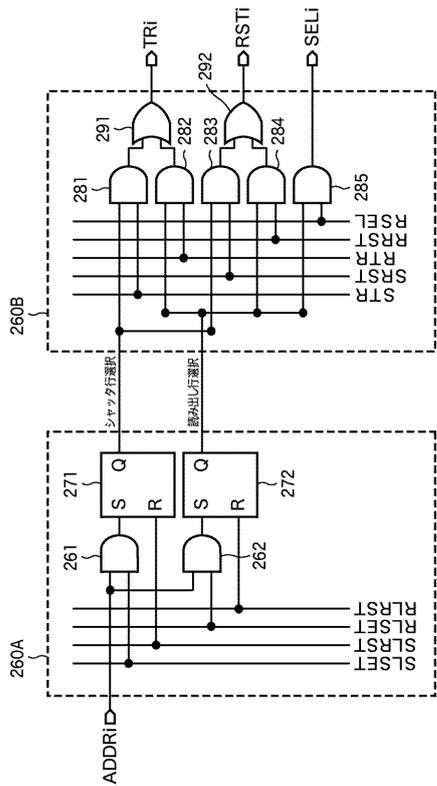
【 図 6 】

図 6



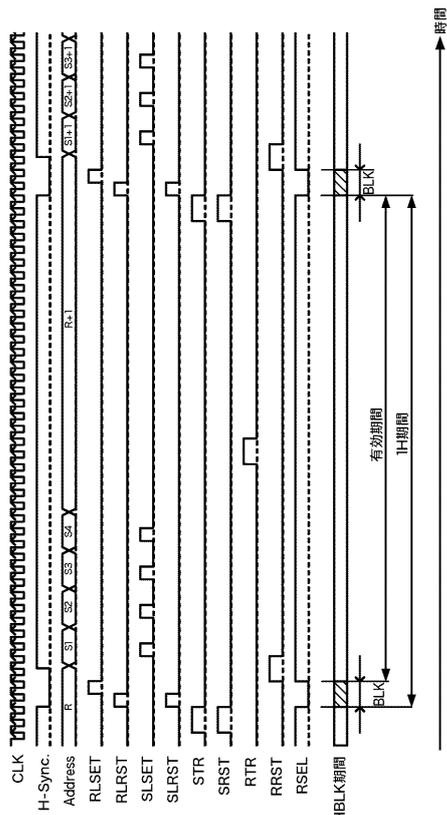
【 図 7 】

図 7



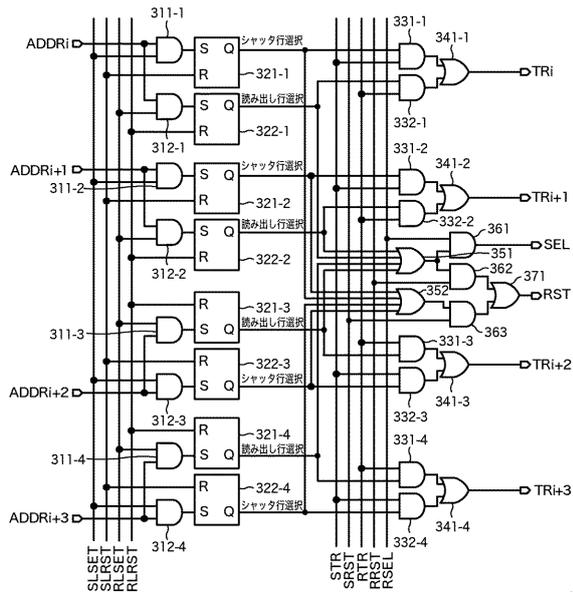
【 図 8 】

図 8



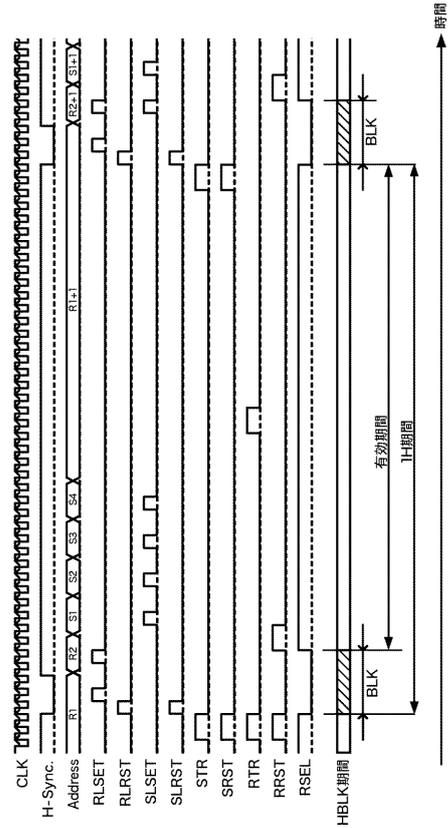
【 図 9 】

図 9



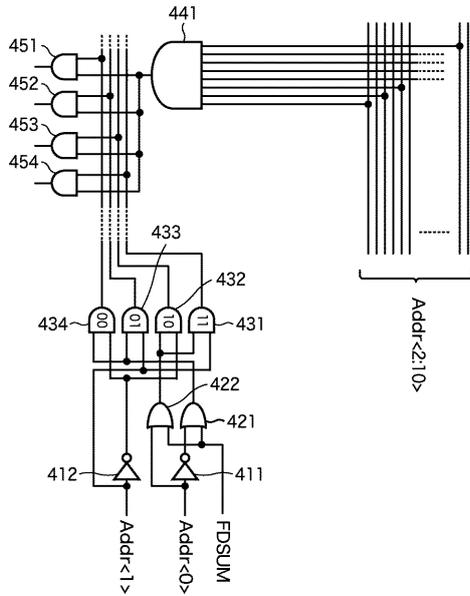
【 図 10 】

図 10



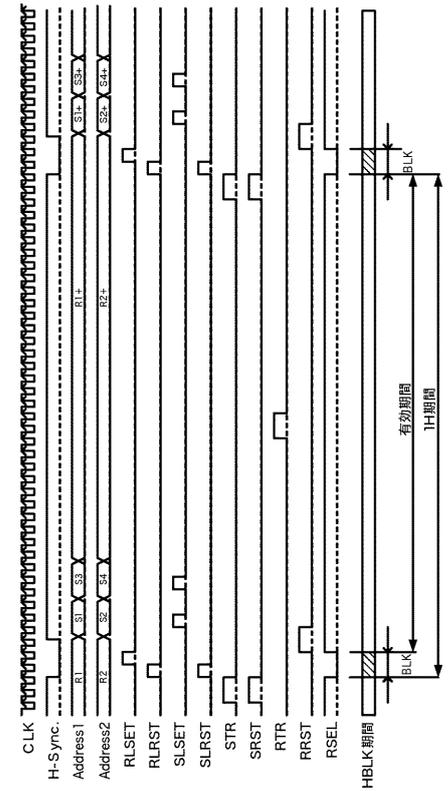
【 図 11 】

図 11



【 図 12 】

図 12



フロントページの続き

- (56)参考文献 特開2004-166269(JP,A)
特開2006-054276(JP,A)
特開平03-276675(JP,A)
特開2004-312472(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H04N 5/222 - 5/257
H01L 21/339
H01L 27/14 - 27/148
H01L 29/762