

公告本

申請日期：91. 6. 10

案號：91112546

類別：H01L 21/265

(以上各欄由本局填註)

發明專利說明書

546713

一、 發明名稱	中文	以離子植入及熱回火法製造佈有矽鍺之矽基板或矽絕緣基板
	英文	RELAXED SiGe LAYERS ON Si OR SILICON-ON-INSULATOR SUBSTRATES BY ION IMPLANTATION AND THERMAL ANNEALING
二、 發明人	姓名 (中文)	1. 斯爾克 H 克里斯提安森 2. 傑克 O 褚 3. 阿弗列得 吉利歐 4. 派翠西亞 M 夢妮
	姓名 (英文)	1. Silke H. Christiansen 2. Jack O. Chu 3. Alfred Grill 4. Patricia M. Mooney
	國籍	1. 德國 2. 美國 3. 以色列 4. 美國
	住、居所	1. 美國10549紐約州克斯寇峰#2C西街244號 2. 美國11040曼哈塞特丘陵薛爾鮑尼巷44號 3. 美國10605紐約州白色平原俯瞰路85號 4. 美國10549紐約州克斯寇峰史坦伍德路18號
三、 申請人	姓名 (名稱) (中文)	1. 國際商業機器股份有限公司
	姓名 (名稱) (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州亞芒克市新奧爾察德路
	代表人 姓名 (中文)	1. 傑羅 羅森梭
代表人 姓名 (英文)	1. Gerald Rosenthal	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

2001/06/12 60/297,496

有

有關微生物已寄存於

寄存日期

寄存號碼

無



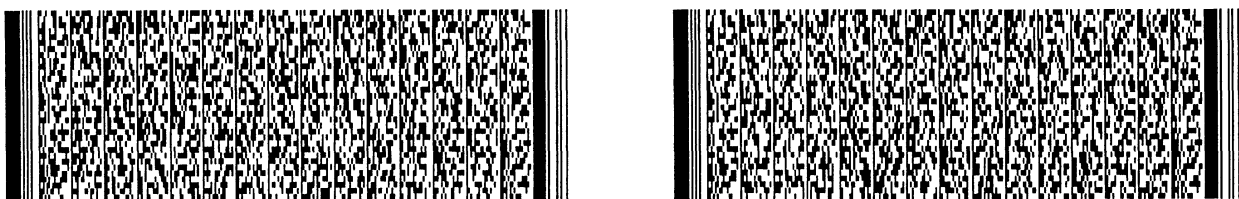
五、發明說明 (1)

發明領域

本發明係有關一種製程，係製造一所謂虛擬基板 (virtual substrate)，和此虛擬基板與其在半導體元件上之用途，諸如調摻場效電晶體 (MODFET)、金氧半導體場效電晶體 (MOSFETs)、應力矽基互補金氧半導體 (CMOS) 元件以及需要完全緩和矽鍺層之其他元件。本發明之虛擬基板係於一晶態層內包含矽和鍺，其在一晶格失配矽晶圓或是在矽絕緣體 (SOI) 晶圓上，採用一矽鍺合金 ($\text{Si}_{1-x}\text{Ge}_x$ alloy) 之主體晶格常數。

發明背景

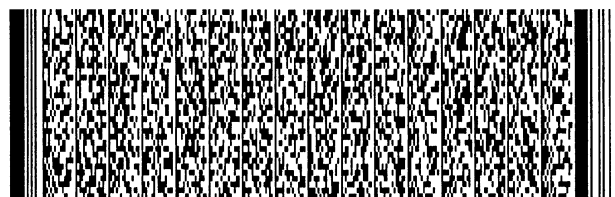
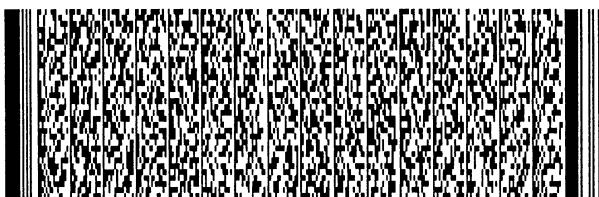
在半導體工業中，此矽/矽鍺合金 ($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$) 異質磊晶材料系統對於未來微電子應用是非常重要的。因為晶格失配異質結構之電子特性，可利用界面處之能帶偏移經修正作為各種應用。此矽/矽鍺合金 ($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$) 系統最普遍的應用係異質接面雙極電晶體 (HBT)，其需沉積一假晶型 (pseudomorphic)，係如以壓縮應力，使得此層之平面晶格參數與矽基板之平面晶格參數相匹配，係為矽基板上方以漸層式組成之矽鍺合金 ($\text{Si}_{1-x}\text{Ge}_x$) 層。金氧半導體場效電晶體 (MOSFET) 和調摻場效電晶體 (MODFET) 需要拉張應力 (tensile strain) 之矽層，以在界面處獲得適當導電帶偏移。並形成一二維電子氣 (2D electron gas) 於量子井內，其導致非常高速電子遷移率 (室溫下比在非應力矽內大了將近 5-10 倍等級)。拉張應力之矽層係藉一應力緩和



五、發明說明 (2)

矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層($x=0.15-0.35$)上之磊晶成長。如P. Mooney, Master. Sci. Eng. R17, 105(1996)與F. Schaeffler, Semiconductor Sci. Tech. 12, 1515(1997)提到, 與矽或矽絕緣體基板接合之應力緩和矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層構成此所謂虛擬基板。要注意的是, 有時矽鍺(SiGe)一詞的使用於此係指矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層。

應力緩和矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層的成長, 其本身即為一項有挑戰性的任務, 係因應力緩和包含不當位錯(misfit dislocation)之成核、傳播與交互作用之控制。不當位錯造成之排線臂(threading arm)係延伸至晶圓表面, 且在任何後續成長之磊晶層內重複發生。這些已知缺點陷對於電子和光電子裝置特性, 有顯著不良的影響。此緩和矽鍺層之晶態品質, 可藉由成長厚度達幾個微米的漸層式組成之緩衝層予以改善。經使用此一技術, 於一緩衝層上方所成長之磊晶層內之晶格錯排密度(threading dislocation(TD) density), 可從在單一均勻組合層之 $10^{10}-10^{11}\text{cm}^2$ 減少至在一漸層式組合緩衝層之 $10^6-5\times 10^7\text{cm}^2$ 。厚矽鍺緩衝層其主要缺點(通常需要厚度13微米, 才可獲得>95%的應力緩和), 係遍及整面晶圓表面上之高TD密度與TDs之非均質分佈。某些區域具有相對低之TD密度及原始個別之TDs。但其他區域包含大量TDs, 係由於位錯增加而引起位錯累積之故(參考如, F. K.



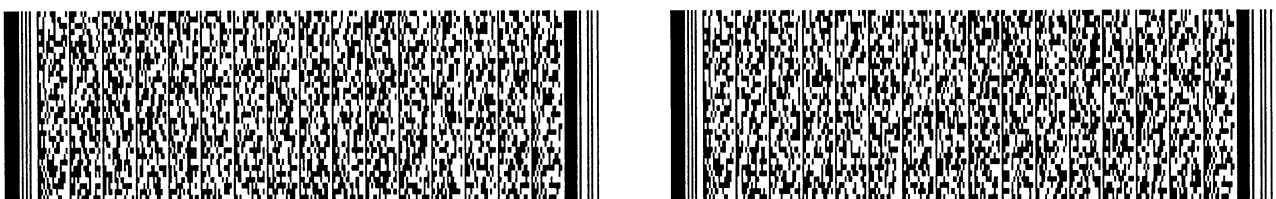
五、發明說明 (3)

Legoues, et al., J. Appl. Phys. 71, 4230 (1992) 及 E. A. Fitzgerald, et al., J. Vac. Sci. and Techn., B10 1807 (1992))。此外，在某些情況下，由於位錯交互作用，成塊(blocking)與偶極(dipole)型態可能發生(參考如E. A. Stach, Phys. Rev. Lett. 84, 947 (2000))。

於上述後者區域，通常具有表面凹陷趨於排成列的現象。因此對許多電子元件而言，這些晶圓區域是無法使用的。由於矽鍺合金一般比矽具有更低許多之導熱性，使得厚的漸層式矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層上之電子裝置亦顯示出自熱效應(selfheating effect)。因此，在厚矽鍺緩衝層上製造之元件不適用於某些應用。另外，從位錯累積得到的厚漸層式矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層具有一平均10nm的表面粗糙度。此表面粗糙度通常使這類緩衝層不適用於元件的製造。例如，直接使用這些層作為晶圓銲接(wafer bonding)是不可能的。為了達到晶圓銲接的目的，係需要一道額外的化學機械研磨(CMP)步驟。

各種策略已經發展以進一步降低了TD密度和表面粗糙度，其包含：

1) 利用450°C所成長之初始低溫(LT)緩衝層和後續於溫度介於750與850°C間成長之層。此習知技藝方式係利用於較高成長溫度下所發生之LT緩衝層內點缺陷的堆聚(agglomeration)。此堆聚物係作為內部界面，位錯可於



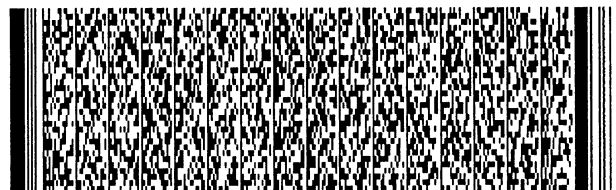
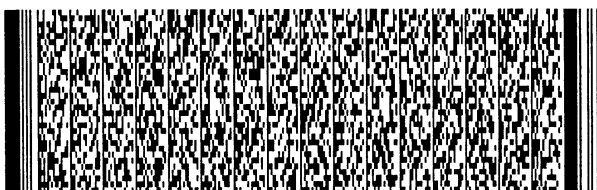
五、發明說明 (4)

其處成核和終止。如此一來，在降低TD密度的同時，緩和之因；不當位錯密度，係維持不變。LT緩衝層只可藉由分子束磊晶(MBE)成長，此習知技術無法使用UHV-CVD來執行。

2) 基板圖案化，例如蝕刻溝槽，以產生小台面(mesa)，一側近似1030微米。此溝槽係做為位錯成核/終止的來源/吸附。當一位錯在一溝槽處終止時，不會有TD形成。然而，在矽/矽鍺界面處出現之不當區段促成應力緩和。此習知技術主要缺點，係在元件定位上缺乏彈性以及可用區域的損耗。此外，不易獲得高程度之緩和(>80%)。

提供虛擬基板之應力緩和矽鍺合金緩衝層的傳統漸變式緩衝層方式，以及降低上述TDs密度之另一替代方法，都無法提供一種解決之道，係充分滿足元件應用上對於材料要求，例如足夠低的TD密度、TD分佈的控制以及可接受的表面平滑度。

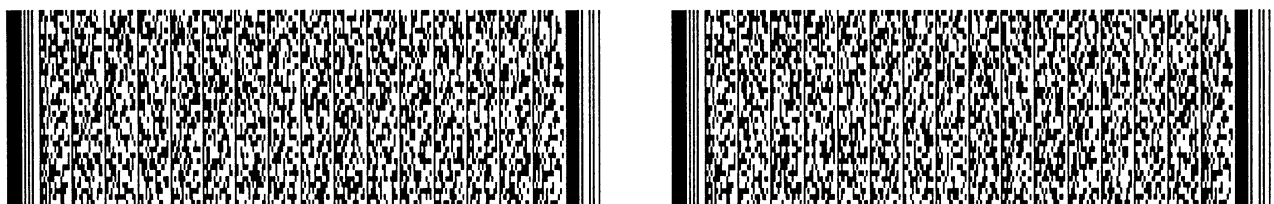
在某些例子中，氮離子植入已被利用來形成緩和矽鍺層。將氮離子植入半導體內，會形成氣泡，且在後續的回火期間氣泡係會排氣與放大(Ostwald熟成)是為人熟知的(參考如H. Trinkaus, et al., Appl. Phys. Lett. 76, 3552 (2000)及D.M. Follstaedt, et al., Appl. Phys. Lett. 69, 2059 (1996))。此氣泡已知的作用，係如去除金屬雜質或改變半導體的電特性。此外，該氣泡亦可作為



五、發明說明 (5)

異質位錯成核的來源。

氣泡與位錯之間的結合能相當大(對半徑10nm的氣泡而言,大約600電子伏特)。並且氬氣泡與位錯的交互作用,大大改變了不當位錯的樣態。其係由很短的(<50nm)不當位錯區段構成,而不是發生於漸層式緩衝層成長之較長的(>1 μm)區段。氬氣泡與位錯的交互作用也大大改變應力矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層的緩和行為。此外,相較於一個未植入的控制樣本,當相同熱處理作用在兩個樣本時,此植入的控制樣本的緩和程度是較大的。為了達到顯著的應力緩和,係需要在矽/矽鍺界面以下約80nm植入 $2 \times 10^{16} \text{cm}^{-2}$ 的氬劑量(M. Luysberg, D. kirch, H. Trinkaus, B. Hollaender, S. Lenk, S. Mantl, H. J. Herzog, T. Hackbarth, P.F. Fichtner, Microcopy on Semiconductor Materials, IOP publishing, Oxford 2001)。儘管此應力緩和機制與發生在漸變式緩衝層的機制有很大的不同,但TD密度依舊不夠大(對於 $\text{Si}_{0.80}\text{Ge}_{0.20}$ 而言,以 $>10^7 \text{cm}^{-2}$ 最佳)。只有在應力緩和幾乎不發生的時候,才得以獲得較低的TD密度。有鑑於以上所提之習知技術在矽基板上以及矽絕緣體基板(SOI)上,製造應力緩和的矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層的缺點。必須提供一種新穎且經改善過之製程,其在矽基板或矽絕緣(SOI)基板上製造具備TD密度降低、不當位錯之均質分佈以及一明顯很低的表面平滑度之應力緩和矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層。



五、發明說明 (6)

發明概述

本發明之一方面係關於一種形成具有低密度的晶格錯排(TD)之一緩和矽鍺($\text{Si}_{1-x}\text{Ge}_x$)層於一單晶態表面上之製程。大體上，此發明製程，係形成一種所謂的虛擬基板，其步驟包含在一基板之單晶態表面上，沈積一層矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)之完全假晶型磊晶層(例如完全無位錯的磊晶層)。將諸如氬之輕元素原子離子植入此基板內，以及在 650°C 以上之溫度，回火此基板。

即使已知植入氬，但申請人提出最佳的製程條件，其係針對在矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面以下，植入氬離子以及隨後之熱回火，以產生不同之緩和機制，其形成一層薄的($<300\text{nm}$)矽鍺層且具有降低之晶格錯排密度(例如，對於 $\text{Si}_{0.15}\text{Ge}_{0.85}$ 而言，為晶格錯排密度 10^4-10^6cm^2)。

成功的元件性能之重要關鍵在於，應力緩和的單晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層盡可能包含極少數主要為晶格錯排(TDs)的缺陷。對於最近發表中所提及之TDs可容忍之上限係 10^6cm^2 。相較於一般目前先進技術所使用之線性或步階式緩衝層，於8吋晶圓上，一般合金組成高達 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 之矽鍺層具有TDs之範圍係介於 1×10^6 到 $5\times 10^7\text{cm}^2$ 之間。使用此發明製程後，可獲得之緩和矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有低於上限之TD密度。



五、發明說明 (7)

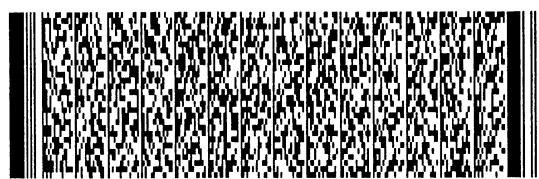
本發明之另一方面係關於一種虛擬基板，其使用此發明製程而形成。更特別地，本發明之虛擬基板包含一基板以及其上之一部分緩和單晶態矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層。其中部分緩和單晶態矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有低於約300nm之厚度、低於 10^6cm^2 之晶格錯排密度以及大於30%的顯著緩和。

在本發明之一些實施例中，此磊晶的矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層包含碳，且碳之濃度約由 1×10^9 至 $2 \times 10^{21}\text{cm}^{-3}$ 。

本發明之更進一方面係關於一種半導體結構，其使用本發明之製程步驟而形成。更特別地，本發明的半導體結構包含一基板、一第一單晶態層於基板上方、一第二高度缺陷單晶態層於第一單晶態層上方，其包含有作為位錯環之來源與吸附之平面缺陷、一第三單晶態層，係具有與第一單晶態層有相同組成物，第三單晶態層包含晶格錯排，係終止於第三與第四層間形成之界面處；以及一第四緩和單晶態層於第三層上方，其具有不同於第三層之晶格常數。

發明詳細說明

本發明係提供一種製造虛擬基板的方法及其結構。此刻參考附有當前應用之圖示而將更詳細描述。



五、發明說明 (8)

首先參考第1A-C圖，係說明製造本發明之虛擬基板所使用的基礎製程步驟。要注意的是，此虛擬基板一詞在此處是為了表示一個結構，其包含有一基板(主體為矽或矽絕緣體)，係具有一緩和單晶態矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層於其上。此緩和單晶態矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有低於約300nm的厚度、低於 10^6cm^{-2} 的晶格錯排密度、以及與此層厚度有關之緩和程度。換言之，此緩和程度於約100nm厚時為30%，於約200nm厚時為80%。

首先，如第1A圖所示，一層薄的、完全假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層6係沉積於基板5之一單晶態表面上方。本發明係利用任何可形成層6於基板5之磊晶成長製程。基板5可由主體為矽(bulk Si)或一種矽絕緣體(SOI)材料構成。SOI材料包含有一內埋絕緣區域係使一上方含矽層與一下方含矽層電性隔離開。在本發明一實施例裡，薄的、完全假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層6的形成，係使用一超高真空化學氣相沈積(UHV-CVD)製程。此矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層的厚度超過其臨界厚度，係針對J. W. Matthews, et al. J. Cryst. Growth 27, 188(1974)首先提出之一業已存在之晶格錯排的滑動所形成之不當位錯。

接著，透過假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層6，將氬離子或其他輕元素植入至矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面7下方



五、發明說明 (9)

之基板5內。儘管此植入離子可以任一深度植入到基板5內，但此植入離子所預計範圍之一較佳值係由大約90nm至約300nm，並且於界面7以下從大約110nm到約200nm更佳。如第1B圖所示，這些植入離子係在基板5內部形成損壞區域9。要注意的是，植入原子實質上集結於基板5內，距單晶態表面下方很遠，以至在此磊晶層內與界面7內包含最小量之植入原子。

最後，如第1C圖所示，此植入基板係在溫度650°C以上回火，使得小板12係在矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面7以下約100到200nm深度處形成。這些小板區域內的高應力(strain)，導致在此小板處之位錯半環(dislocation half loop)11的成核。此半環滑至矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面，此處所形成之長的不當位錯區段係減緩了此矽鍺層內晶格失配應力。此不當位錯區段密度大到足以針對50-300nm薄層，分別減緩了30%-80%晶格失配應力。

本發明製程係在主體為矽或一矽絕緣體基板上，形成一薄(小於300nm)、部分緩和之單晶態矽鍺緩衝層。其具有一極低TD密度，以及高表面平滑度。例如對 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 來說，TD密度為 10^5cm^2 且對 $\text{Si}_{0.8}\text{Ge}_{0.20}$ 來說是小於 10^6cm^2 。相較合金組成物中，一般所使用應力緩和漸層式矽鍺緩衝層係具有12階大小之更高TD密度(至少是在諸如直徑5或8吋



五、發明說明 (10)

之更大晶圓上)、一至少因子為10之更大的表面粗糙度以及層總厚度也同樣至少為10倍大。第2與3圖係表示了此層厚與表面粗糙度之直接比較。

特別地，第2A圖係表示一二次的離子質譜(SIMS)量測曲線，係指出鍺組成物變動與距晶圓表面之距離係成一函數。第2B圖係表示以原子力顯微鏡(AFM)量測之表面粗糙度。第3A-B圖係表示對於一步階式 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 層而言利用相同量測方法的數據。

為了獲得薄(小於300nm)鍺緩衝層內之低TD密度與平滑表面，其重要條件如下：

a) 成長期間，在無應力緩和發生之條件下，形成一薄的(小於300nm)假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層。此一方法，如UHV-CVD為例，其初始的晶圓表面是極乾淨，且成長溫度低(小於550°C)。其他可使用在本發明之合適的成長方式包括分子束磊晶(MBE)、化學束磊晶(CBE)、化學氣相沈積(CVD)、電漿增強化學氣相沈積(PECVD)及離子輔助沈積。此應力矽鍺層為介穩的(metastable)，亦即對於應力緩和而言，此層超過臨界厚度，但於此層成長期間沒有任何缺陷得以成核。

b) 形成一高缺陷層(即損壞區域9)以一劑量從大約 5×10^{15} 到 $15 \times 10^{15} \text{ cm}^2$ 的範圍，經由氬或其他像輕元素之離子植入

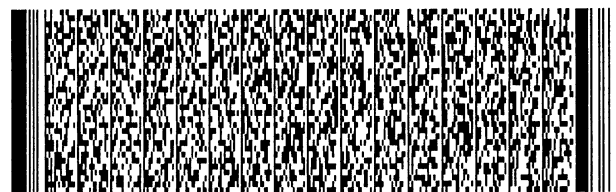
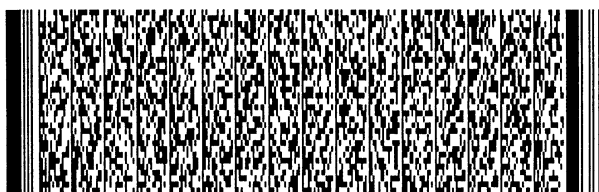


五、發明說明 (11)

矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面以下 $>100\text{nm}$ 之一深度。應力緩和發生在隨後的回火期間(例如,處於約 850°C 大約一小時,或是等效快速熱回火)。

在步驟(a)中具有一理想的假晶型矽鍺層,係為了在最後的結構中達到一個低TD密度的關鍵。經由矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面處平常的位錯成核機制以及在此層成長期間引起位錯累積之相關位錯增加,而避免任何應力緩和之關鍵,係高程度的界面潔淨(interfacial cleanliness)與低的成長溫度。只要沒有任何位錯增加發生,此緩和則只受到在小板成核的個別位錯而決定。然而,如果在矽鍺層成長期間或是在回火期間形成位錯累積,那麼TD密度會更高且表面將是粗糙的。

與一相對大的氮植入深度結合之薄假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層是重要的,係因其不會導致在假晶型層內部,且更重要的是不會在該層基板界面處,形成氮的過分積聚。此積聚之觀察是針對使用習知技術之離子植入條件所事先描述之植入劑量與條件。此氮的積聚引起靠近矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面的氮氣泡。每個氣泡引起至少一TD係由氮引起的氣泡延伸至晶圓表面。相比之下,申請人業已發現離子植入條件係不同於文獻中所記述,以導致應力緩和的條件,其係藉著一完全不同於習知所記述關於氮植入晶圓之氣泡機制,並且也與關於漸層式緩衝層成長之



五、發明說明 (12)

所運作之應力緩和機制不相同。

本發明之新穎且很有效的應力緩和機制，係在平行於矽(001)表面之氬所引起的小板處(不是氣泡)之位錯成核。如第4A圖所示之一平面視野傳送電子顯微照相圖(PVTEM)中，和第4B圖之一橫截面傳送電子顯微照相圖(XTEM)。此小板寬度可為150nm，且在八個可能的 $\langle 110 \rangle$ 方向上射出位錯半環。具準確定向之位錯半環所延伸之界面處係為其沈積一不當區段之處，以及此不當區段在矽鍍層內延伸與減緩應力之所在。此一不當區段的長度可長達幾十個nm，以至實際小板間距可能有點大(比較第4A-B圖)，且仍然導致一高度緩和。TD密度大大減少，係為小板其天性對於位錯成核即扮演有意插入來源之一結果。在漸層式緩衝層內對於位錯成核並沒有任何對來源的密度與分佈的控制。因此，一個位錯的不規則陣列導致在緩和的矽鍍層內非常不對稱的分佈、一個非常粗糙的表面以及高低TD密度的區域。對高植入劑量或低植入深度的例子而言，係加入一氣泡而非一小板型態。這些氣泡型態是欲避免的，因為它們導致更高的TD密度。

第5A-B圖(習知技術)係顯示了使用更高植入劑量而引發的氣泡。當植入物種的預計範圍太靠近矽/矽鍍合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面時，這些氣泡是以更高植入劑量形成於矽/矽鍍合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面處。此存在於或靠近界面的



五、發明說明 (13)

氣泡是由於其應力場而促進位錯半環成核。此半環是從氣泡被推到該層表面、受到如習知在H. Trinkaus, et al., Appl. Phys. Lett. 76, 3552(2000)與M. Luysberg, et al., 關於半導體材料的顯微鏡觀察, IOP發佈, 2001牛津出版, 所解釋的影像影響而吸引、且因此引起一個高TD密度。

因更淺的植入所引起的氣泡一樣也是欲避免的。他們比小板小了許多(只達幾十個nm), 且在一更高許多之密度下形成。因此在第5A-B圖上TEM顯微照相內所示之介於它們之間有一更小許多的平均間距。此高氣泡密度再次導致一高TD密度之矽鍺層, 引起一高密度的位錯成核來源。因此, 此小板型態係為獲得最低TD密度所符合之型態。

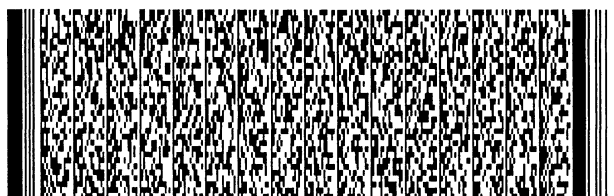
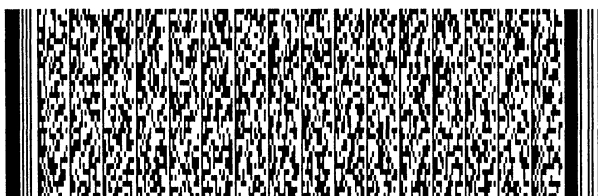
在較高的鍺莫爾分率值($x > 0.25$)下, 由於引起表面粗糙或孤立之較高的晶格失配應力(lattice mismatch strain), 使成長一個完全假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層是困難的。因此, 為了完成具有一較高鍺莫爾分率的緩和緩衝層, 可能必須先以上述提出的方式製造一個 $x < 0.25$ 的緩和矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層。接著成長一個具有高 x 的第二假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)。在上層的矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層以下植入氬, 然後再次回火使上方的矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層緩和下來。此製程可重複幾次, 增加每一相繼層的鍺莫爾分率, 以完成一緩和之鍺層。



五、發明說明 (14)

當植入其他輕元素諸如H(氫)、D(重氫)、B(硼)、或N(氮)，或是當植入一種元素組成物諸如H+B與He+B時，藉由一種類似的小板機制而使得位錯成核的發生。可使用不同的植入能量，以不同深度植入相同的元素。藉由選擇適當的能量，可使不同元素的組成植入相同或是不同的深度。製造一個緩和矽鍺緩衝層的方法也可應用在圖案化的矽或SOI或是應用在全體基板上預選的區域。

令人驚訝地，一薄(大約200nm)假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層之大於70%的應力緩和，是經由具有相對低劑量的氫之離子植入後的一種小板機制(platelet mechanism)，以及隨後的熱回火而發生的。此機制發生於植入的種類(species)的預計範圍是矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面以下大於100nm。由本發明製程製造的薄矽鍺層有很高的品質、具有平滑的表面(RMS粗糙度 $<1\text{nm}$)以及 $<10^6\text{cm}^2$ 的TD密度。此令人意外且有效之應力緩和機制，確實與當植入種類預計範圍是距離界面 $<100\text{nm}$ 時發生的氣泡機制不同(記載於文獻中，如H. Trinkaus等於Appl. Phys. Lett. 76, 3552 (2000)以及M. Luysberg等於Microscopy on Semiconducting Materials, IOP publishing, Oxford 2001)。本發明提供之一種形成應力緩和矽鍺緩衝層之方法，也與目前對於通常作為各種元件用之虛擬基板的漸層式緩衝層是完全不同的。

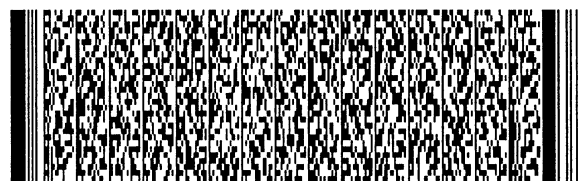
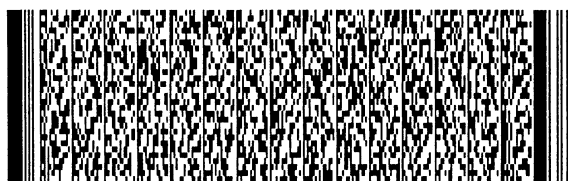


五、發明說明 (15)

藉本發明製程所製造之應力緩和矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層，可係針對廣大種類之矽基元件作為虛擬基板使用。矽基元件包含各種含應力矽CMOS元件與調摻場效電晶體(MODFET)形式之場效電晶體(FET)。這些緩衝層也針對許多不同應用上有關各種超晶格，作為虛擬基板使用。

本發明所揭露之幾種方法，係在一單晶態表面上形成一應力緩和磊晶層。其具有一失配晶格參數(mismatched lattice parameter)，並且半導體結構可形成在這類緩和層上。更具體地，本發明所揭露之方法，係形成一部份應力緩和矽鍺，即矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層。其應用係作為一虛擬基板，針對具有作為元件之主動區域之一應力矽或矽鍺層之各種半導體元件。

按照本發明之一實施例及參考第6圖，一薄、完全假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層40是在一個具有一單晶態表面的基板上磊晶成長。此假晶型層係使用一方法，諸如超高真空化學氣相沈積(UHV-CVD)、分子束磊晶(MBE)、電漿增強化學氣相沈積(PECVD)、離子輔助沈積(ion assisted deposition)或是化學束磊晶(chemical beam epitaxy)，於一乾淨的環境中成長。在其他實施例中，此矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層可包含碳(C)在其中。



五、發明說明 (16)

第6圖內的基板5可為，例如主體為矽或矽絕緣體(SOI)，並且其單晶態表面是從包含矽、矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)、鍺、矽碳化合物($\text{Si}_{1-y}\text{C}_y$)、矽鍺碳合金($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$)之群組所選擇的其中一層，而且其可圖案化或不圖案化。此矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層厚度超過不當位錯形成的臨界厚度。並且由於乾淨的環境及一低成長溫度，使得此矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層於成長期間沒有任何位錯成核(dislocation nucleation)發生。氮接著通過假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層，而植入矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面以下的基板中。此氮離子植入的劑量是在約 4×10^{15} 到約 $4 \times 10^{16} \text{cm}^2$ 的範圍內，且其較佳範圍是從約 7×10^{15} 到約 $12 \times 10^{15} \text{cm}^2$ 。晶圓表面可在植入之前覆上遮罩，以至使氮只植入此晶圓的某些區域內，而不是遍及整個晶圓面積。此預計植入氮的範圍是在界面以下大約100到300nm。

此外，這些植入離子可選自氫、氘、硼、或氮所構成的群組。經植入之晶圓接著在溫度 650°C 以上的一個爐管中，回火至少30分鐘。此回火製程使得似小板之缺陷在第6圖的層20內形成，而層20為最初的單晶態表面層10的一部分。層20內的小板具有從大約20到大約300nm之一厚度，係引起位錯成核。層30亦為最初單晶態表面層10之一部分，係包含穿過與層40相連界面的位錯，而形成不當區段。層40的厚度介於50nm與500nm之間(與合金的成分有關)，較佳為約100nm。此外，層40包含了介於5到35原子



五、發明說明 (17)

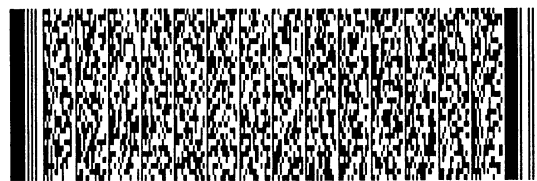
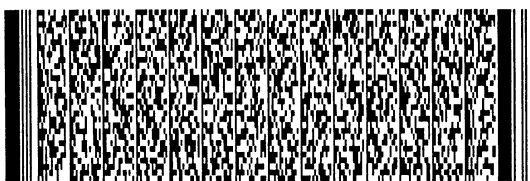
百分比的錯，並且擁有一平滑表面(RMS粗糙度 $<1\text{nm}$)以及低於 10^6cm^2 之一晶格錯排(TD)密度。

在本發明之一第二實施例中，其製程與第一實施例中所描述的製程類似，除了第6圖中矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層40是在第7圖中被一底部 $x=0$ 而在頂部 $0<x<1.0$ 之漸層式合金組成之層41所取代。此漸變層41的成分可為線性(linearly)或步階(stepwise)式變動。

在本發明之一第三實施例中，其製程與首兩個實施例中所描述的相同，除了兩個不同的原子種類被植入距離該矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面相同或不同深度。

在本發明之一第四實施例中，其製程與首兩個實施例中所描述的相同，除了植入相同的原子種類是以距離該矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面兩個不同深度。

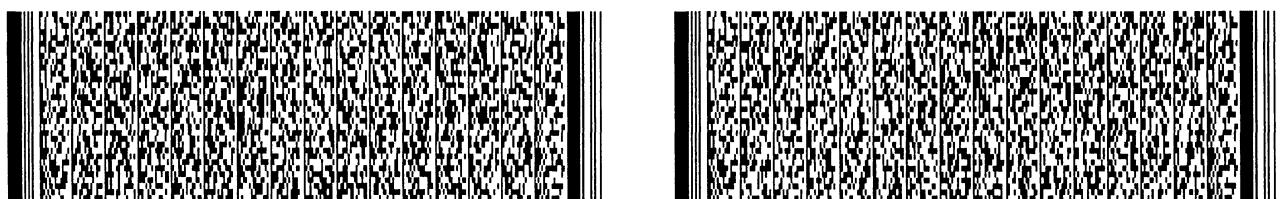
在本發明之一第五實施例中，一層薄的(50-300nm)、其中 y 為0.02之完全假晶型矽碳化合物($\text{Si}_{1-y}\text{C}_y$)層，係於一層具有單晶態表面層的基板上磊晶成長。此基板可為，例如主體為矽或矽絕緣體，具有來自矽、矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)、鍺、矽鍺碳合金($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$)構成的群組之一單晶態表面。一厚50-300nm之完全假晶型晶態矽層接著成長於一矽碳化合物($\text{Si}_{1-y}\text{C}_y$)層上方，然後形成一完全假晶



五、發明說明 (18)

型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層。所有的假晶型層是使用了一種諸如超高真空化學氣相沈積(UHV-CVD)、分子束磊晶(MBE)、電漿增強化學氣相沈積(PECVD)、離子輔助沈積或是化學束磊晶的方法，在一乾淨的環境裡成長。此矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層厚度超過不當位錯形成的臨界厚度，且由於乾淨的環境與一個低成長溫度使此矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層成長期間沒有任何位錯成核發生。此晶圓接著以 750°C 以上的溫度，在一爐管內回火至少30分鐘。於回火期間，於含碳層中所形成之缺陷，係扮演穿過矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面之位錯其成核來源，以及構成減緩矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層內應力之不當位錯。

在本發明之一第六實施例中，其緩和矽鍺緩衝層的製造，係藉由執行在第一和第二實施例中所描述的步驟至少兩次，如在第三和第四實施例中所描述，不是植入一種就是更多原子種類。為了完成 $x > 0.25$ 緩和矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層，此程序可能是必要的。此矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層可能擁有一均勻合金組成或一漸層式合金組成。參考第8圖，層5、10、20與30是與第6圖相同。層42、25與35一同包含了第6圖中的層40(即第一緩和矽鍺層)，且因此全部都擁有相同的鍺含量，其約介於5到35原子百分比的鍺，並且擁有一平滑表面($\text{RMS} < 1\text{nm}$)和低於 10^6cm^2 的一晶格錯排(TD)密度。層25包含大約150nm厚度之第二植入損壞區域，其包含引起位錯成核的小板。層35與層30一樣，所容



五、發明說明 (19)

納之位錯係穿過界面至層45，即為位錯形成不當區段之所在。層45係為第二緩和均勻合成矽鍺層，比較層42、25與35，其擁有更大量之鍺的原子百分比，且厚度介於50nm到500nm之間。

參考第9圖，層43、27與37對應於第7圖中的最初的層41。層41具有在底部 $x=0$ 而頂端則 $0 < x < 1.0$ 的一漸變式合金組成。層46的底部有一相當於層37頂部的組成，且層46的頂部擁有更大的合金組成(高達 $x=1.0$)。此漸變式層46的組成可線性或步階式變動。

第七項實施例係為製造一緩和矽鍺緩衝層之方法上的另一變化。其中一層更高鍺的原子百分比之第二矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層在緩和緩衝層上磊晶成長。而此緩和緩衝層是依首五個實施例中所述之製程之一所形成，接著回火以至應力緩和可能發生。這麼做是為了完成具有合金組成大於0.25的緩和矽鍺層。

參考第10圖，在第6圖中層40的上方磊晶長成之層44，其厚度介於50至500nm之間，且介於100至200nm之間則更佳。並且其具備了大於層40之鍺的原子百分比，如介於15至60%之間，而介於20至40%之間更佳。在第11圖中，於第7圖中之層41上方所長成之層47，其厚度介於50至500nm之間，介於100至200nm之間則更佳。並且其具有一



五、發明說明 (20)

漸變式組成，內含位於底部之銻的原子百分比與層41頂部相同，且在該層頂部則更高(高達 $x=1.0$)。此漸變式層47之組成可以線性或步階式變化。

如之前提及，在一包含有單晶態表面之矽上，針對應力緩和矽銻緩衝層之製作所述方法，可用類似方式應用在單晶態晶格失配表面上，以製造不同材料之應力緩和磊晶層。

藉由上述方式所製造的緩和矽銻合金緩衝層，可用來製造矽銻絕緣體基板，作為利用晶圓壓焊與層轉換方式之積體電路。對於至少具有一種半導體元件的各種積體電路，這些緩和矽銻緩衝層也可作為虛擬基板使用。

藉由上述方法所獲得的結構可進一步擴展，以製造更複雜的元件結構。在第12-17圖中所示之元件層結構是藉著在第6-11圖中的結構，成長額外的磊晶層而製造。在第12圖中，層400係一矽銻層，其具有與層40相同的銻的原子百分比，其厚度介於100nm與1000nm之間，且較佳為介於300nm與500nm之間，並且TD密度不會高於層40的TD密度。層50是具有一厚度介於50到350nm之間，且較佳為約200nm之完全假晶型應力矽層。

在第13圖中，層410係一矽銻層，其具有與層41上方



五、發明說明 (21)

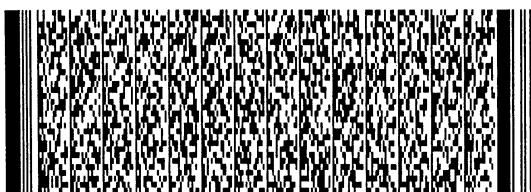
相同的銻的原子百分比。層410厚度介於100nm到1000nm之間，較佳為介於300nm到500nm之間，而且其TD密度不比層41的TD密度高。層50係一完全假晶型應力矽層，其厚度約介於50到350nm之間，較佳約為200nm更好。

在第14圖中，層450為一矽銻層，其具有與層45相同的銻的原子百分比。層450的厚度是介於100nm到1000nm之間，介於300nm到500nm之間更好，而且該TD密度不比層45的TD密度高。層50是一完全假晶型應力矽層，其厚度介於50到350nm之間，較佳約為200nm。

在第15圖中，層460為一具有與層46上方相同的銻的原子百分比的矽銻層。層460的厚度是介於100nm到1000nm之間，介於300nm到500nm之間更好，而且其TD密度不比層46的TD密度高。層50是一完全假晶型應力矽層，其厚度介於50到350nm之間，大約200nm更好。

在第16圖中，層440為一具有與層44上方相同的銻的原子百分比的矽銻層。層440的厚度是介於100nm到1000nm之間，介於300nm到500nm之間更好，而且其TD密度不比層44的TD密度高。層50是一完全假晶型應力矽層，其厚度介於50到350nm之間，大約200nm更好。

在第17圖中，層470為一個具有與層47上方相同的銻



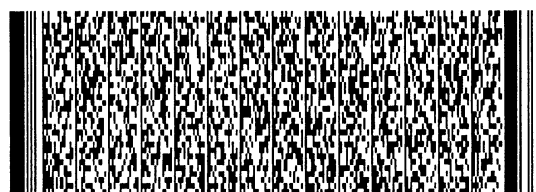
五、發明說明 (22)

的原子百分比的矽鍺層。層470的厚度是介於100nm到1000nm之間，介於300nm到500nm之間更好，而且其TD密度不比層47的TD密度高。層50是一完全假晶型應力矽層，其厚度介於50到350nm之間，大約200nm更好。

以上與第12-17圖中所述之結構，可用來製造半導體元件。半導體元件之一實施例係指由至少諸如第18圖中所示之場效電晶體(FET)所構成之一種積體電路。第18圖中所示之場效電晶體(FET)是經由第12圖之層結構所製造。在第18圖中，源極接點為100，汲極接點為101，閘極介電層為102，閘極接點為103以及側壁為104。第18圖的元件結構也可建立在第13、14、15、16和17圖之層結構上，其中層400會分別被層410、450、460、440或470所取代。

第19和20圖中所示之調摻場效電晶體(MODFET)層結構，也可在第12-17圖的層結構上磊晶成長。第19圖的結構是經由第12圖之結構而製造。此結構包含與層40和400相同組成之一矽鍺層120、除此之外作為層120之類似組成的一個n+摻雜矽鍺層121、以及一假晶型應力矽罩層(pseudomorphic strained Si cap layer)51。此相同的層結構可在第13、14、15、16和17圖之結構上成長，其中層400會分別被層410、450、460、440或470所取代。

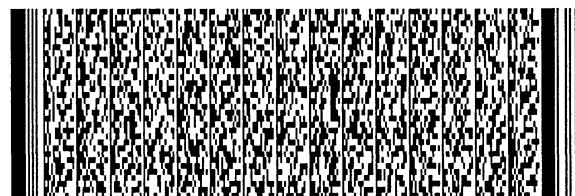
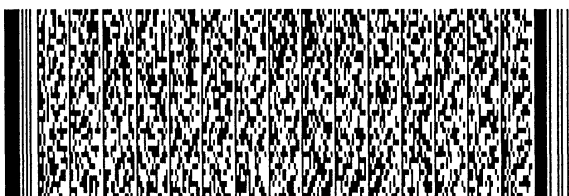
此外，第20圖內的MODFET層結構可在無應力矽層50之



五、發明說明 (23)

第12圖的結構上磊晶成長。此結構包含除此之外與層40和400有相同組成的一個p+摻雜矽鍺層60、具有一鍺含量實質上高過層40和400內的一個假晶型壓縮應力矽鍺層130、與層40相同組成的一個矽鍺層135、以及一個假晶型應力矽罩51。相同的層結構也可建立在第13、14、15、16和17的結構上，(亦即其無應力矽層50)，其中層400會分別被層410、450、460、440或470所取代。

第21圖中係說明了由至少一種半導體元件，諸如MODFET所構成的一種積體電路之另一實施例。在第21圖所示之元件建立在第19圖之層結構上。第21圖中，層540包含了如第19圖中所述之層400以上的所有層。此MODFET包含源極接點142、汲極接點144、和T閘極150。此外，此MODFET亦可在第20圖之層結構上製造。如此，第21圖內層540包含了如第20圖中所述層400以上之所有層。應力緩和矽鍺緩衝層也可用在其他各種應用上。一些其他應用如熱電冷卻裝置，需要一個可在第12圖內所示之層結構上磊晶成長成之超晶格結構，但不含應力矽層50，如第22圖所示。層400則是非必要的。此超晶格結構是由皆為假晶型應力磊晶層之層550與560交替而重複所構成，其中層550的組成與層560並不相同。在一特殊狀況下，此交替層為 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 與 $\text{Si}_{1-z-w}\text{Ge}_z\text{C}_w$ ，其中x和y分別與z和w不同，且x和y可等於0。此所述之超晶格結構可隨意建立在第13、14、15、16或17圖之結構上，亦其不含應力矽罩層50。此



五、發明說明 (24)

處層400將分別被層410、450、460、440或470所取代。此所述之超晶格結構可隨意建立在第13、14、15、16或17圖之結構上，亦不含該應力矽罩層50，且各自不含層410、450、460、440或470。

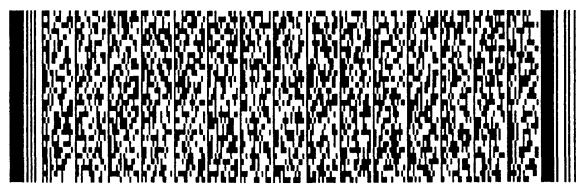
下述範例係供以說明此發明製程用來製造一虛擬基板，即在一矽或SOI基板上方形形成之一薄緩和磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層，和作為一電子結構組件之虛擬基板之用途。

範例1

在此範例中，一虛擬基板的製造係藉由在一個主體為矽基板上，沈積一層100nm厚的假晶型矽鍺合金($\text{Si}_{0.85}\text{Ge}_{0.15}$)層。接著此合成結構是以大約 $1 \times 10^{16} \text{ cm}^2$ 劑量的氬，使用大約21K電子伏特(eV)的植入能量植入。隨後此結構之回火是在約850°C，進行大約一小時。回火以後HRXRD量測顯示減輕了41%的晶格失配應力。此樣品具有一個大約0.29nm的RMS表面粗糙度，且大約 $1 \times 10^5 \text{ cm}^2$ 的蝕刻凹陷(etch pit)(TD)密度。

範例2

本發明製程的第二實施範例，亦是根據第6圖的結構而進行。其如離子植入以前由HRXRD所測得的，層5和10皆為一主體為矽基板，且層40為一個100nm厚的假晶型矽鍺



五、發明說明 (25)

合金($\text{Si}_{0.85}\text{Ge}_{0.15}$)層。氦離子(He^+)的植入劑量大約 $1 \times 10^{16} \text{ cm}^2$ ，使用大約21k 電子伏特的植入能量。此晶圓隨後在約850 °C，回火大約30分鐘。此矽鍺層則大約有38%緩和。

範例3

本發明製程的第三實施範例，亦是根據第6圖的結構而進行。其如離子植入以前由HRXRD所測得的，層5和10皆為一主體為矽基板，且層40為一個188nm厚的矽鍺合金($\text{Si}_{0.79}\text{Ge}_{0.21}$)假晶型層。氦離子(He^+)的植入劑量大約 $0.8 \times 10^{16} \text{ cm}^2$ ，使用大約31k 電子伏特的植入能量。此晶圓隨後在約850 °C，回火大約1小時。此矽鍺層則大約有69%緩和。其RMS表面粗糙度大約0.47nm，且蝕刻凹陷(TD)密度大約 $2.7 \times 10^5 \text{ cm}^2$ 。

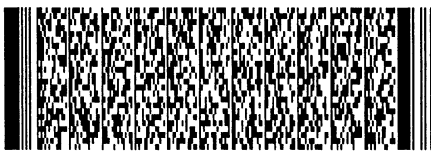
範例4

本此發明製程的第四實施範例，亦是根據第6圖的結構而進行。其中如離子植入以前由HRXRD所測得的，層5和10皆為一主體為矽基板，且層40為一個188nm厚的假晶型矽鍺合金($\text{Si}_{0.79}\text{Ge}_{0.21}$)層。氦離子(He^+)的植入劑量大約 $1.2 \times 10^{16} \text{ cm}^2$ ，使用大約31k 電子伏特的植入能量。此晶圓隨後在約850 °C，回火大約1小時。此矽鍺層則大約有68%緩和。其RMS表面粗糙度大約0.48nm，且蝕刻凹陷(TD)密度大約 $0.9 \times 10^5 \text{ cm}^2$ 。



五、發明說明 (26)

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。



圖式簡單說明

第1A-C圖係(透過橫截面圖)顯示本發明中所利用之基礎製程步驟,係在一矽基板或矽絕緣體(SOI)晶圓上,形成一薄且完全緩和矽鍍緩衝層,如虛擬基板。

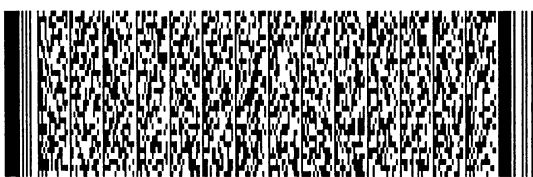
第2A圖針對一主體為矽之基板上所成長之一緩和離子植入之 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 緩衝層,說明鍍的莫爾分率對應距晶圓表面之距離之二次離子質譜(SIMS)量測。

第2B圖係一原子力顯微照相圖(10m x 10m),顯示了一主體為矽之基板上之一緩和離子植入的 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 緩衝層之表面上之模糊的交叉線圖案。整個影像的Z範圍大約3nm。均方根(RMS)之粗糙度約0.28nm。層厚約100nm;氬植入劑量為 $8\text{E}15\text{cm}^{-2}$;且在 850°C 下回火一小時。

第3A圖(習知技術)係針對一主體為矽之基板上所成長之一步階式緩和 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 層,顯示鍍的莫爾分率對應距晶圓表面之距離之SIMS量測。

第3B圖(習知技術)係一原子力顯微照相圖(20m x 20m),顯示了步階式緩和 $\text{Si}_{0.85}\text{Ge}_{0.15}$ 層上之明顯的交叉線圖案。整個影像的Z範圍大約40nm。其均方根(RMS)粗糙度約6nm。

第4A圖係一緩和離子植入緩衝層之一平面視角穿透式



圖式簡單說明

電子顯微鏡(TEM)顯微照相圖(微弱電子束(g_{400}), 雙電子束狀態)。白色圓形結構是由存在於矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面下方的小板(platelets)造成。沿著 $\langle 110 \rangle$ 方向之正交白線指出存在於, 或是靠近該矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面處之 60° 不當位錯。氮植入; 層厚約100nm; 植入劑量 $10E15\text{cm}^2$; 以及 850°C 下回火1小時。

第4B圖係一離子植入緩衝層之一橫截面穿透式電子顯微鏡(TEM)顯微照相圖(微弱電子束, 雙電子束狀態)。在暗域條件下位錯與氮所引發的小板(大約100-150nm寬, 以及與前者等級之間距)露出光亮。

第5A圖(習知技術)係以很高植入劑量($2E16\text{cm}^2$)所製造的一離子植入緩衝層, 其平面視角穿透式電子顯微鏡(TEM)顯微照相圖(微弱電子束, 雙電子束狀態)。在暗域環境中位錯與氮所引起的氣泡(直徑大約20-30nm)露出光亮。

第5B圖係內含很高的植入劑量之離子植入緩衝層, 其代表性穿透式電子顯微鏡(TEM)顯微照相圖(微弱電子束, 雙電子束狀態)。在暗域環境中位錯與氮所引起的氣泡露出光亮。

第6圖係本發明之一結構之橫截面圖, 其包含由本發



圖式簡單說明

明製程所製造的緩和緩衝層。

第7圖係第6圖結構之橫截面示意圖，係取代第6圖原來的均勻合成層40，而含有一任選之漸層式組成矽鍺層41。

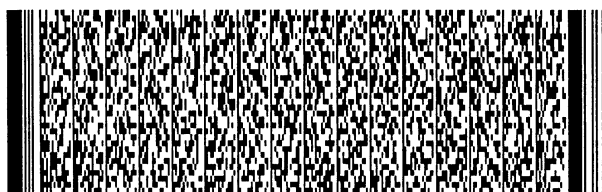
第8圖係顯示本發明之一結構之橫截面圖，係包含經執行本發明之三步驟的程序兩次所製造的緩和緩衝層。

第9圖係第8圖結構之橫截面示意圖，除了矽鍺層43、27和37(原來第7圖中的層41)以及層46都具有一漸層式合金組成。

第10圖係第6圖之橫截面示意圖，其中額外的一單晶態均勻組成矽鍺層44係磊晶成長於層40上，且具有更大的鍺原子百分比。

第11圖係於第7圖之橫截面示意圖，其中額外的一單晶態均勻組成矽鍺層47係磊晶成長於層41上方，且具有更大的鍺原子百分比。

第12圖係第6圖之橫截面示意圖，其中額外的一單晶態均勻組成矽鍺層400與層40相同組成，係單質磊晶地沈積於層40上，以及一應力矽層係沈積在層400的頂端上。



圖式簡單說明

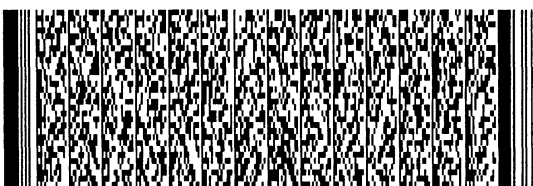
第13圖係第7圖之橫截面示意圖，其中額外的一單晶態均勻組成矽鍺層410與層41頂端之相同組成，係單質磊晶地沈積於層41上。一應力矽罩層係沈積於層410上。

第14圖係第8圖之橫截面示意圖，其中額外的一單晶態均勻組成矽鍺層450與層45具相同組成，係單質磊晶地沈積於層45上。額外的應力緩和可能於此層成長期間出現。一應力矽罩層50係於層450上沈積。

第15圖係第9圖之一橫截面示意圖，其中額外的一單晶態均勻組成矽鍺層460與層46上方區域的相同組成，係單質磊晶地沈積於層46上。一應力矽罩層50係沈積於層460上方。

第16圖係第10圖之橫截面示意圖，其中額外的一單晶態均勻組成矽鍺層440與層44類似組成，係單質磊晶地沈積於層44上。一應力矽罩層50係沈積於層440上。

第17圖係第11圖之橫截面示意圖，其中額外的一單晶態均勻組成矽鍺層470與層47上方區域的相同組成，係單質磊晶地沈積於層47上。一應力矽罩層50係沈積於層470上方。



圖式簡單說明

第18圖係第12圖之橫截面示意圖，係在其結構上製造一個場效電晶體(FET)。此場效電晶體(FET)包含源極接點100、汲極接點101、閘極氧化層102、閘極接點103以及閘極絕緣側壁104。

第19圖係於第12圖之結構上所沉積之n型調摻場效電晶體(MODFET)層結構的橫截面示意圖。

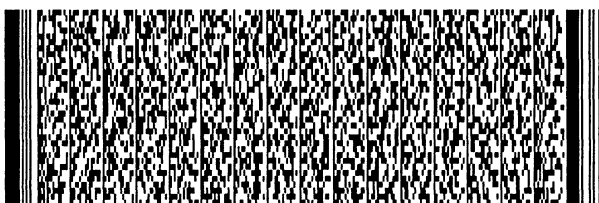
第20圖係於第12圖之結構上所沉積之p型調摻場效電晶體(MODFET)層結構的橫截面示意圖。

第21圖係一結構之橫截面示意圖，其中一調摻場效電晶體(MODFET)元件係製造在第19或20圖之結構上。

第22圖為一結構之橫截面示意圖，其包含有一超晶格，係不含應力矽單層50，且由沈積於第12圖結構上方之交替層550與560所構成。

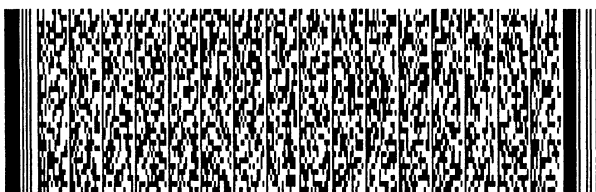
圖式元件符號說明

- 5 基板
- 6 完全假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層
- 7 矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面
- 9 損壞區域
- 10 最初單晶態表面層



圖式簡單說明

- | | | | |
|-----|--|-----|------------|
| 11 | 位錯半環 | | |
| 12 | 小板 | | |
| 20 | 最初的單晶態表面層10的一部分 | | |
| 25 | 層包含第二植入損壞區域 | | |
| 27 | 矽鍺層 | | |
| 30 | 最初的單晶態表面層10的一部分 | | |
| 35 | 矽鍺層 | | |
| 37 | 矽鍺層 | | |
| 40 | 完全假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層 | | |
| 41 | 漸層式合金組成層 | 42 | 矽鍺層 |
| 43 | 矽鍺層 | 44 | 單晶態均勻組成矽鍺層 |
| 45 | 單晶態均勻組成矽鍺層 | 46 | 矽鍺層 |
| 47 | 矽鍺層 | 50 | 完全假晶型應力矽層 |
| 51 | 假晶型應力矽單層 | 60 | p+ 摻雜矽鍺層 |
| 100 | 源極接點 | 101 | 汲極接點 |
| 102 | 閘極介電層 | 103 | 閘極接點 |
| 104 | 側壁 | 120 | 矽鍺層 |
| 121 | n+ 摻雜矽鍺層 | 130 | 假晶型壓縮應力矽鍺層 |
| 135 | 矽鍺層 | 142 | 源極接點 |
| 144 | 汲極接點 | 150 | T 閘極 |
| 400 | 矽鍺層 | 410 | 矽鍺層 |
| 440 | 單晶態均勻組成矽鍺層 | 450 | 單晶態均勻組成矽鍺層 |
| 460 | 矽鍺層 | 470 | 矽鍺層 |
| 540 | 層400以上的所有層 | 550 | 假晶型應力磊晶層 |



圖式簡單說明

560 假晶型應力磊晶層

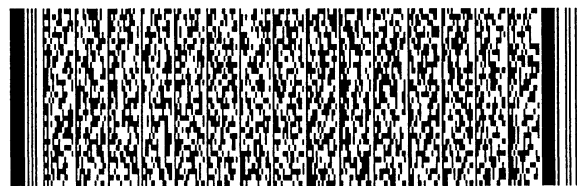
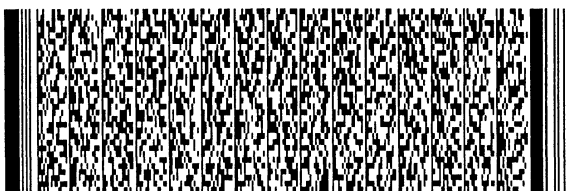


四、中文發明摘要 (發明之名稱：以離子植入及熱回火法製造佈有矽鍺之矽基板或矽絕緣基板)

在矽或矽絕緣體(SOI)基板上形成薄的(<300nm)應力緩和(strainrelaxed)矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)緩衝層的一種方法。這些緩衝層具有不當位錯之一種均質分佈及一低晶格錯排(TD)密度(如< 10^6cm^2)，係可緩和非常應力平滑的表面。此方法始於一假晶型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層的成長，例如無不當位錯之層。接著以氦或其他輕元素植入，並且隨後回火以完成基本的應力緩和。以此方法運作之非常有效的應力緩和機制，乃是位於矽/矽鍺合金($\text{Si}/\text{Si}_{1-x}\text{Ge}_x$)界面以下，平行於矽<001>表面之氦引發之小板(platelet)(並非氣泡)處的位錯核作用。

英文發明摘要 (發明之名稱：RELAXED SiGe LAYERS ON Si OR SILICON-ON-INSULATOR SUBSTRATES BY ION IMPLANTATION AND THERMAL ANNEALING)

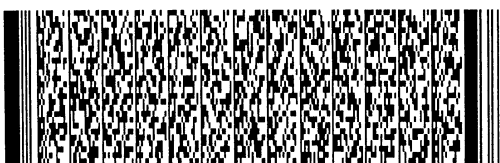
A method to obtain thin (<300nm) strainrelaxed $\text{Si}_{1-x}\text{Ge}_x$ buffer layers on Si or silicononinsulator (SOI) substrates. These buffer layers have a homogeneous distribution of misfit dislocations that relative the strain remarkably smooth surfaces, and a low threading dislocation (TD) density, i.e. < 10^6cm^2 . The approach begins with the growth of a pseudomorphic $\text{Si}_{1-x}\text{Ge}_x$ layer, i.e. a layer that is free of misfit dislocations, which is then implanted with He or other light elements



四、中文發明摘要 (發明之名稱：以離子植入及熱回火法製造佈有矽鍺之矽基板或矽絕緣基板)

英文發明摘要 (發明之名稱：RELAXED SiGe LAYERS ON Si OR SILICON-ON-INSULATOR SUBSTRATES BY ION IMPLANTATION AND THERMAL ANNEALING)

and subsequently annealed to achieve the substantial strain relaxation. The very effective strain relaxation mechanism operating with this method is dislocation nucleation at He induced platelets (not bubbles) that lie below the Si/Si_{1-x}Ge_x interface, parallel to the Si(001) surface.



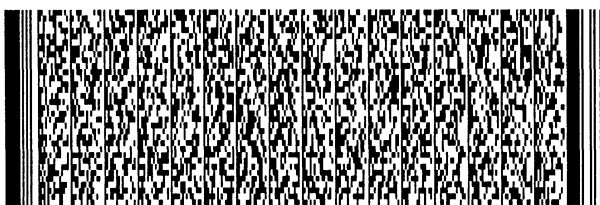
六、申請專利範圍

1. 一種形成具一低密度的晶格錯排(threading dislocation)之一緩和磊晶(relaxed epitaxial)矽鍺($\text{Si}_{1-x}\text{Ge}_x$)層於一單晶態表面上之方法，其步驟包含：
 在一基板之一單晶態表面頂端，沈積一層矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)之完全地假晶型的(strictly pseudomorphic)磊晶層；
 植入輕元素原子於該基板內；以及
 在溫度 650°C 以上，將該基板回火。
2. 如申請專利範圍第1項所述之方法，其中該基板係一主體為矽之基板(bulk Si substrate)或一矽絕緣體(SOI)基板。
3. 如申請專利範圍第1項所述之方法，其中該單晶表面包含一矽、矽鍺($\text{Si}_{1-x}\text{Ge}_x$)、鍺、矽碳($\text{Si}_{1-y}\text{C}_y$)、或矽鍺碳($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$)層。
4. 如申請專利範圍第1項所述之方法，其中該矽鍺合金之完全地假晶型的磊晶層的沈積是使用一種高度真空沈積技術，係選自分子束磊晶(MBE)、化學氣相沈積(CVD)、電漿增強化學氣相沈積(PECVD)、離子輔助沈積(ion assisted deposition)以及化學束磊晶(chemical beam epitaxy)組成的群組中。



六、申請專利範圍

5. 如申請專利範圍第1項所述之方法，其中該假晶型矽鍺合金層具有一均勻組成，其具有範圍是從約0.01至約1之一鍺分率 x ，或是一漸層式組成，其具有在伴隨上述頂端晶態表面之界面處，鍺分率 x 從0增加，達到在該假晶型層之上方表面處範圍從約0.01至約1之更高 x 值。
6. 如申請專利範圍第1項所述之方法，進一步包含將該假晶型矽鍺合金層化學機械研磨(CMP)，達到範圍從約0.1nm至大約1nm的表面粗糙度之步驟。
7. 如申請專利範圍第1項所述之方法，其中該假晶型矽鍺合金層具有一表面粗糙度，其範圍從約0.1nm至大約1nm。
8. 如申請專利範圍第1項所述之方法，其中該植入離子包含氫、氮、氘(D)、硼、氮或其混合物。
9. 如申請專利範圍第1項所述之方法，其中該植入離子為氮離子。
10. 如申請專利範圍第9項所述之方法，其中該植入之氮離子劑量範圍是從大約 4×10^{15} 至大約 $4 \times 10^{16} \text{ cm}^2$ 。
11. 如申請專利範圍第1項所述之方法，其中該植入原子實質上集中於該基板內，於該單晶態表面下方極遠處，使得



六、申請專利範圍

一 最小量的該植入原子是被包含在該磊晶層內及介於該單晶態表面與該磊晶層間之該界面處。

12. 如申請專利範圍第1項所述之方法，其中該離子植入深度是在該最高單晶態表面以下90至300nm的範圍內。

13. 如申請專利範圍第1項所述之方法，其中該回火是在一非氧化環境或一部份氧化環境下進行。

14. 如申請專利範圍第1項所述之方法，其中該緩和磊晶矽鍺合金層具有一低於 10^6 cm^2 之晶格錯排密度。

15. 如申請專利範圍第1項所述之方法，其中該緩和磊晶矽鍺合金層具有一範圍從約0.1至約1nm的表面粗糙度。

16. 一種形成一緩和磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層於一基板之一單晶態表面上之方法，其步驟包含：

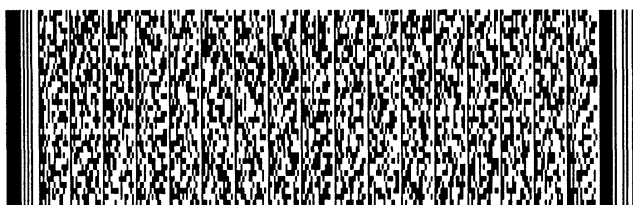
在一基板之一單晶態表面頂端，沈積一層矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)之完全地假晶型磊晶層；

離子植入一第一型輕元素之原子於該基板內；

離子植入一第二型輕元素之原子於該基板內；以及

在溫度 650°C 以上，將該基板回火。

17. 如申請專利範圍第16項所述之方法，其中該第一型與



六、申請專利範圍

該第二型之植入離子包含氫、氮、氬、硼、氫或其混合物。

18. 如申請專利範圍第16項所述之方法，其中該第一型之植入離子為氮離子。

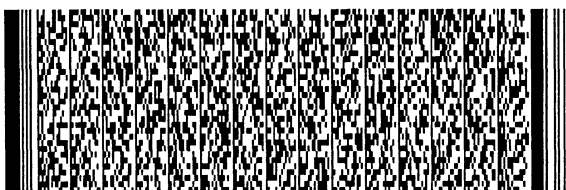
19. 如申請專利範圍第18項所述之方法，其中該氮離子植入劑量之範圍是從大約 4×10^{15} 至大約 $4 \times 10^{16} \text{ cm}^2$ 。

20. 如申請專利範圍第16項所述之方法，其中該第二型之植入離子包含氫、氬或硼。

21. 如申請專利範圍第20項所述之方法，其中該第二型之植入離子之植入劑量範圍是從大約 4×10^{15} 至大約 $4 \times 10^{16} \text{ cm}^2$ 。

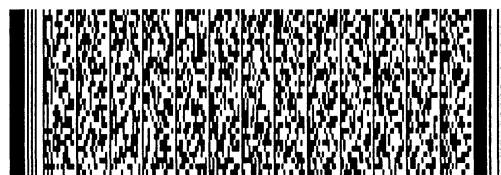
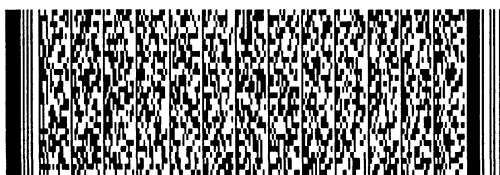
22. 如申請專利範圍第16項所述之方法，其中該植入離子實質上集中於該基板，於該單晶態表面下方極遠處，使得一最小量的植入原子是被包含在該磊晶層內與介於該單晶態表面與該磊晶層間之該界面處。

23. 如申請專利範圍第16項所述之方法，其中該離子植入步驟是在相同深度或在兩個不同深度下進行。



六、申請專利範圍

24. 如申請專利範圍第16項所述之方法，其中該緩和磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一個低於 10^6cm^2 之晶格錯排密度。
25. 如申請專利範圍第16項所述之方法，其中該緩和磊晶矽鍺合金層具有一範圍從0.1至1nm的表面粗糙度。
26. 一種形成一緩和磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層於一單晶態表面上的方法，其步驟包含：
- (a) 提供一個具有一頂端單晶態表面之基板；
 - (b) 在該單晶態表面頂端，沈積一層第一矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)之完全假晶型磊晶層；
 - (c) 離子植入輕元素之原子於該基板內；
 - (d) 在溫度 650°C 以上，將該基板回火；
 - (e) 至少執行步驟(b)(d)兩次，其中除了第一次形成之磊晶層以外，其他次形成之磊晶層可以不是完全假晶型，並且在後續形成之磊晶層的x比前次形成之磊晶層的x更大。
27. 如申請專利範圍第26項所述之方法，其中該植入原子實質上集中於該基板，於該單晶態表面下方極遠處，使得一最小量的植入原子是被包含在該磊晶層內與介於該單晶態表面與該磊晶層間之該界面處。



六、申請專利範圍

28. 如申請專利範圍第26項所述之方法，其中該離子植入深度是在介於最後磊晶層與前一層之間的界面以下90至300nm的範圍內。

29. 一種形成一緩和磊晶矽鍺合金層於一單晶態表面上的方法，其步驟包含：

(a) 提供一個具有一頂端單晶態表面之基板；

(b) 在該單晶態表面頂端，沈積一層第一矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)之完全假晶型磊晶層；

(c) 離子植入輕元素之原子於該基板內；

(d) 在溫度650°C以上，將該基板回火；

(e) 在該單晶態表面頂端，沈積一層第二矽鍺合金($\text{Si}_{1-y}\text{Ge}_y$)磊晶層，其中 $y > x$ ；

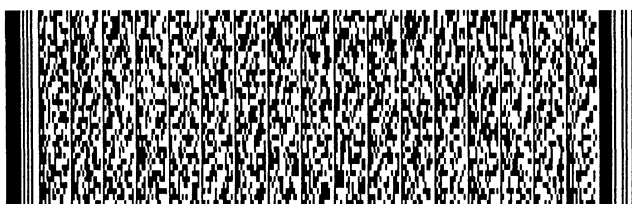
(f) 在溫度650°C以上，將該基板回火；以及

(g) 至少執行步驟(e)(f)一次。

30. 如申請專利範圍第29項所述之方法，其中步驟(e)和(f)至少重複一次以上。

31. 如申請專利範圍第29項所述之方法，其中該第一與其後之磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一均勻組成，其鍺分率 x 是在從約0.01至約1的範圍內。

32. 如申請專利範圍第29項所述之方法，其中該第一假晶



六、申請專利範圍

型矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一個漸層式組成，其在伴隨上述頂端晶態表面之界面處，鍺分率 x 從0增加，達到在該假晶型層之上方表面處範圍從約0.01至約1之更高 x 值。

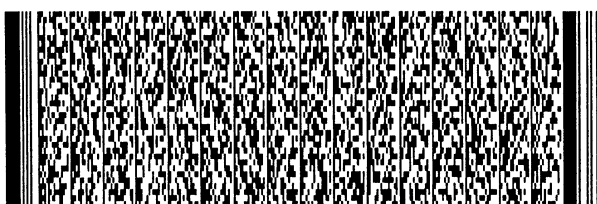
33. 如申請專利範圍第29項所述之方法，其中該隨後之假晶型矽鍺合金($\text{Si}_{1-y}\text{Ge}_y$)層具有一個漸層式組成，其鍺分率 y 的改變是從與前次的假晶型層上方處相同的值，一直到後續之層的上方表面處範圍從約0.01至約1之更高 y 值。

34. 如申請專利範圍第29項所述之方法，其中該隨後之假晶型矽鍺合金($\text{Si}_{1-y}\text{Ge}_y$)層具有一個漸層式組成，藉該鍺分率 y 最初是與前次的假晶型層上方處的值相同，接著在該隨後之假晶型層其上層表面處，以一線性方式增加至範圍從約0.01至約1之更高 y 值。

35. 如申請專利範圍第29項所述之方法，進一步包含將此矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)化學機械研磨達一範圍是從約0.1nm至約1nm的表面粗糙度。

36. 如申請專利範圍第29項所述之方法，其中該假晶型矽鍺合金($\text{Si}_{1-y}\text{Ge}_y$)層具有一範圍是從約0.1nm至約1nm的表面粗糙度。

37. 如申請專利範圍第29項所述之方法，其中該頂端之緩



六、申請專利範圍

和磊晶矽鍺層具有一個低於 10^6 cm^2 之晶格錯排密度。

38. 如申請專利範圍第29項所述之方法，其中頂端之緩和磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一範圍從大約0.1至大約1nm的表面粗糙度。

39. 一種形成一層具有低晶格錯排密度的緩和磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層於一單晶態表面上的方法，包含之步驟為：

提供一具有一頂端單晶態表面之基板；

沈積一層與該頂端之單晶態表面相同材料的第一磊晶層並，且該第一磊晶層含有額外的碳原子；

沈積一層與該頂端之單晶態表面相同材料的第二磊晶層，並且該第二磊晶層不含額外的碳原子；

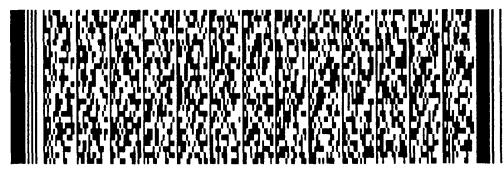
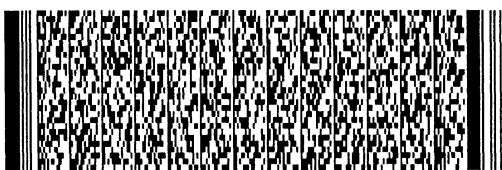
在該單晶態表面頂端，沈積一層第三矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)完全假晶型磊晶層；以及

在溫度 650°C 以上，將該基板回火。

40. 如申請專利範圍第39項所述之方法，其中在該第二磊晶層內的碳原子，其濃度範圍是從 1×10^{19} 至 $2 \times 10^{21} \text{ cm}^2$ 。

41. 如申請專利範圍第39項所述之方法，其中該第一含碳磊晶層之厚度，係介於20nm到110nm之間。

42. 如申請專利範圍第39項所述之方法，其中該第一含碳



六、申請專利範圍

磊晶層之一表面粗糙度的範圍，係從約0.1nm至約1nm。

43. 如申請專利範圍第39項所述之方法，其中該第二磊晶層之厚度，係介於90nm到300nm之間。

44. 如申請專利範圍第39項所述之方法，其中該緩和磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一低於 10^{-6}cm^{-2} 之晶格錯排密度。

45. 如申請專利範圍第39項所述之方法，其中該緩和頂端之磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一表面粗糙度，其範圍是從約0.1至約1nm。

46. 一種半導體結構，包含：

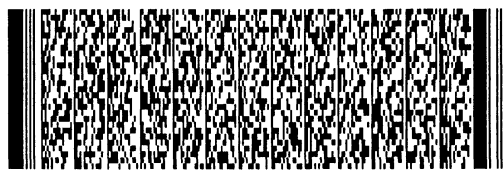
一基板；

一第一單晶態層，係位於該基板頂端；

一第二高缺陷單晶態層，係位於該第一單晶態層頂端，該第二之高缺陷單晶態層包含平面缺陷，其扮演位錯環的來源(source)與吸附(sink)；

一第三單晶態層，係實質上與該第一層有相同組成，並且包含晶格錯排係終止於介於此層和隨後之第四層之間的界面處，係以不當位錯區段形式位於該第二層頂端；以及

一第四緩和單晶態層，係具有不同於該第三層之一晶



六、申請專利範圍

格參數。

47. 如申請專利範圍第46項所述之結構，其中該第四緩和層為一磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層。

48. 如申請專利範圍第46項所述之結構，進一步包含一應力(strained)單晶態矽層，係假晶型成長於該第四層頂端。

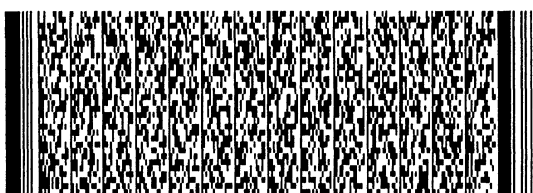
49. 如申請專利範圍第46項所述之結構，進一步包含假晶型成長於該第四層頂端之一MODFET元件的一層結構。

50. 如申請專利範圍第46項所述之結構，其中該基板為一主體為矽之基板或一矽絕緣體(SOI)基板。

51. 如申請專利範圍第46項所述之結構，其中該第一單晶態層包含矽、矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)、鍺、矽碳合金($\text{Si}_{1-y}\text{C}_y$)、或矽鍺碳合金($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$)。

52. 如申請專利範圍第46項所述之結構，其中該第二單晶態層包含矽、矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)、鍺、矽碳合金($\text{Si}_{1-y}\text{C}_y$)、或矽鍺碳合金($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$)。

53. 如申請專利範圍第46項所述之結構，其中該第三單晶



六、申請專利範圍

態層包含矽、矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)、鍺、矽碳合金($\text{Si}_{1-y}\text{C}_y$)、或矽鍺碳合金($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$)。

54. 如申請專利範圍第46項所述之結構，其中該第四矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一均勻組成，其鍺分率 x 的範圍是從大約0.01至大約1，或具有一個漸層式組成，其在伴隨該第三層之界面處，鍺分率 x 從0增加，達到在第四層之上方表面處範圍從約0.01至約1之更高 x 值。

55. 如申請專利範圍第46項所述之結構，其中該第四矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一個漸層式組成，藉此該鍺分率 x 可在伴隨該第三層之界面處，以一線性(linear)方式從0增加，在第四層之頂端表面處達至範圍從約0.01至約1之更高 x 值。

56. 如申請專利範圍第46項所述之結構，其中該第四矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一個漸層式組成，藉此該鍺分率 x 可在伴隨該第三層之界面處，以一階梯式(step wise)方式從0增加，在第四層之頂端表面處達至範圍從約0.01至約1之更高 x 值。

57. 如申請專利範圍第46項所述之結構，其中該第四矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一表面粗糙度，其範圍是從約0.1nm至約1nm。



六、申請專利範圍

58. 如申請專利範圍第46項所述之結構，其中該緩和第四磊晶層具有一低於 10^6 cm^2 之晶格錯排密度。

59. 如申請專利範圍第48項所述之結構，其中在該第四層頂端假晶型成長之應力單晶態矽具有一低於 10^6 cm^2 之晶格錯排密度。

60. 如申請專利範圍第48項所述之結構，其中在該第四層頂端假晶型成長之應力單晶態矽具有一表面粗糙度，其範圍是從約0.1至約1nm。

61. 如申請專利範圍第46項所述之結構，進一步包含至少有一半導體元件建立在該些層中。

62. 如申請專利範圍第46項所述之結構，進一步包含至少有一MODFET元件建立在該第四層之頂端。

63. 如申請專利範圍第46項所述之結構，進一步包含一起晶格(superlattice)，係由沈積在該第四層頂端之 $\text{Si}_{1-s-t}\text{Ge}_s\text{C}_t$ 及 $\text{Si}_{1-z-w}\text{Ge}_z\text{C}_w$ 之交替層所構成，其中s和t分別不同於z和w。

64. 如申請專利範圍第63項所述之結構，其中該超晶格之



六、申請專利範圍

層狀結構具有一低於 10^6 cm^2 之晶格錯排密度。

65. 一種半導體結構包含：

一基板；

一第一單晶態層於該基板頂端；

至少兩組的一第二高缺陷單晶態層，係位於該第一單晶態層頂端，且包含平面缺陷，其扮演位錯環的來源與吸附；

一第三單晶態層，實質上與該第一層有相同組成，並且包含晶格錯排，係終止於介於此層和隨後第三層之間的界面處，係以不當位錯區段形式位於該第二層頂端；以及

一第四緩和單晶態層，係具有不同於該第三層之一晶格參數。

66. 如申請專利範圍第65項所述之結構，其中該第四緩和層為一磊晶矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層。

67. 如申請專利範圍第65項所述之結構，進一步包含一應力單晶態矽層，係假晶型成長於該第四層頂端。

68. 如申請專利範圍第65項所述之結構，進一步包含假晶型成長於該第四層頂端之一MODFET元件的一層結構。

69. 如申請專利範圍第65項所述之結構，其中該鍺的成分x



六、申請專利範圍

在隨後幾層中是比前面幾層的 x 更大。

70. 如申請專利範圍第65項所述之結構，其中該第一單晶態層包含矽、矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)、鍺、矽碳合金($\text{Si}_{1-y}\text{C}_y$)、或矽鍺碳合金($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$)。

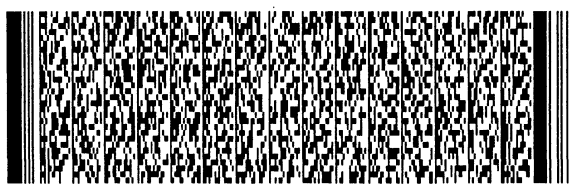
71. 如申請專利範圍第65項所述之結構，其中該第二單晶態層包含矽、矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)、鍺、矽碳合金($\text{Si}_{1-y}\text{C}_y$)、或矽鍺碳合金($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$)。

72. 如申請專利範圍第65項所述之結構，其中該第三單晶態層包含矽、矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)、鍺、矽碳合金($\text{Si}_{1-y}\text{C}_y$)、或矽鍺碳合金($\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$)。

73. 如申請專利範圍第65項所述之結構，其中該第四矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一均勻組成，其鍺分率 x 的範圍是從大約0.01至低於1。

74. 如申請專利範圍第65項所述之結構，其中該第四矽鍺合金($\text{Si}_{1-x}\text{Ge}_x$)層具有一漸層式組成，其在伴隨該第三層之界面處，鍺分率 x 從0增加，達到在該第四層之上方表面處範圍從約0.01至低於1之 x 值。

75. 如申請專利範圍第65項所述之結構，其中最後該第四



六、申請專利範圍

層的厚度是介於50nm到1000nm之間。

76. 如申請專利範圍第65項所述之結構，其中該緩和第四磊晶層具有一個低於 10^6cm^2 之晶格錯排密度。

77. 如申請專利範圍第65項所述之結構，進一步包含至少有一個半導體元件建立在該些層中。

78. 如申請專利範圍第65項所述之結構，進一步包含一應力單晶態矽層假晶型，係成長於該第五層頂端。

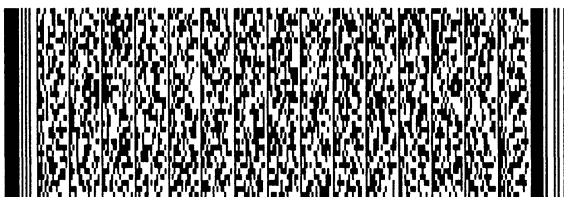
79. 如申請專利範圍第65項所述之結構，進一步包含至少有一MODFET元件建立在該些層中。

80. 如申請專利範圍第65項所述之結構，進一步包含一超晶格，係由沈積在最後該第四層頂端之 $\text{Si}_{1-s-t}\text{Ge}_s\text{C}_t$ 及 $\text{Si}_{1-z-w}\text{Ge}_z\text{C}_w$ 之交替層所構成，其中s和t分別地不同於z和w。

81. 如申請專利範圍第80項所述之結構，其中該超晶格之層狀結構具有一低於 10^6cm^2 之晶格錯排密度。

82. 一個半導體結構包含：

一基板；



六、申請專利範圍

一 第一單晶態層，係位於該基板頂端；

一 第二高缺陷單晶態層，係位於該第一單晶態層頂端，且包含平面缺陷，其扮演位錯環的來源與吸附；

一 第三單晶態層，係實質上與該第一層有相同組成，並且包含晶格錯排，係終止於介於此層和隨後第四層之間的界面處，係以不當位錯區段形式位於該第二層頂端；

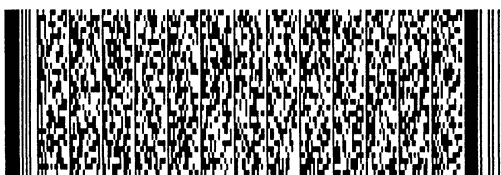
一 第四緩和單晶態層，係具有不同於該第三層之一晶格參數；

一 第五緩和單晶態層，係具有不同於該第四層之一晶格參數。

83. 如申請專利範圍第82項所述之結構，進一步包含一應力單晶態矽層，係假晶型成長於該第五層頂端。

84. 如申請專利範圍第82項所述之結構，其中該第五矽鍍合金($\text{Si}_{1-y}\text{Ge}_y$)層具有一漸層式組成，其鍍分率 y 的改變是在伴隨該第四層之界面處，從相同於該第四層頂端處的 x 值，一直到該第五層的上方表面處範圍從約0.01至約1之更高 y 值。

85. 如申請專利範圍第82項所述之結構，其中該第五矽鍍合金($\text{Si}_{1-y}\text{Ge}_y$)層具有一漸層式組成，藉此該鍍分率 y 可在伴隨該第四層之界面處，以一線性方式從等於該第四層之頂端處 x 值增加，在該第五層之頂端表面處達至範圍從約



六、申請專利範圍

0.01 至約1 之更高y 值。

86. 如申請專利範圍第82 項所述之結構，其中該第五矽鍺合金($\text{Si}_{1-y}\text{Ge}_y$) 層具有一漸層式組成，藉此該鍺分率y 可在伴隨該第四層之界面處，以一階梯式方式從等於該第四層之頂端處x 值增加，在該第五層之頂端表面處達至範圍從約0.01 至約1 之更高y 值。

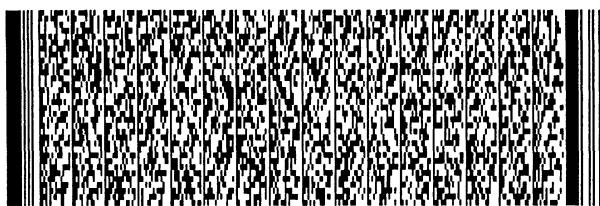
87. 如申請專利範圍第82 項所述之結構，其中該緩和第四磊晶層具有一低於 10^6cm^2 之晶格錯排密度。

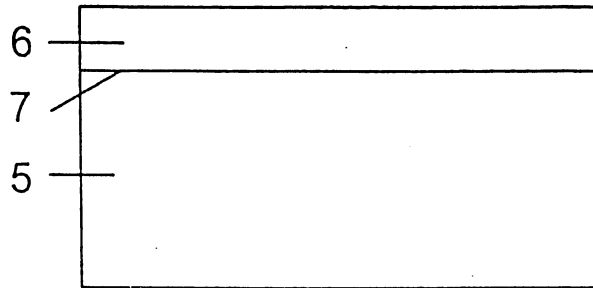
88. 如申請專利範圍第82 項所述之結構，進一步包含至少有一半導體元件建立在該些層中。

89. 如申請專利範圍第82 項所述之結構，進一步包含至少有一MODFET 元件建立在該些層中。

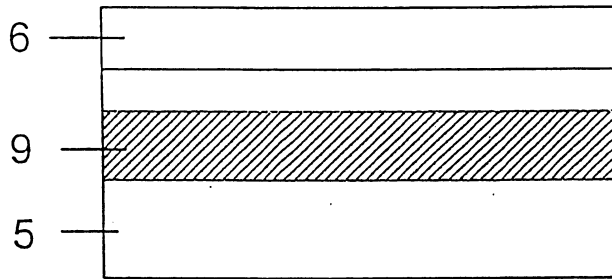
90. 如申請專利範圍第82 項所述之結構，進一步包含一起晶格，係由沈積在最後該第五層頂端之 $\text{Si}_{1-s-t}\text{Ge}_s\text{C}_t$ 及 $\text{Si}_{1-z-w}\text{Ge}_z\text{C}_w$ 之交替層所構成，其中s 和t 分別地不同於z 和w。

91. 如申請專利範圍第82 項所述之結構，其中該超晶格之層狀結構具有一低於 10^6cm^2 之晶格錯排密度。

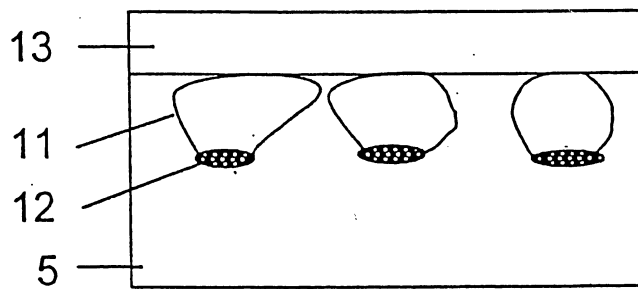




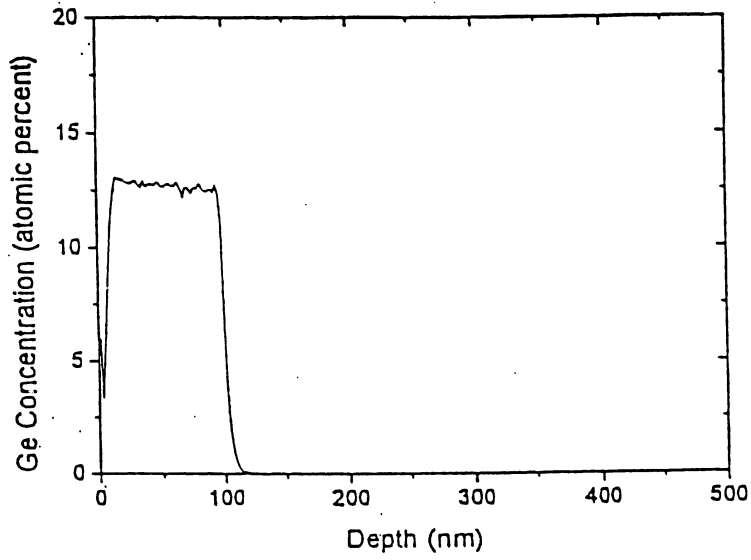
第 1A 圖



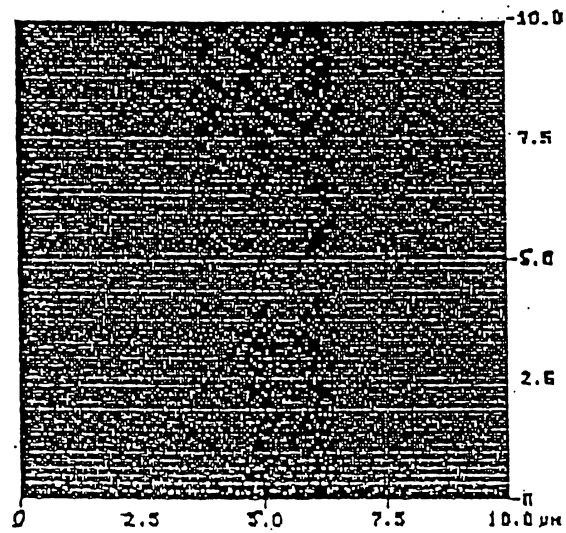
第 1B 圖



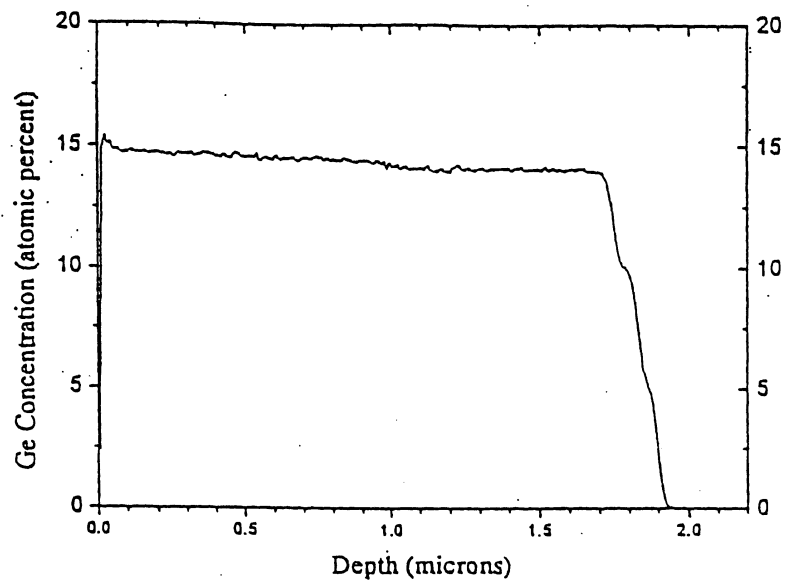
第 1C 圖



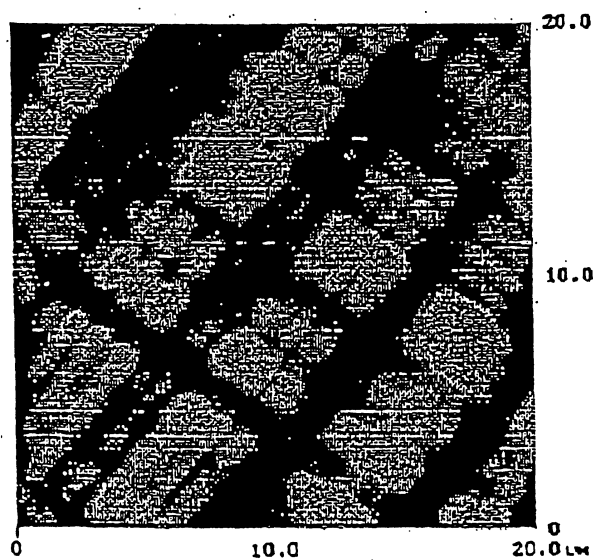
第 2A 圖



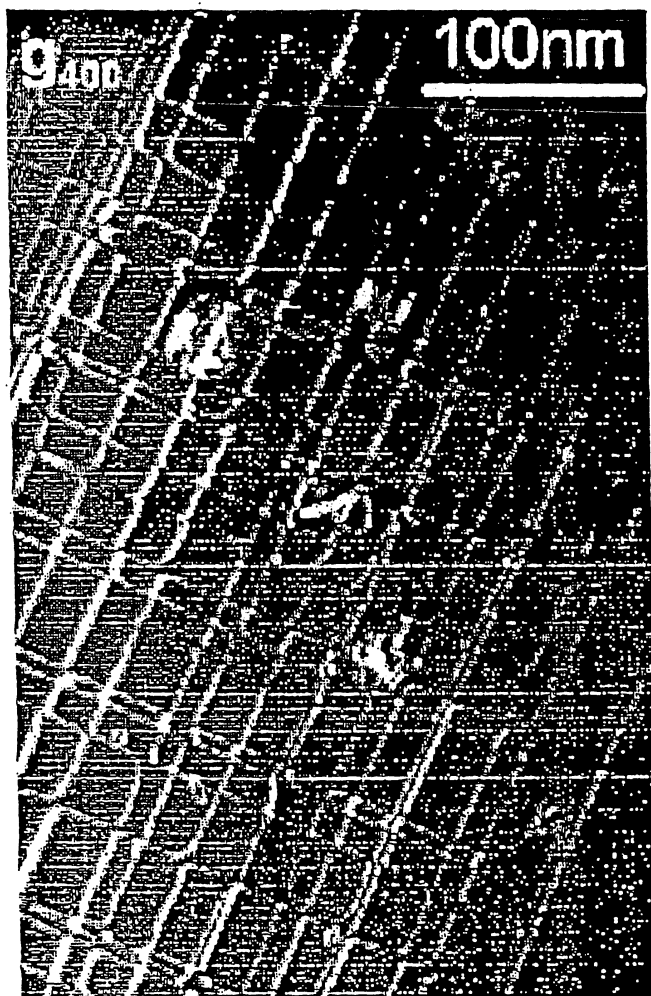
第 2B 圖



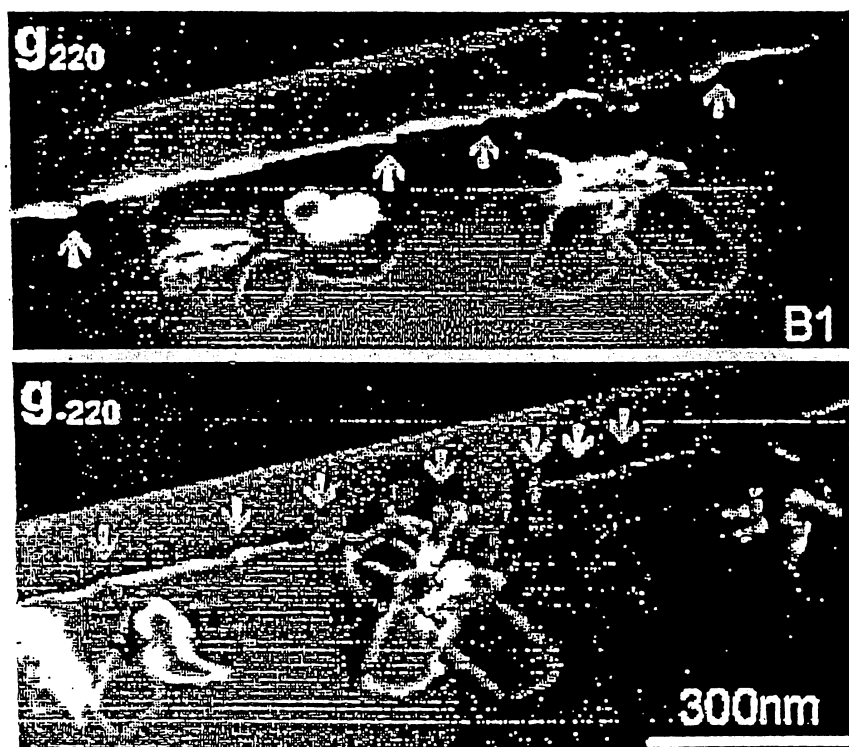
第 3A 圖(習知技術)



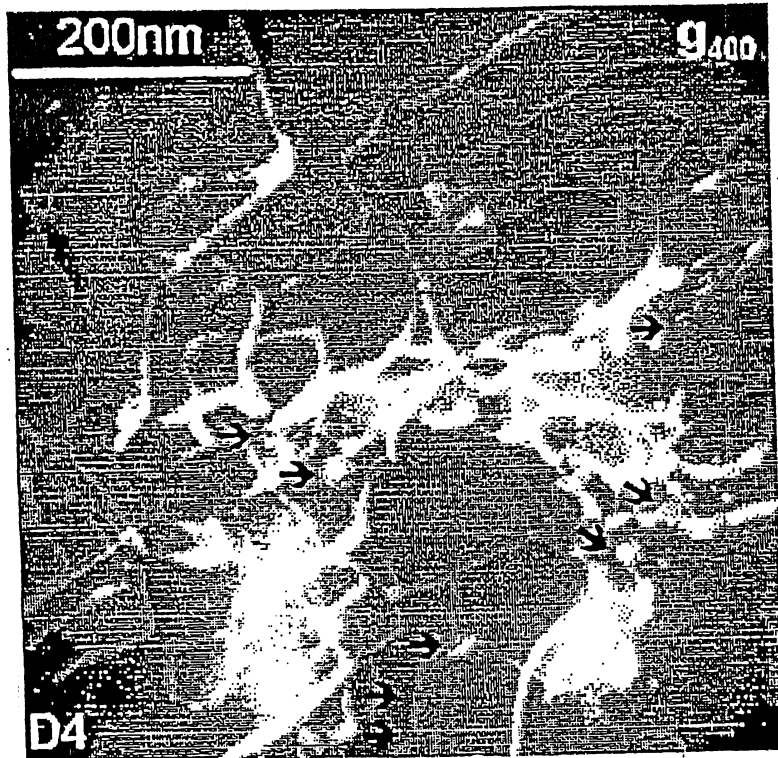
第 3B 圖(習知技術)



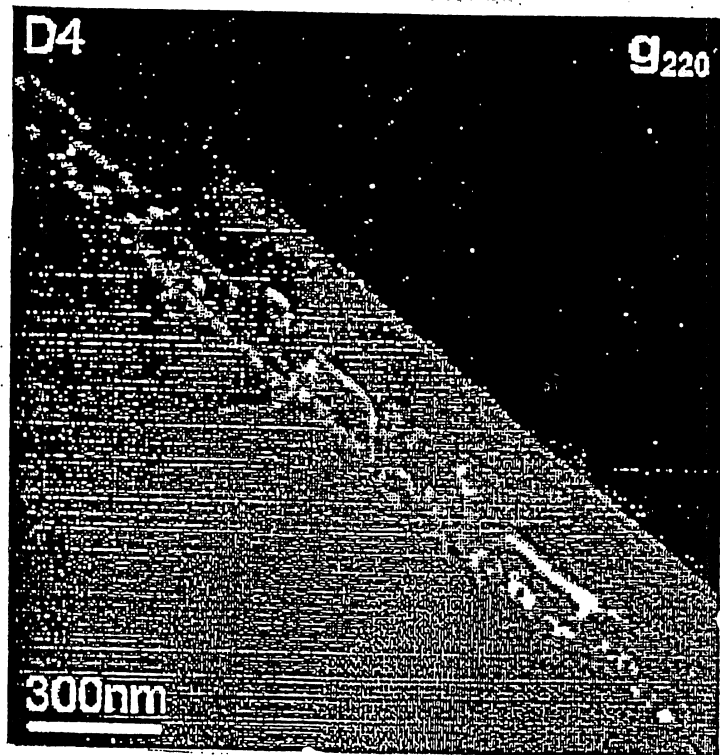
第4A圖



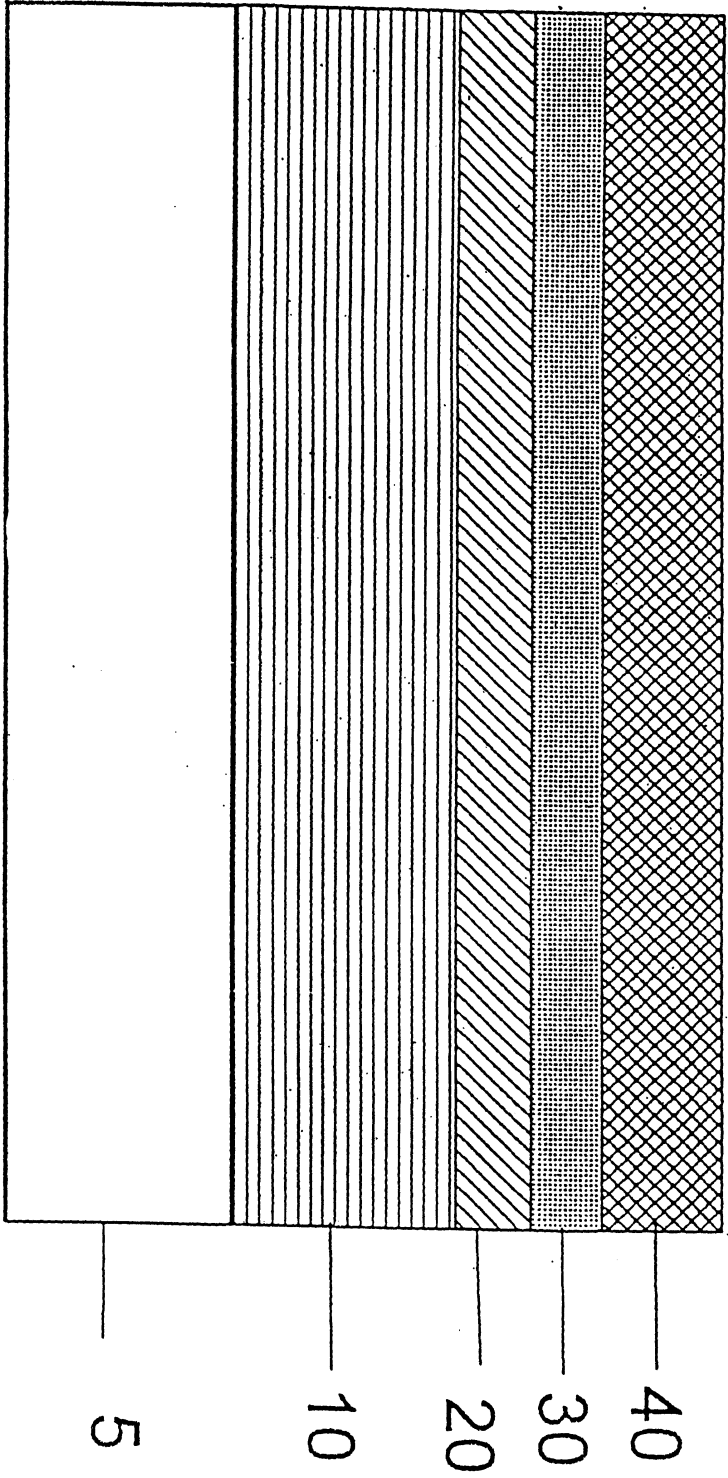
第4B圖



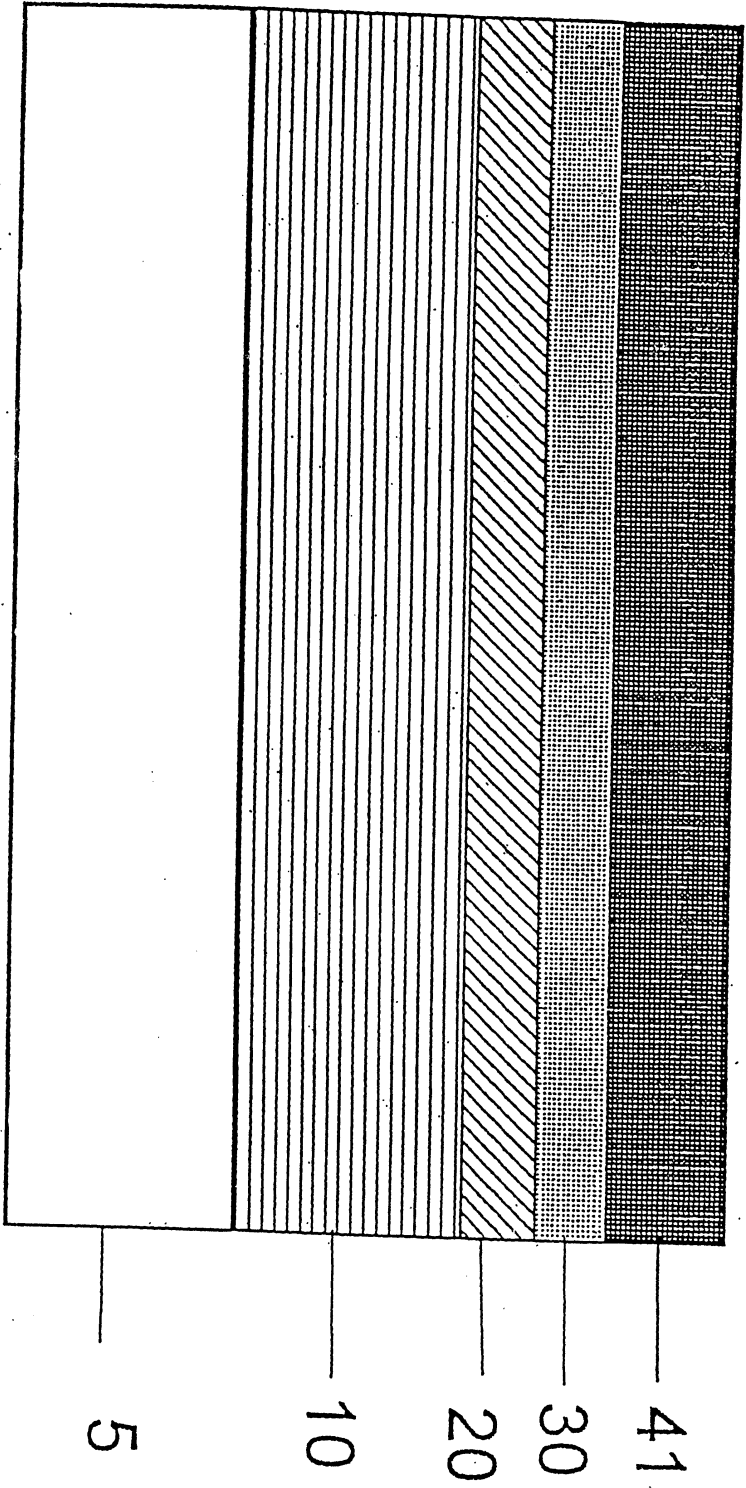
第 5A 圖(習知技術)



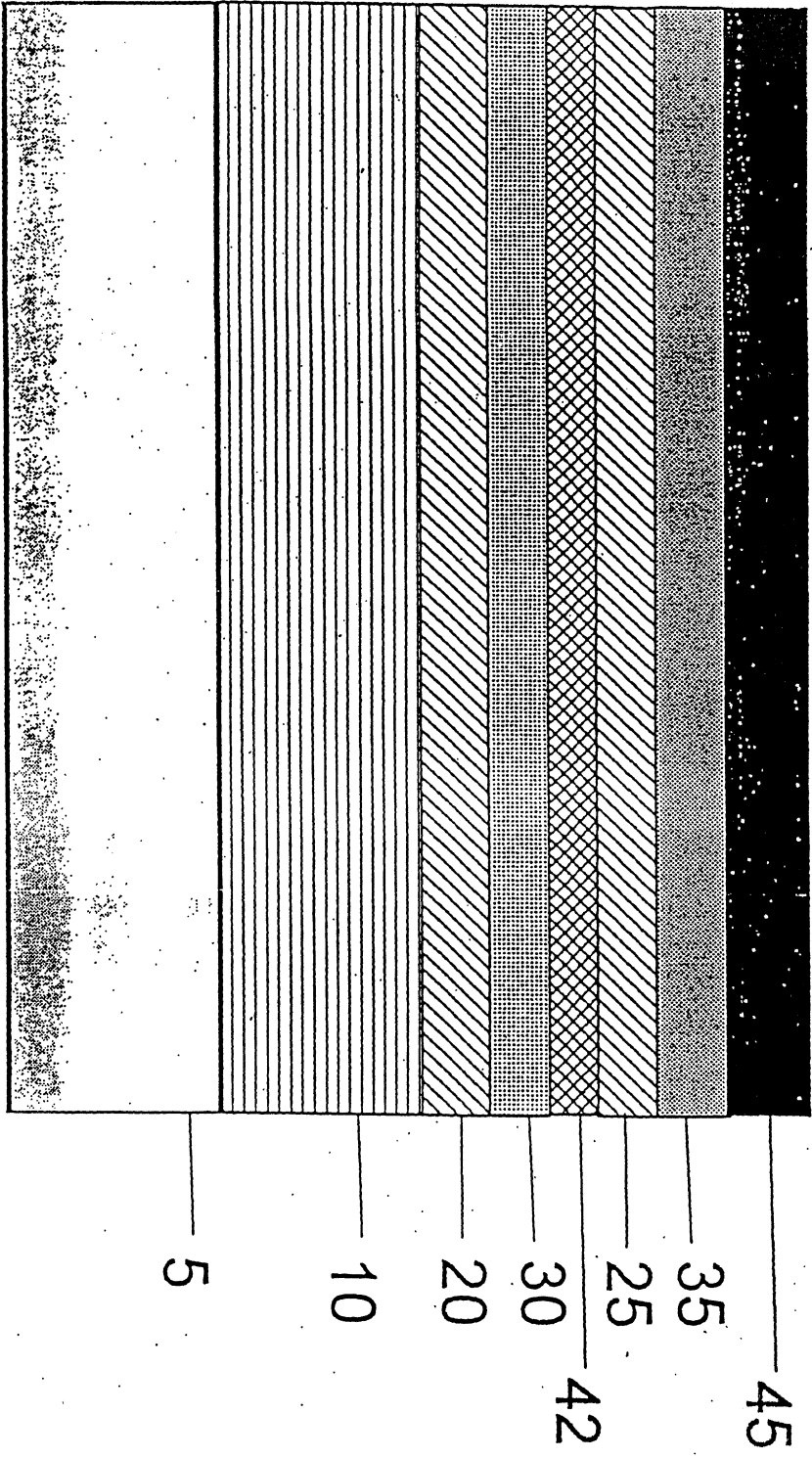
第 5B 圖(習知技術)



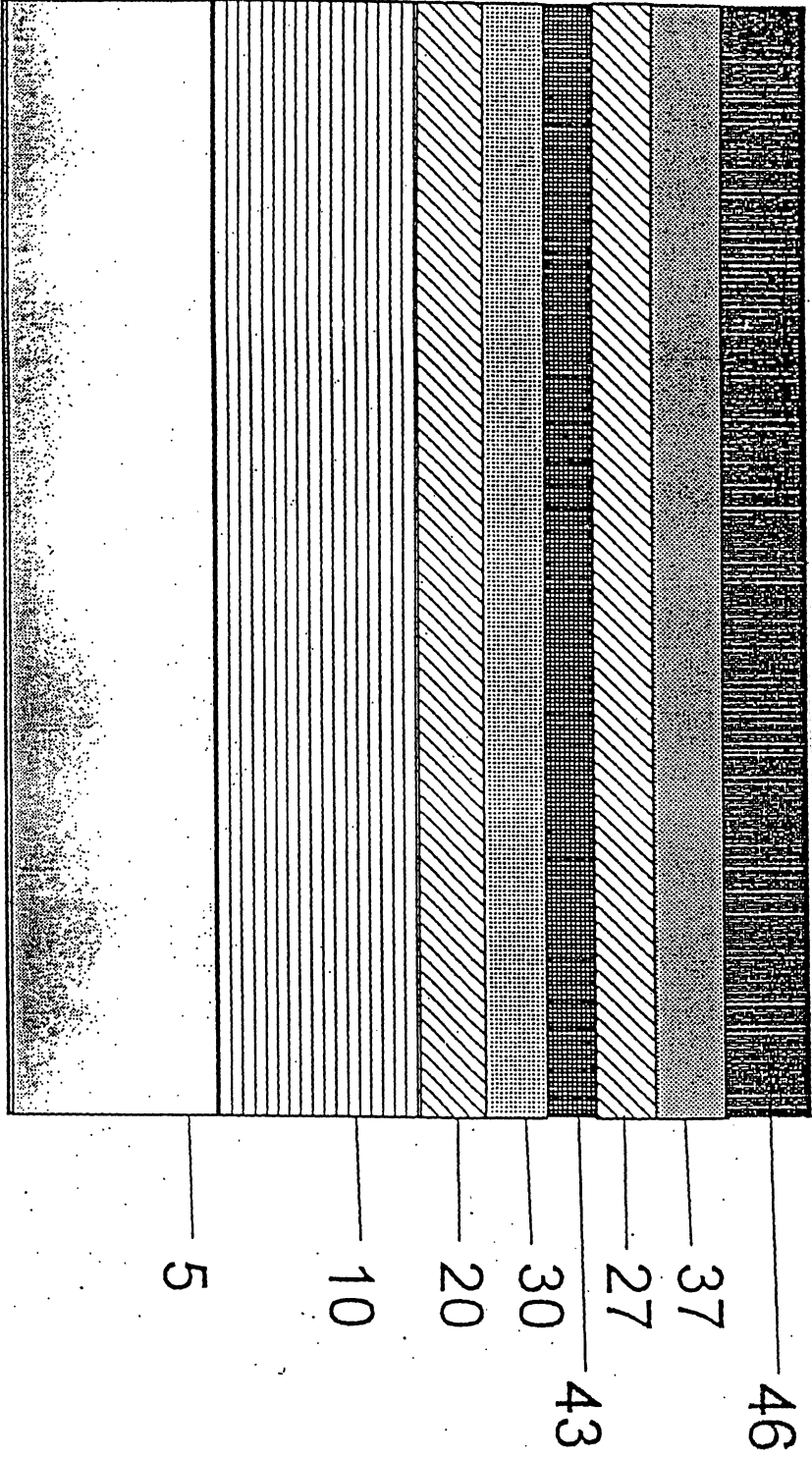
第 6 圖



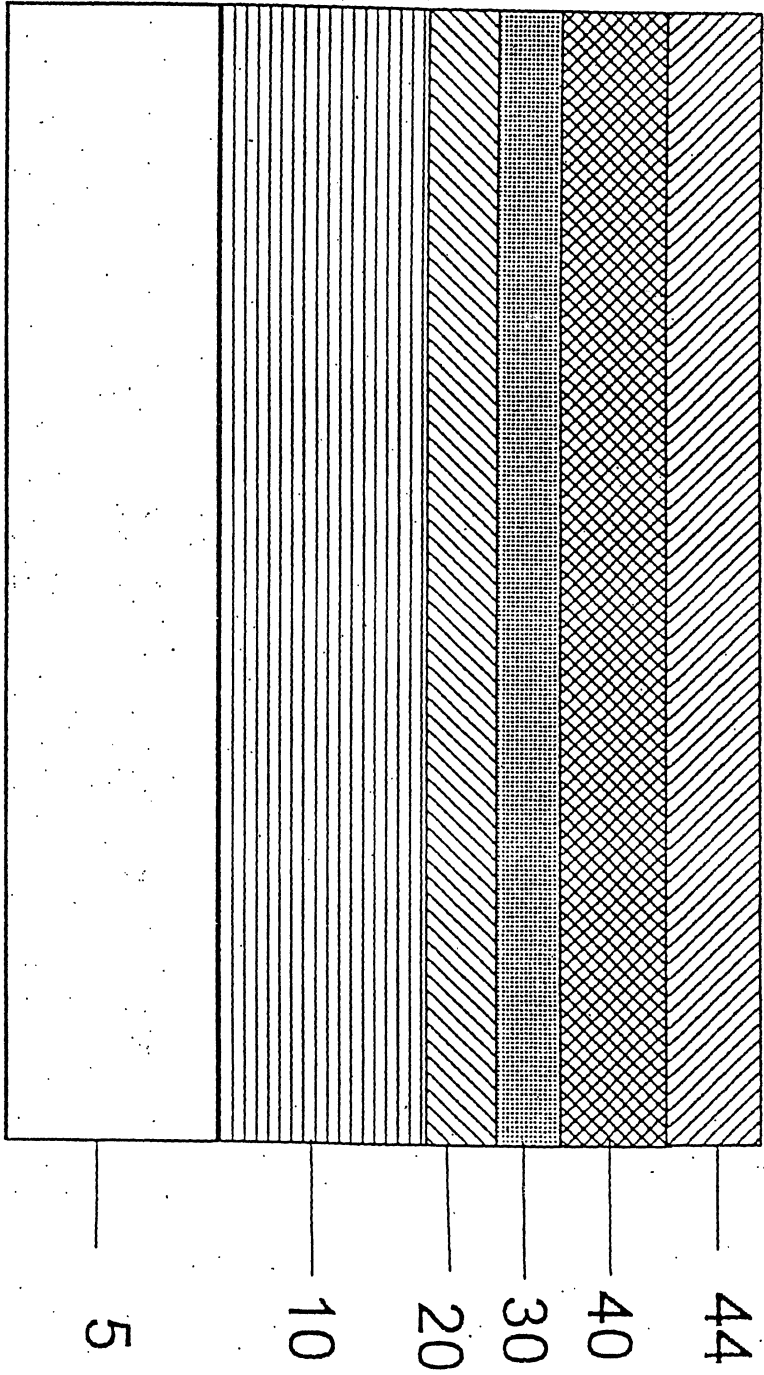
第7圖



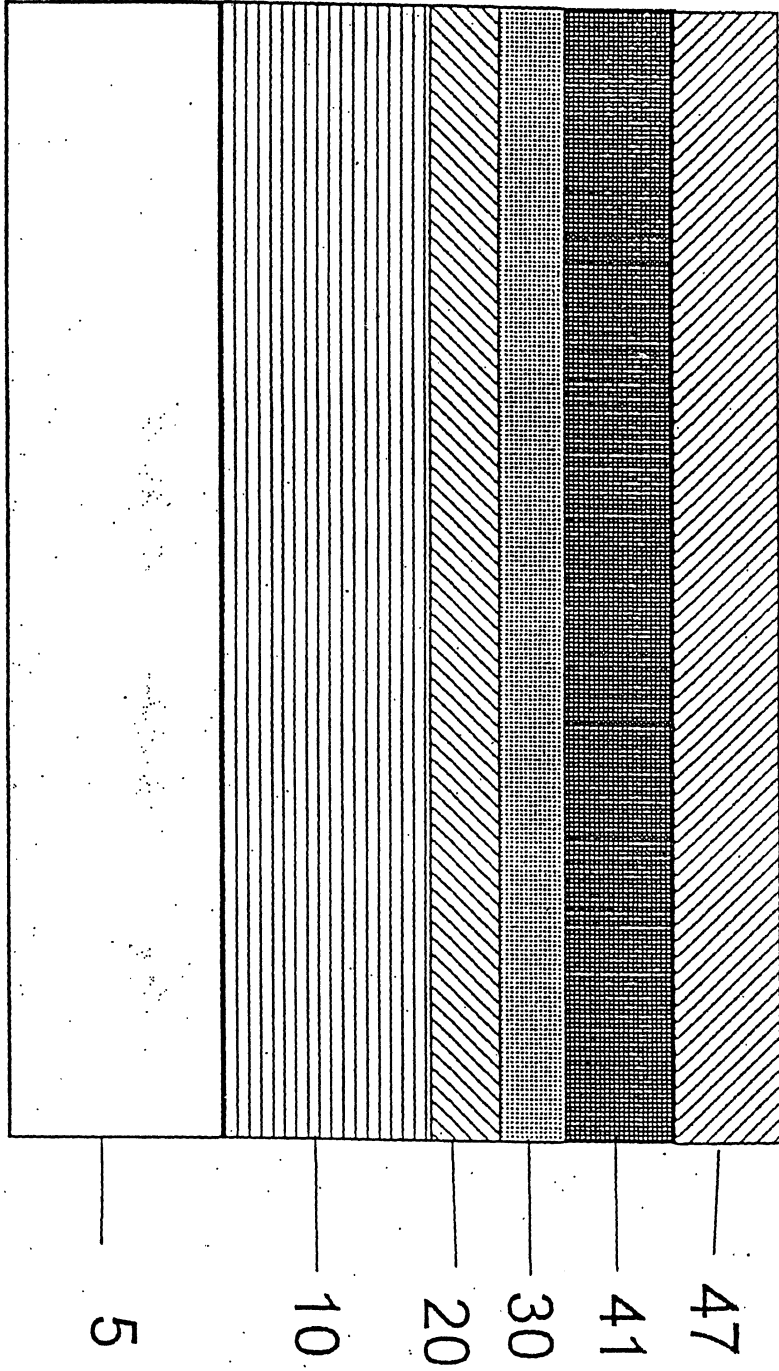
第 8 圖



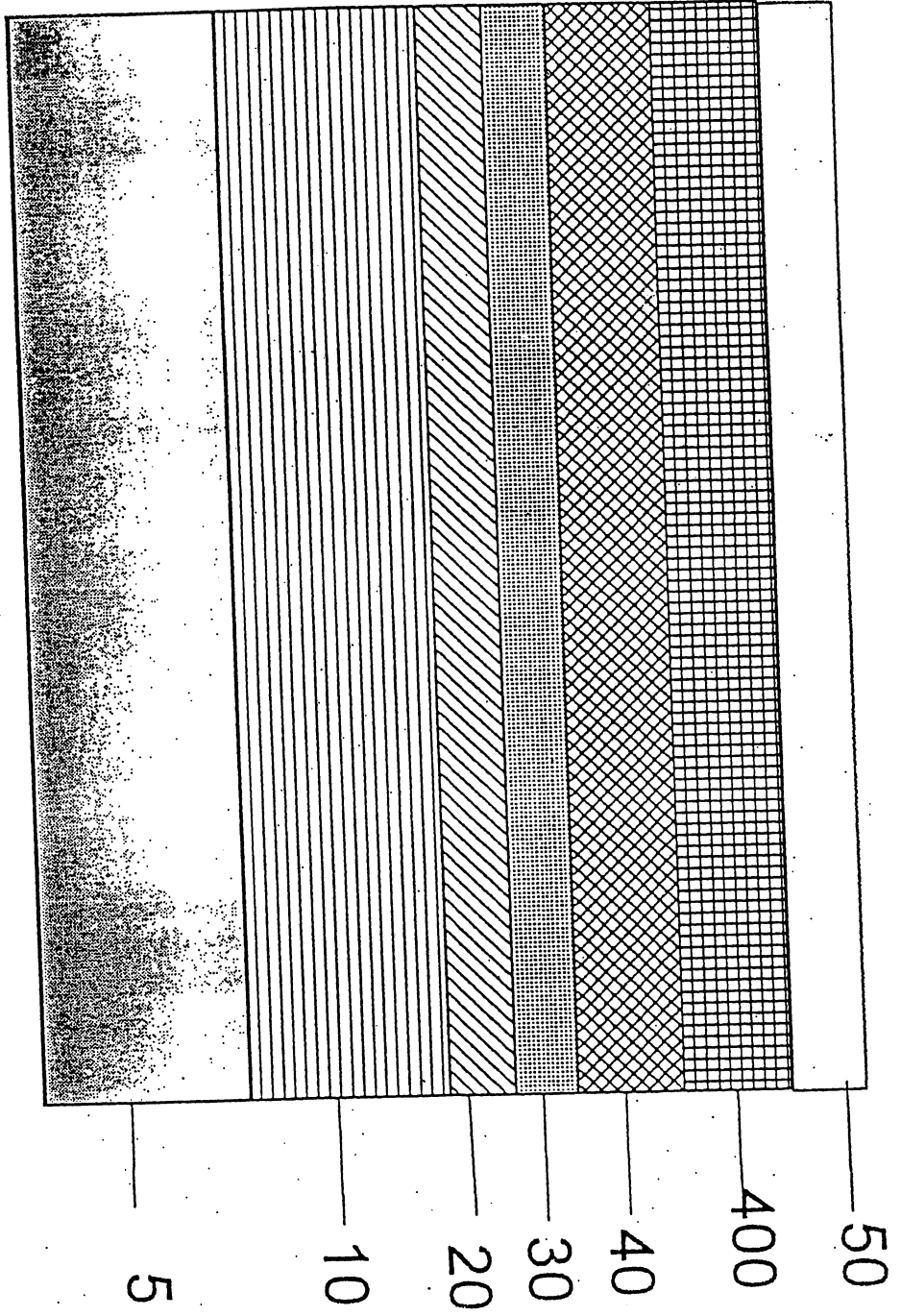
第 9 圖



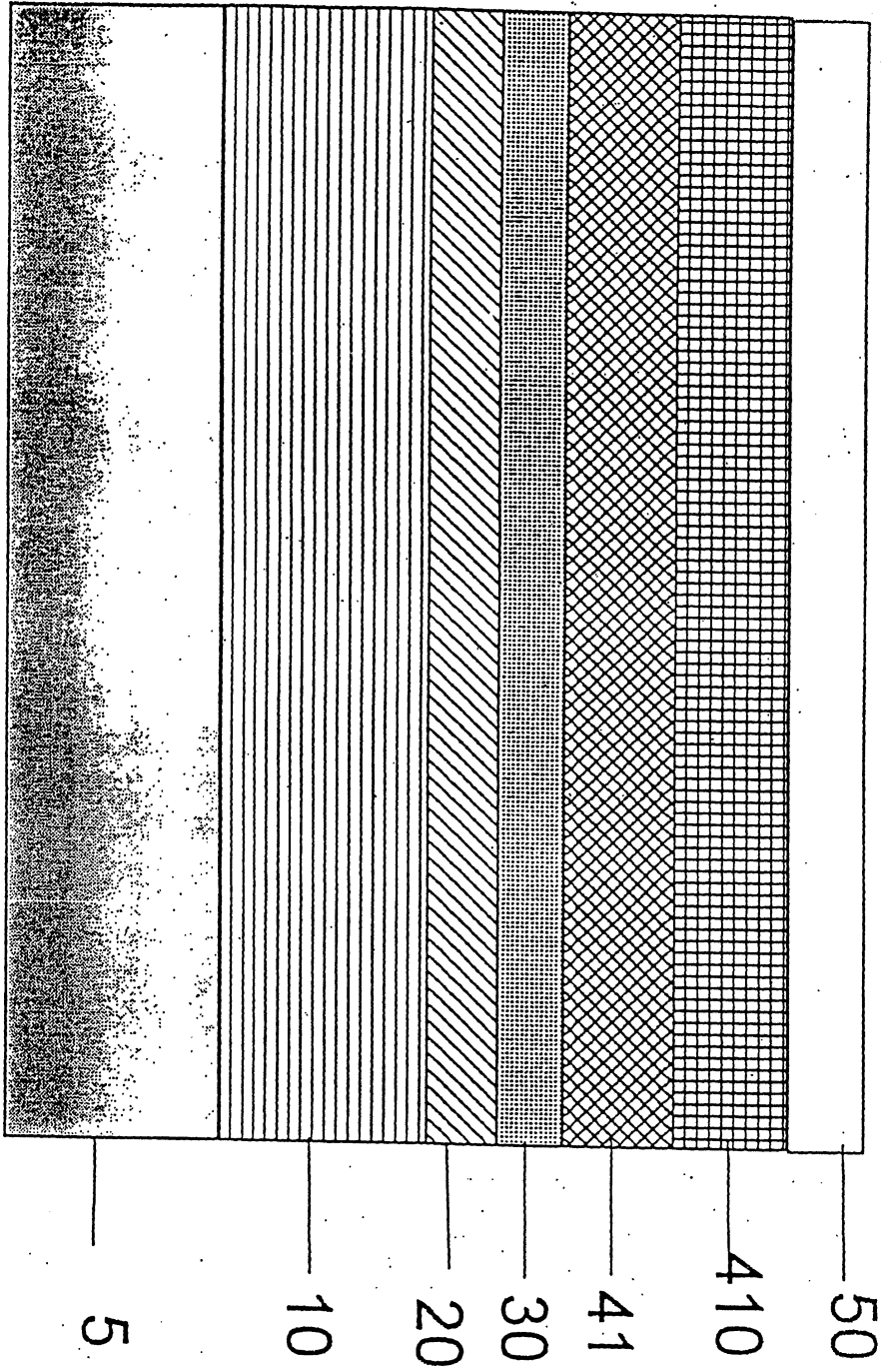
第10圖



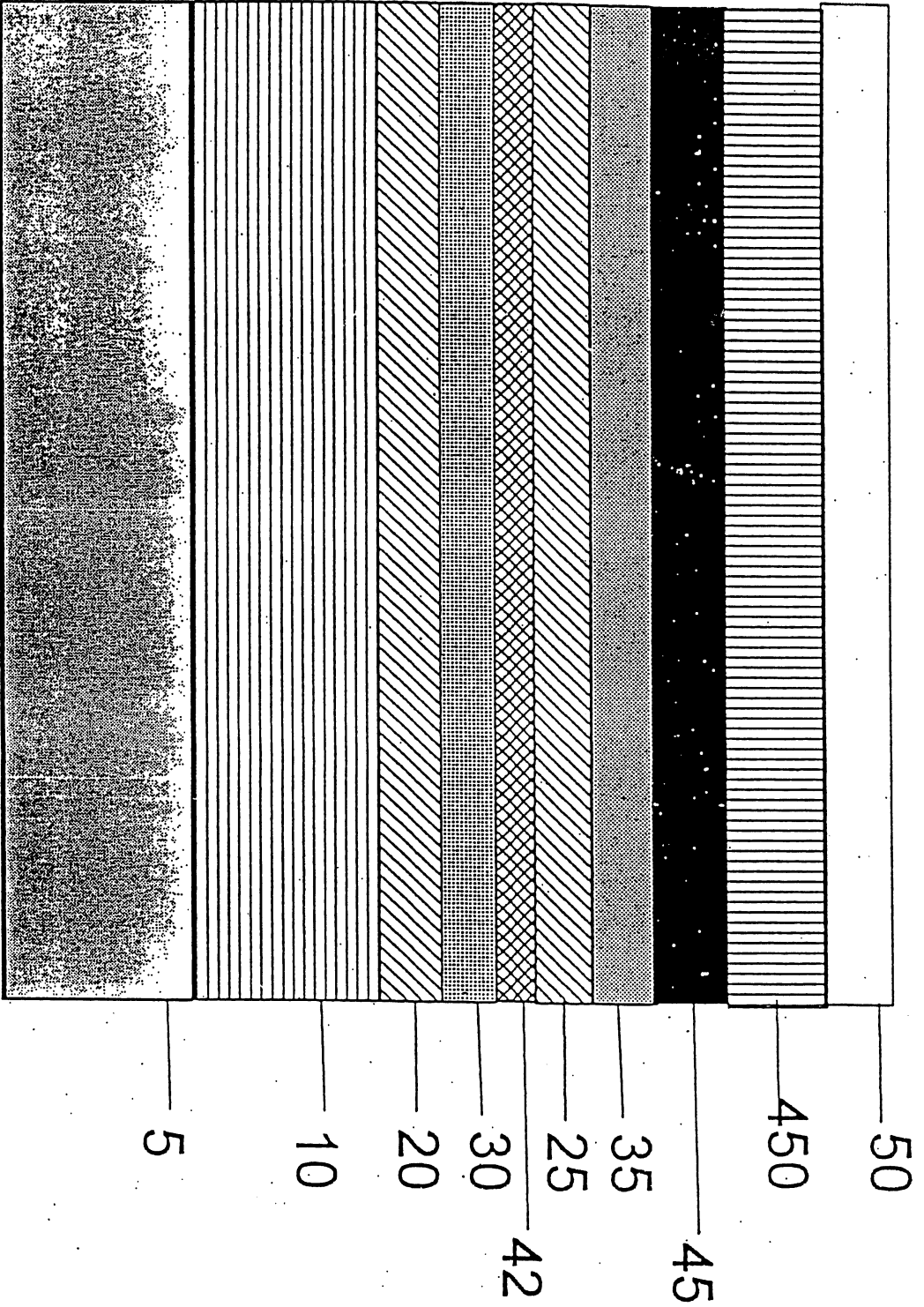
第11圖



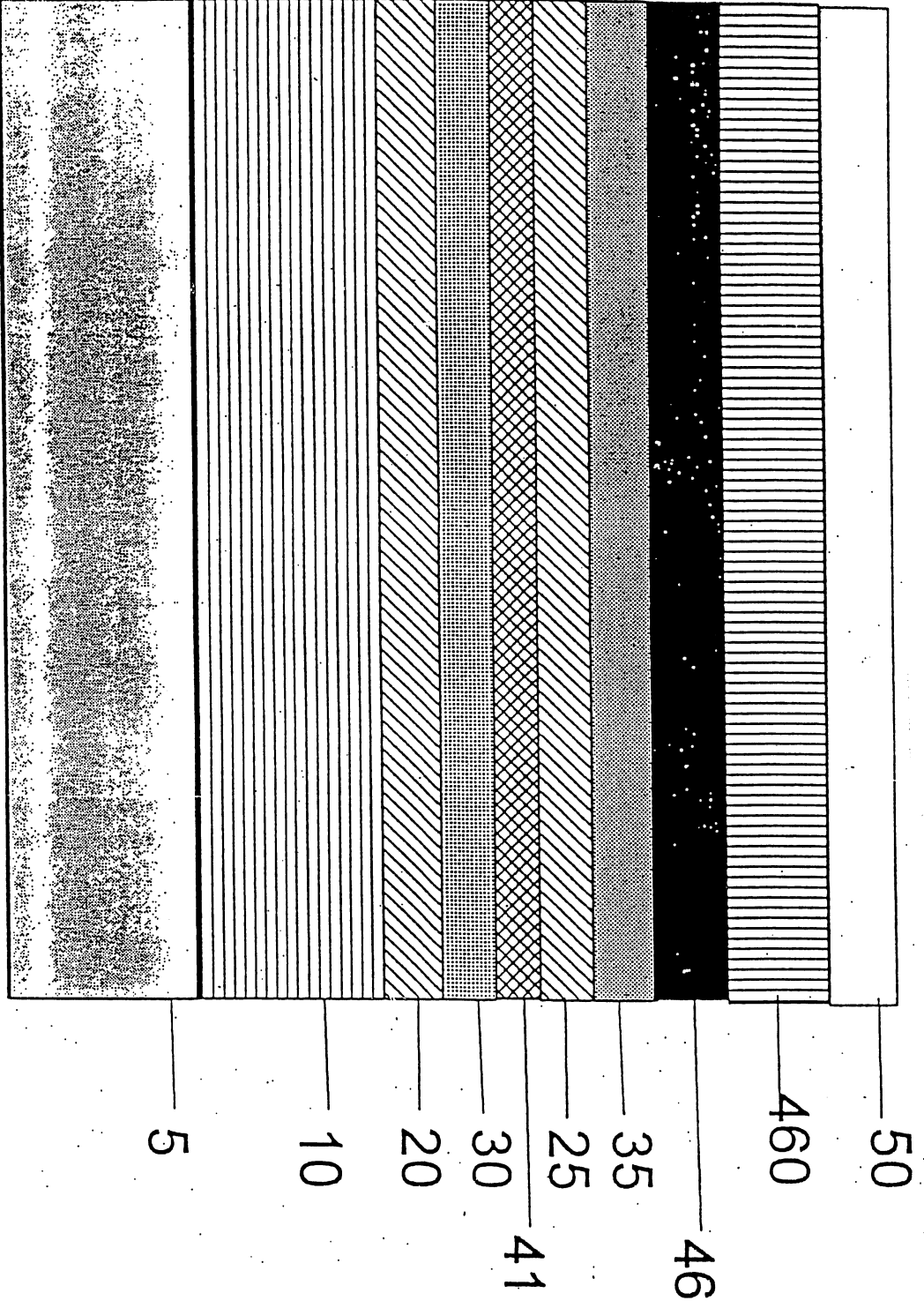
第12圖



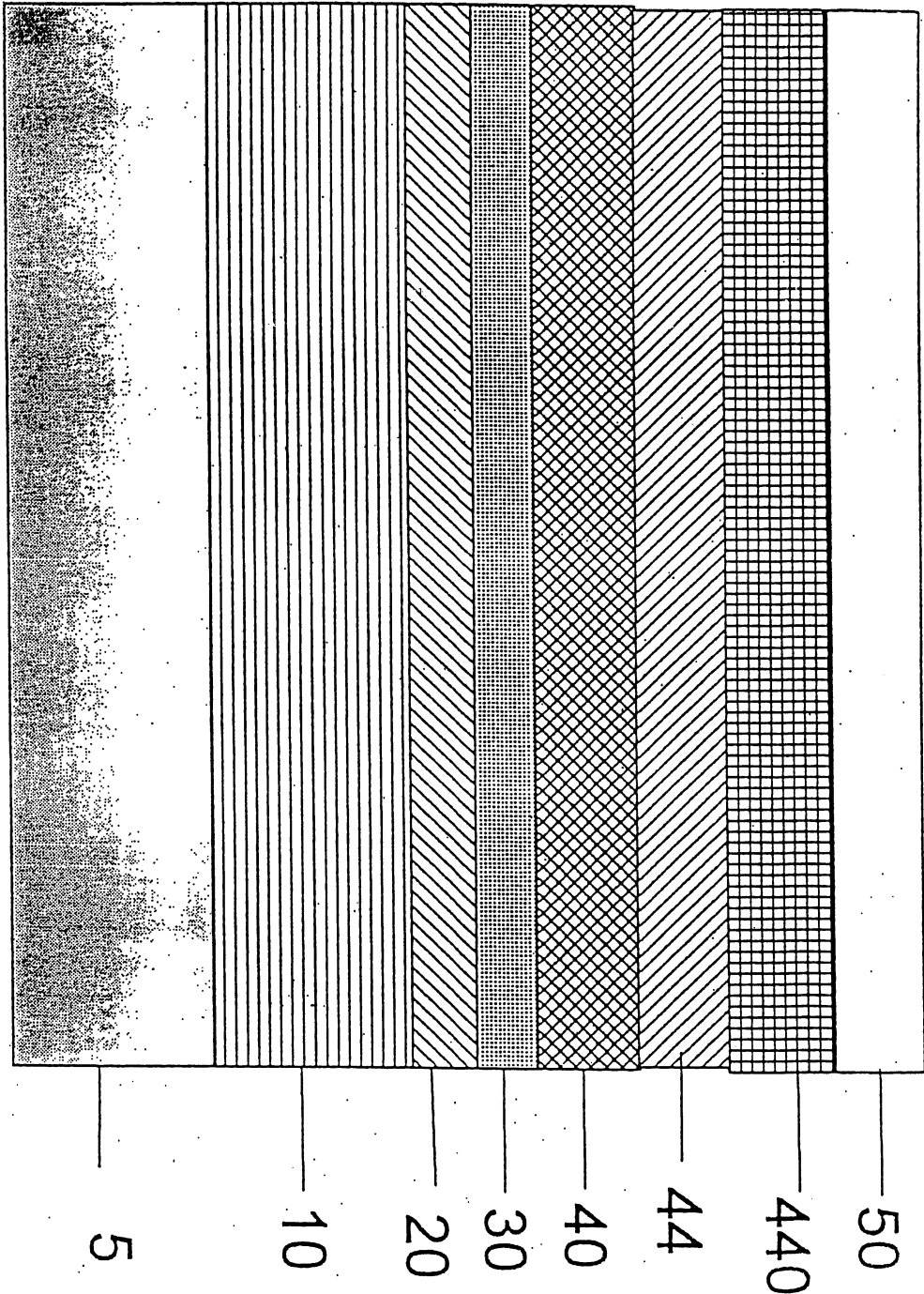
第13圖



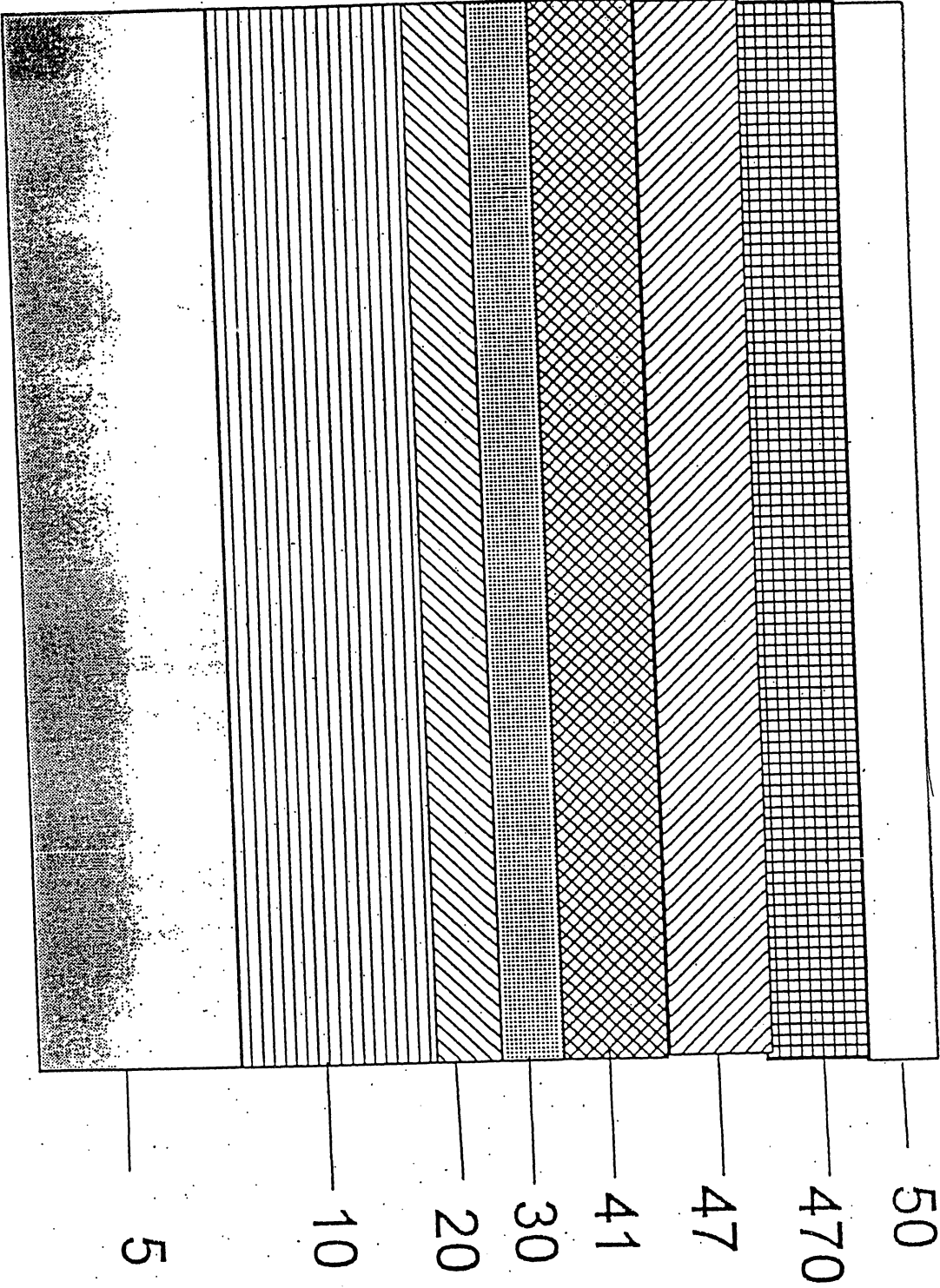
第14圖



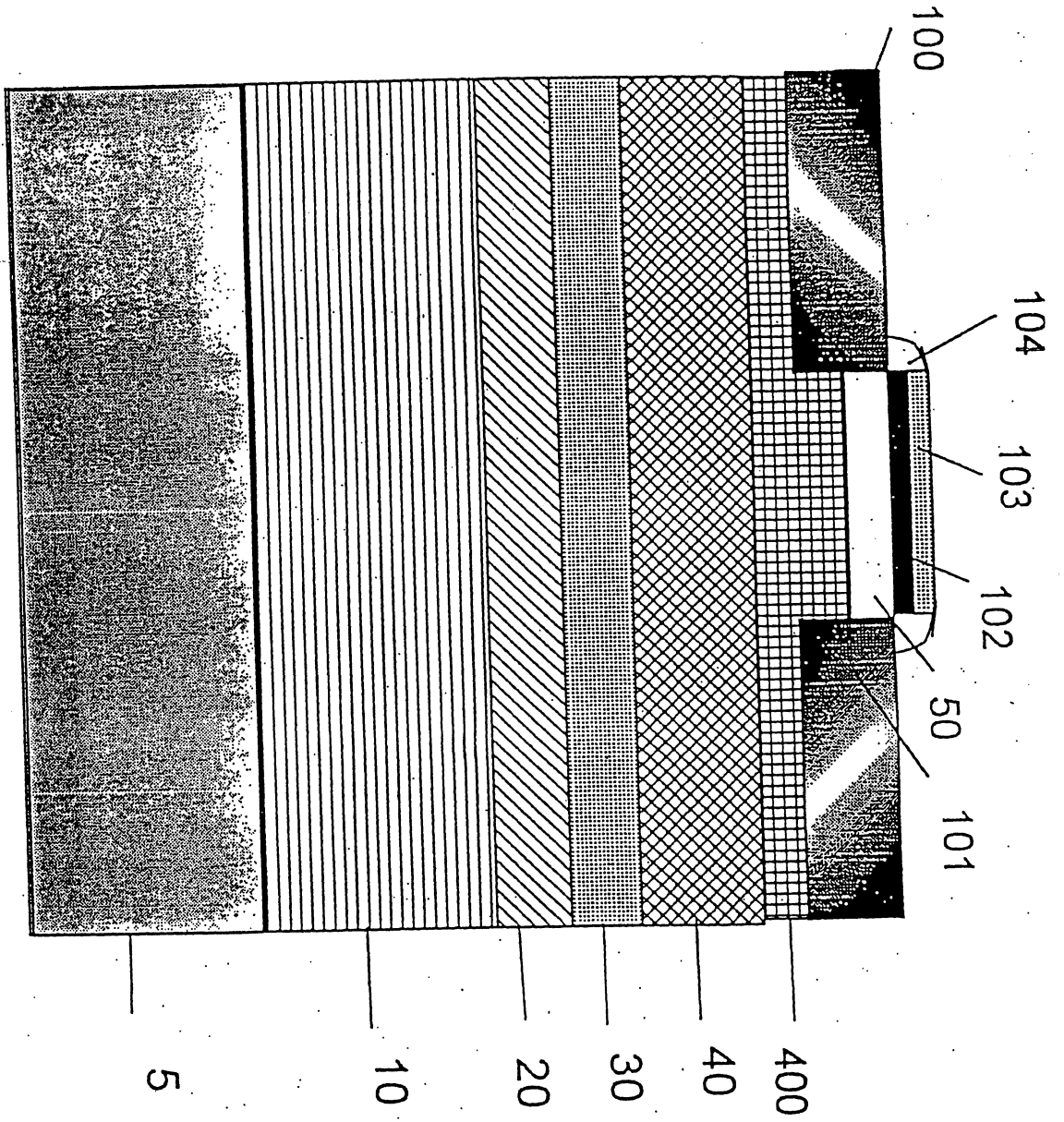
第 15 圖



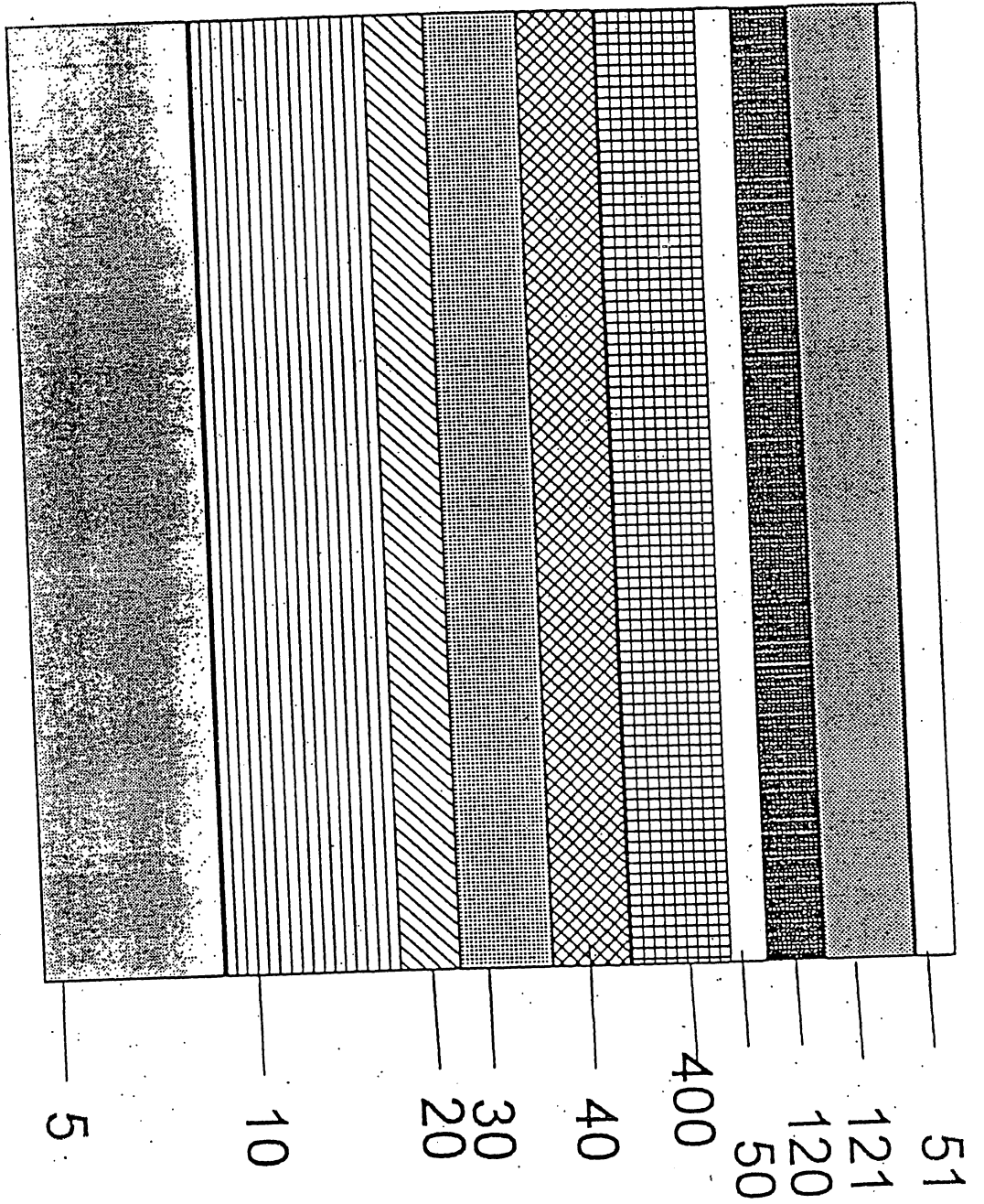
第 16 圖



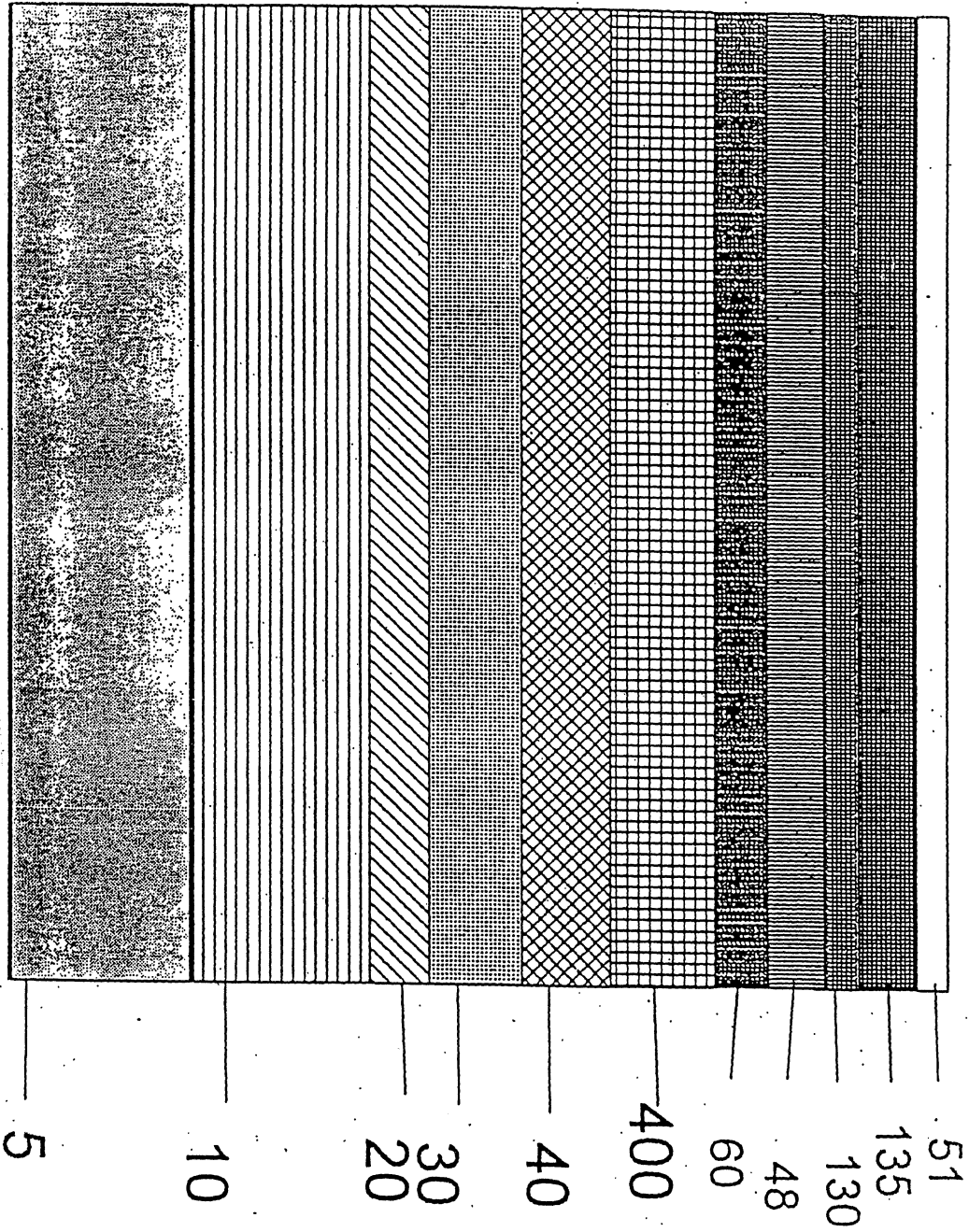
第17圖



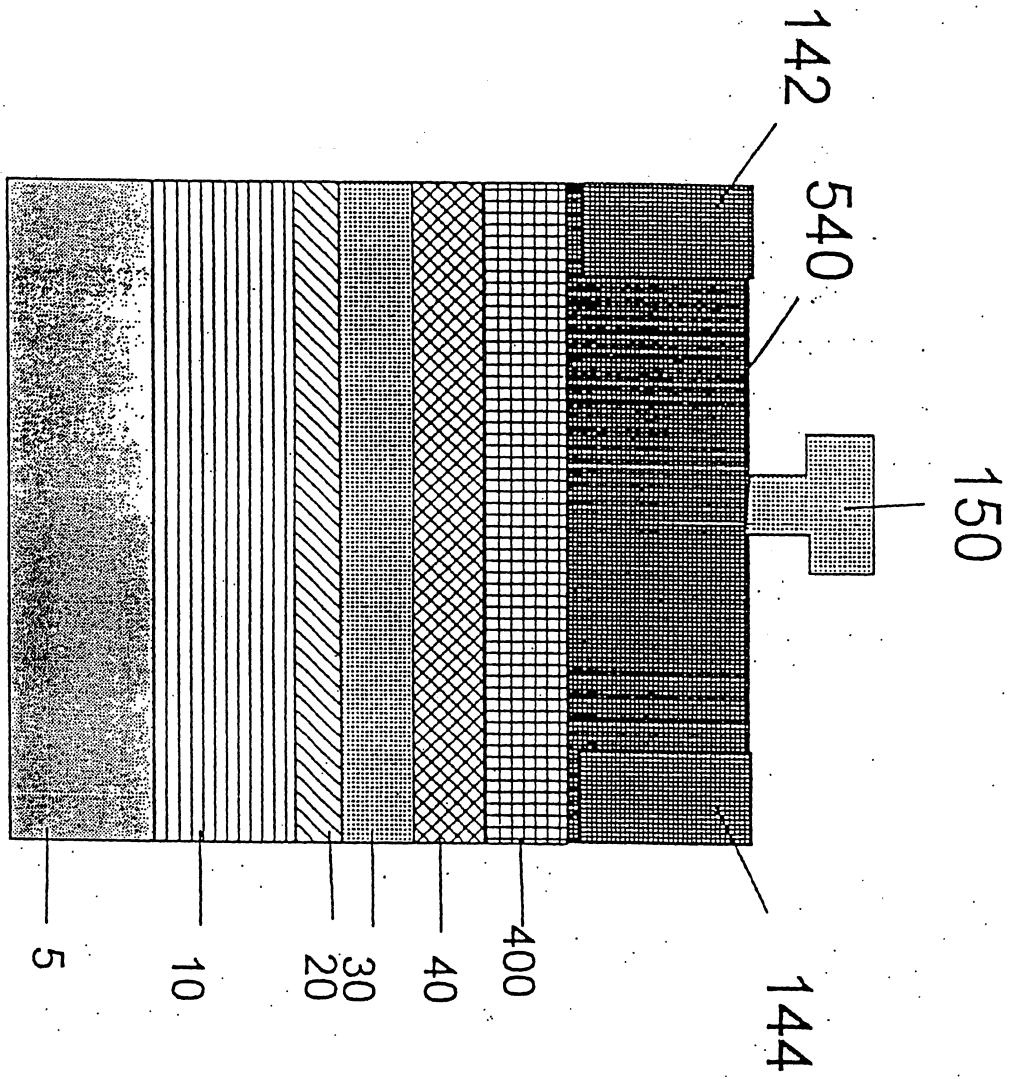
第 18 圖



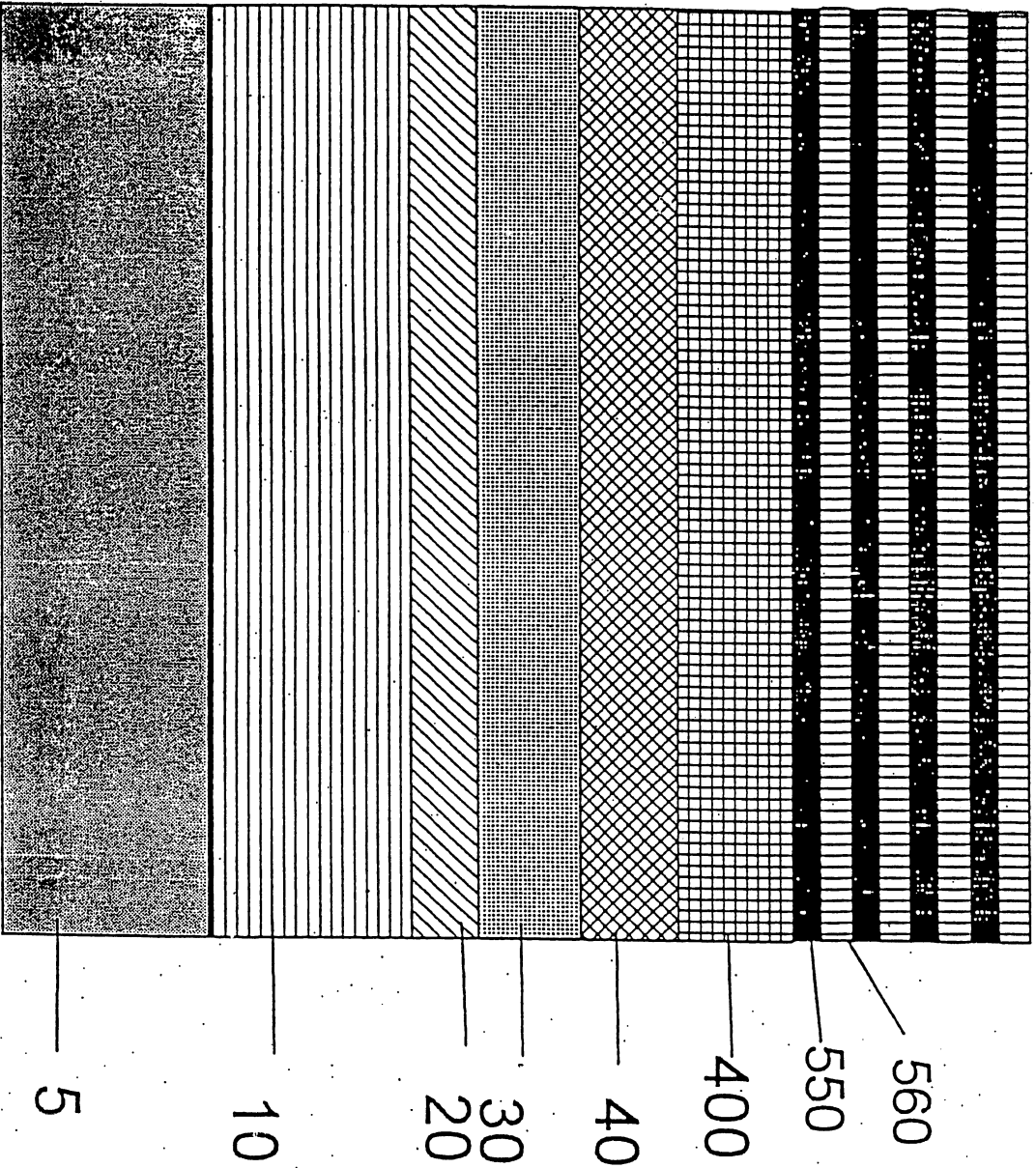
第 19 圖



第 20 圖



第21圖



第 22 圖