

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6932542号
(P6932542)

(45) 発行日 令和3年9月8日(2021.9.8)

(24) 登録日 令和3年8月20日(2021.8.20)

(51) Int. Cl. F I
 HO4N 5/374 (2011.01) HO4N 5/374
 HO4N 5/376 (2011.01) HO4N 5/376

請求項の数 20 (全 40 頁)

(21) 出願番号	特願2017-93145 (P2017-93145)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成29年5月9日(2017.5.9)	(74) 代理人	100094112 弁理士 岡部 譲
(65) 公開番号	特開2018-191176 (P2018-191176A)	(74) 代理人	100101498 弁理士 越智 隆夫
(43) 公開日	平成30年11月29日(2018.11.29)	(74) 代理人	100106183 弁理士 吉澤 弘司
審査請求日	令和2年4月2日(2020.4.2)	(74) 代理人	100128668 弁理士 齋藤 正巳
		(72) 発明者	林 英俊 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置、撮像システム及び移動体

(57) 【特許請求の範囲】

【請求項1】

入射光に応じた電荷を生成する光電変換素子を備えるとともに前記電荷に基づく信号を生成する画素が複数の行及び複数の列をなすように配された画素アレイと、

前記画素アレイの各列に対応して配され、対応する1つの列に配された複数の前記画素から出力される信号を伝送する第1の出力線及び第2の出力線と、

1つの列の異なる行に設けられた複数の画素から前記第1の出力線及び前記第2の出力線に信号を出力させるように前記画素アレイを駆動する走査部と、

テストモードにおいて、前記第1の出力線及び前記第2の出力線に互いに異なる電位を与えるよう、前記画素を制御する出力線制御部と、

を有し、

前記出力線制御部は、前記テストモードにおいて、前記第1の出力線及び前記第2の出力線の少なくともいずれかに、前記光電変換素子で生成された電荷に基づく信号を出力させることを特徴とする撮像装置。

【請求項2】

前記出力線制御部は、前記テストモードにおいて、前記第1の出力線に前記画素で入射光に応じて生成された電荷に基づく信号を出力させ、前記第2の出力線に前記画素のリセット状態に基づく信号を出力させるように前記走査部を制御することを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記画素アレイに含まれる複数の画素の各々は、
 前記光電変換素子で生成された電荷を転送する転送トランジスタと、
 前記転送トランジスタにより前記光電変換素子から電荷が転送される入力ノードを有し、前記入力ノードの電位に応じた信号を出力する増幅トランジスタと、
 前記入力ノードの電位をリセットするリセットトランジスタと、
 を含み、

前記出力線制御部は、前記テストモードにおいて、前記第 1 の出力線に信号を出力する画素の前記リセットトランジスタをオフにし、前記第 2 の出力線に信号を出力する画素の前記リセットトランジスタをオンに維持して前記入力ノードをリセットした状態で前記画素から信号を出力させるように前記走査部を制御することを特徴とする請求項 1 又は 2 に記載の撮像装置。

10

【請求項 4】

前記画素アレイに含まれる複数の画素の各々は、
 前記光電変換素子で生成された電荷を転送する転送トランジスタと、
 前記転送トランジスタにより前記光電変換素子から電荷が転送される入力ノードを有し、前記入力ノードの電位に応じた信号を出力する増幅トランジスタと、
 前記入力ノードの電位をリセットするリセットトランジスタと、
 を含み、

前記出力線制御部は、前記テストモードにおいて、前記第 1 の出力線に信号を出力する画素の前記転送トランジスタをオンにして電荷を転送させ、前記第 2 の出力線に信号を出力する画素の前記転送トランジスタをオフに維持して前記入力ノードをリセット状態に維持した状態で前記画素から信号を出力させるように前記走査部を制御することを特徴とする請求項 1 又は 2 に記載の撮像装置。

20

【請求項 5】

前記出力線制御部は、前記テストモードにおいて、前記第 1 の出力線及び前記第 2 の出力線のいずれか一方のみに前記画素から信号を出力させるように前記走査部を制御することを特徴とする請求項 1 に記載の撮像装置。

【請求項 6】

前記画素アレイに含まれる複数の画素の各々は、
 前記第 1 の出力線に接続された第 1 の選択トランジスタと、
 前記第 2 の出力線に接続された第 2 の選択トランジスタと、
 を含み、
 前記出力線制御部は、前記テストモードにおいて、前記第 1 の選択トランジスタをオンにし、前記第 2 の選択トランジスタをオフにした状態で前記画素から信号を出力させるように前記走査部を制御することを特徴とする請求項 1 又は 5 に記載の撮像装置。

30

【請求項 7】

前記出力線制御部は、前記テストモードにおいて、前記第 1 の出力線及び前記第 2 の出力線の少なくとも一方の電位を所定の電位でクリップさせるように制御することを特徴とする請求項 1 に記載の撮像装置。

【請求項 8】

前記画素アレイに含まれる複数の画素の各々は、光電変換により入射光に応じた電荷を生成する第 1 の光電変換素子及び第 2 の光電変換素子を含み、
 前記出力線制御部は、前記テストモードにおいて、前記第 1 の出力線に前記第 1 の光電変換素子で生成された電荷に基づく信号を出力させ、前記第 2 の出力線に前記第 2 の光電変換素子で生成された電荷に基づく信号を出力させるように前記走査部を制御し、
 前記第 1 の光電変換素子で生成される電荷の量と、前記第 2 の光電変換素子で生成される電荷の量とは互いに異なることを特徴とする請求項 1 に記載の撮像装置。

40

【請求項 9】

前記第 1 の光電変換素子に入射する光を通過させる第 1 の色の色フィルタと、
 前記第 2 の光電変換素子に入射する光を通過させる、前記第 1 の色とは異なる第 2 の色

50

の色フィルタと、

を更に有することを特徴とする請求項 8 に記載の撮像装置。

【請求項 10】

前記第 1 の光電変換素子と、前記第 2 の光電変換素子とは、入射光を受光する面積が互いに異なることを特徴とする請求項 8 に記載の撮像装置。

【請求項 11】

前記第 1 の光電変換素子及び前記第 2 の光電変換素子のいずれか一方は、入射光を遮光する遮光部を更に有することを特徴とする請求項 8 に記載の撮像装置。

【請求項 12】

入射光に応じた電荷を生成する光電変換素子を備えるとともに前記電荷に基づく信号を生成する画素が複数の行及び複数の列をなすように配された画素アレイと、

前記画素アレイの各列に対応して配され、対応する 1 つの列に配された複数の前記画素から出力される信号を伝送する第 1 の出力線及び第 2 の出力線と、

1 つの列の異なる行に設けられた複数の画素から前記第 1 の出力線及び前記第 2 の出力線に信号を出力させるように前記画素アレイを駆動する走査部と、

テストモードにおいて、前記第 1 の出力線及び前記第 2 の出力線に互いに異なる電位を与えるよう、前記画素を制御する出力線制御部と、

を有し、

前記画素アレイは、第 1 の固定電位及び第 2 の固定電位を出力可能なダミー画素を更に含み、

前記出力線制御部は、前記テストモードにおいて、前記ダミー画素から前記第 1 の出力線に前記第 1 の固定電位を供給させ、前記ダミー画素から前記第 2 の出力線に前記第 2 の固定電位を供給させるよう前記走査部を制御し、

前記テストモードにおいて、前記第 1 の出力線及び前記第 2 の出力線の少なくともいずれかは、前記第 1 の出力線及び前記第 2 の出力線が短絡していない場合、前記第 1 の出力線及び前記第 2 の出力線が短絡している場合のそれぞれにおいて互いに異なる電位を出力することを特徴とする撮像装置。

【請求項 13】

前記第 1 の出力線の電位及び前記第 2 の出力線の電位の少なくとも 1 つに基づいて、前記第 1 の出力線と前記第 2 の出力線との短絡を検出する短絡検出部を更に有することを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の撮像装置。

【請求項 14】

前記短絡検出部は、前記第 1 の出力線の電位又は前記第 2 の出力線の電位を所定の閾値と比較することにより短絡の検出を行うことを特徴とする請求項 13 に記載の撮像装置。

【請求項 15】

前記短絡検出部が行った短絡の検出結果に基づいて、短絡の発生の有無を示す信号を出力する信号出力部を更に備えることを特徴とする請求項 13 又は 14 に記載の撮像装置。

【請求項 16】

前記短絡検出部が行った短絡の検出結果に基づいて、短絡の発生の個数を示す信号を出力する信号出力部を更に備えることを特徴とする請求項 13 又は 14 に記載の撮像装置。

【請求項 17】

前記短絡検出部は、1 フレーム分の信号を読み出す処理と次の 1 フレーム分の信号を読み出す処理との間の垂直ブランキング期間に短絡の検出を行うことを特徴とする請求項 13 乃至 16 のいずれか 1 項に記載の撮像装置。

【請求項 18】

請求項 1 乃至 17 のいずれか 1 項に記載の撮像装置と、

前記撮像装置から出力される信号を処理する信号処理部と

を備えることを特徴とする撮像システム。

【請求項 19】

前記信号処理部は、前記テストモードにおいて前記第 1 の出力線及び前記第 2 の出力線

10

20

30

40

50

に互いに異なる電位が与えられていることを検知することを特徴とする請求項 18 に記載の撮像システム。

【請求項 20】

移動体であって、

請求項 1 乃至 17 のいずれか 1 項に記載の撮像装置と、

前記撮像装置からの信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、

前記距離情報に基づいて前記移動体を制御する移動体制御手段と

を備えることを特徴とする移動体。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、撮像装置、撮像システム及び移動体に関する。

【背景技術】

【0002】

特許文献 1 には、複数の列をなして設けられた信号線を有する撮像装置が開示されている。各信号線にはバッファが設けられており、バッファから各信号線を介して信号受信部に同じ信号を供給することで、回路のテストを行うことができる。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献 1】特開 2012 - 199913 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載のテスト手法では、複数の信号線が同じ電位となるため、信号線同士が短絡している場合の検出が困難となり得る。そこで、本発明は、複数の出力線の間を短絡を検出することが可能な撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

30

本発明の一観点によれば、入射光に応じた電荷を生成する光電変換素子を備えるとともに前記電荷に基づく信号を生成する画素が複数の行及び複数の列をなすように配された画素アレイと、前記画素アレイの各列に対応して配され、対応する 1 つの列に配された複数の前記画素から出力される信号を伝送する第 1 の出力線及び第 2 の出力線と、1 つの列の異なる行に設けられた複数の画素から前記第 1 の出力線及び前記第 2 の出力線に信号を出力させるように前記画素アレイを駆動する走査部と、テストモードにおいて、前記第 1 の出力線及び前記第 2 の出力線に互いに異なる電位を与えるよう、前記画素を制御する出力線制御部と、を有し、前記出力線制御部は、前記テストモードにおいて、前記第 1 の出力線及び前記第 2 の出力線の少なくともいずれかに、前記光電変換素子で生成された電荷に基づく信号を出力させることを特徴とする撮像装置が提供される。

40

【発明の効果】

【0006】

複数の出力線の間を短絡を検出することが可能な撮像装置を提供することができる。

【図面の簡単な説明】

【0007】

【図 1】第 1 実施形態に係る撮像装置のブロック図である。

【図 2】第 1 実施形態に係る画素の回路構成を示す図である。

【図 3】第 1 実施形態に係る垂直走査部及び垂直出力線制御部の回路構成を示す図である。

50

- 【図 4】第 1 実施形態に係る撮像装置の動作の概要を示す図である。
- 【図 5】第 1 実施形態に係る撮像装置のアドレス設定期間の動作を示す図である。
- 【図 6 A】第 1 実施形態に係る撮像装置の通常駆動モードにおける動作及び垂直出力線の電位を示す図である。
- 【図 6 B】第 1 実施形態に係る撮像装置のテストモードにおける動作及び垂直出力線の電位を示す図である。
- 【図 6 C】第 1 実施形態に係る撮像装置の短絡発生時の動作及び垂直出力線の電位を示す図である。
- 【図 7】第 1 実施形態の変形例に係る垂直走査部の回路構成を示す図である。
- 【図 8 A】第 1 実施形態の変形例に係る撮像装置の通常駆動モードにおける動作及び垂直出力線の電位を示す図である。 10
- 【図 8 B】第 1 実施形態の変形例に係る撮像装置のテストモードにおける動作及び垂直出力線の電位を示す図である。
- 【図 9】第 2 実施形態に係る垂直走査部及び垂直出力線制御部の回路構成を示す図である。
- 【図 10】第 2 実施形態に係る撮像装置のテストモードにおける動作及び垂直出力線の電位を示す図である。
- 【図 11】第 2 実施形態の変形例に係る垂直走査部の回路構成を示す図である。
- 【図 12 A】第 2 実施形態の変形例に係る撮像装置の通常駆動モードにおける動作及び垂直出力線の電位を示す図である。 20
- 【図 12 B】第 2 実施形態の変形例に係る撮像装置のテストモードにおける動作及び垂直出力線の電位を示す図である。
- 【図 13】第 3 実施形態に係る垂直走査部及び垂直出力線制御部の回路構成を示す図である。
- 【図 14】第 3 実施形態に係る撮像装置の動作の概要を示す図である。
- 【図 15】第 4 実施形態に係る撮像装置のブロック図である。
- 【図 16】第 4 実施形態に係る垂直出力線制御部の回路構成を示す図である。
- 【図 17】第 4 実施形態の変形例に係る垂直出力線制御部の回路構成を示す図である。
- 【図 18】第 5 実施形態に係る画素の構成及び駆動方法の概要を示す図である。
- 【図 19】第 5 実施形態に係る垂直走査部及び垂直出力線制御部の回路構成を示す図である。 30
- 【図 20】第 5 実施形態に係る撮像装置の動作を示す図である。
- 【図 21】第 6 実施形態に係る画素の構成の概要を示す図である。
- 【図 22】第 6 実施形態に係る撮像装置の動作を示す図である。
- 【図 23】第 7 実施形態に係る画素及びダミー画素の構成の概要を示す図である。
- 【図 24】第 7 実施形態に係る撮像装置の動作を示す図である。
- 【図 25】第 8 実施形態に係る撮像装置のブロック図である。
- 【図 26】第 8 実施形態に係る撮像装置のブロック図である。
- 【図 27】第 8 実施形態に係る短絡検出部の処理を示すフローチャートである。
- 【図 28】第 9 実施形態に係る短絡検出部の処理を示すフローチャートである。 40
- 【図 29】第 10 実施形態に係る撮像システムのブロック図である。
- 【図 30】第 11 実施形態に係る撮像システム及び移動体のブロック図である。
- 【発明を実施するための形態】
- 【0008】
- 以下に、本発明の好ましい実施形態を、添付の図面に基づいて説明する。複数の図面にわたって対応する要素には共通の符号を付し、その説明を省略又は簡略化することがある。
- 【0009】
- (第 1 実施形態)
- 図 1 は、第 1 実施形態に係る撮像装置 100 の構成例を示すブロック図である。撮像装 50

置 100 は、画素アレイ 1、垂直走査部 2、タイミング生成部 3、列回路部 4、水平走査部 5 及び信号出力部 6 を有する。画素アレイ 1 は、複数の行及び複数の列をなすように 2 次元状に配された複数の画素 10 を含む。画素 10 は、光電変換により入射光に応じた信号を生成する。垂直走査部 2 は、水平方向（図 1 の左右方向）に並ぶ複数の画素 10 に対し、行ごとに配された制御線（不図示）を介して同時に制御信号を供給する。この制御信号の供給を各行について順次行うことで、垂直方向（図 1 の上下方向）の走査が行われる。垂直走査部 2 からの制御信号に応じて、画素 10 から出力される画素信号は、画素アレイ 1 の各列に対応して 2 本ずつ配された垂直出力線により伝送され、列回路部 4 に入力される。

【 0010 】

列回路部 4 は、画素 10 から出力された画素信号に対し増幅等の処理を行い、一時的に列回路部 4 内のメモリに保持する。列回路部 4 に保持された画素信号は、水平走査部 5 から出力される列アドレス信号に応じて水平走査部 5 内の水平出力線を介して順次信号出力部 6 に出力される。信号出力部 6 は、画素信号を外部のプロトコルに準拠した信号に変換して撮像装置 100 の外部に出力する。

【 0011 】

タイミング生成部 3 には、撮像装置 100 の外部から、撮像装置 100 の駆動の基準となる信号及び撮像装置 100 の設定に関する信号を受信する。タイミング生成部 3 は、これらの信号に基づいて、垂直走査部 2 に対して、垂直アドレス信号及び制御タイミングに関する信号を出力する。これらに基づいて、垂直走査部 2 は、画素アレイ 1 の駆動タイミ

【 0012 】

ングを制御する。また、タイミング生成部 3 は、列回路部 4 に対して制御タイミングに関する信号を出力し、更に、水平走査部 5 に対して水平アドレス信号及び制御タイミングに関する信号を出力する。

【 0013 】

垂直走査部 2 は、垂直出力線制御部 7 を含む。垂直出力線制御部 7 は、タイミング生成部 3 からの信号に応じて、画素アレイ 1 の 2 本の垂直出力線に互いに異なる電位を与えるよう制御する。これは、撮像装置 100 のテストモードにおける制御であり、具体的な内容については後述する。

【 0014 】

図 2 は、画素 10 の回路構成例を示す図である。図 2 には、画素アレイ 1 を構成する複数の画素 10 のうち、同じ列に配された 2 つの画素 10 が抜き出して示されている。図 2 の上方に配された画素 10 は 0 行目の画素 10 であるものとし、下方に配された画素 10 は 1 行目の画素 10 であるものとする。2 つの画素 10 は、同様の構成を有するため、以下では主として 0 行目の画素 10 について説明し、1 行目の画素 10 については一部の説明を省略又は簡略化する。

【 0015 】

0 行目の画素 10 は、光電変換素子 101、102、転送トランジスタ 105、106、増幅トランジスタ 107、リセットトランジスタ 108 及び選択トランジスタ 109、110 を有する。1 行目の画素 10 も同様の構成を有するが、区別のため、光電変換素子 103、104 については 0 行目と異なる符号が付されている。光電変換素子 101、102、103、104 は、例えば、光電変換により入射光に応じた電荷を生成するフォトダイオードである。各トランジスタは、例えば、n 型の MOS (Metal Oxide Semiconductor) トランジスタである。

【 0015 】

光電変換素子 101 のアノードは接地されており、光電変換素子 101 のカソードは転送トランジスタ 105 のソースに接続されている。また、光電変換素子 102 のアノードは接地されており、光電変換素子 102 のカソードは転送トランジスタ 106 のソースに接続されている。転送トランジスタ 105 のドレイン及び転送トランジスタ 106 のドレインは、リセットトランジスタ 108 のソース及び増幅トランジスタ 107 のゲートに接続されている。転送トランジスタ 105 のドレイン、転送トランジスタ 106 のドレイン

10

20

30

40

50

、リセットトランジスタ108のソース及び増幅トランジスタ107のゲートの接続ノードは、フローティングディフュージョンFDを構成する。このように、光電変換素子101、102で生成された電荷が増幅トランジスタ107の入力ノードであるフローティングディフュージョンFDに転送され得る構成となっている。

【0016】

リセットトランジスタ108のドレイン及び増幅トランジスタ107のドレインは、電源電位VDDを供給する電源電位線に接続されている。増幅トランジスタ107のソースは、選択トランジスタ109のドレイン及び選択トランジスタ110のドレインに接続されている。

【0017】

なお、トランジスタのソースとドレインの呼称は、トランジスタの導電型や着目する機能等に応じて異なることがあり、上述のソースとドレインとは逆の名称で呼ばれることもある。

【0018】

画素アレイ1の各列には、列方向に延在する2つの垂直出力線111、112がそれぞれ配されている。垂直出力線111（第1の出力線）は、列方向に並ぶ複数の画素10の選択トランジスタ109のソースに接続されており、垂直出力線112（第2の出力線）は、列方向に並ぶ複数の画素10の選択トランジスタ110のソースに接続されている。このように、垂直出力線111、112は同一列の画素10に対し共通の信号線をなしている。垂直出力線111、112の各々には、不図示の電流源が接続されている。これにより、増幅トランジスタ107及び電流源は、フローティングディフュージョンFDの電位に応じた電位を垂直出力線111又は垂直出力線112に出力させるソースフォロワ回路を構成する。

【0019】

また、0行目の画素10には、垂直走査部2から制御信号res[0]、tx1[0]、tx2[0]、sel1[0]、sel2[0]が入力される。ここで、各制御信号に付された添字は行番号を示している。制御信号res[0]はリセットトランジスタ108のゲートに入力され、リセットトランジスタ108をオン状態（導通状態）又はオフ状態（非導通状態）に制御する。リセットトランジスタ108がオン状態になると、フローティングディフュージョンFDの電位がリセットされる。

【0020】

制御信号tx1[0]、tx2[0]は、それぞれ、転送トランジスタ105、106のゲートに入力され、転送トランジスタ105、106をオン状態又はオフ状態に制御する。転送トランジスタ105がオン状態になると、光電変換素子101に蓄積された電荷がフローティングディフュージョンFDに転送される。転送トランジスタ106がオン状態になると、光電変換素子102に蓄積された電荷がフローティングディフュージョンFDに転送される。

【0021】

制御信号sel1[0]、sel2[0]は、それぞれ、選択トランジスタ109、110のゲートに入力され、選択トランジスタ109、110をオン状態又はオフ状態に制御する。選択トランジスタ109がオン状態になると、増幅トランジスタ107のソースが垂直出力線111に接続され、フローティングディフュージョンFDの電位に応じた電位が垂直出力線111に出力される。選択トランジスタ110がオン状態になると、増幅トランジスタ107のソースが垂直出力線112に接続され、フローティングディフュージョンFDの電位に応じた電位が垂直出力線112に出力される。なお、各トランジスタは、入力される制御信号がハイレベルのときにオン状態になるものとする。

【0022】

本実施形態では、画素アレイ1の各列に2つの垂直出力線111、112が設けられている。そのため、例えば、0行目の画素10からの信号を垂直出力線111に出力し、1行目の画素10からの信号を垂直出力線112に出力することにより、同一の列の異なる

10

20

30

40

50

行に設けられた複数の画素 10 からの画素信号を同時刻に出力することができる。

【0023】

図3は、垂直走査部2及び垂直出力線制御部7の回路構成例を示す図である。垂直走査部2は、垂直出力線制御部7及び行ごとに設けられた行駆動回路200を含む。垂直走査部2は、タイミング生成部3から入力される垂直アドレス信号を不図示のデコーダによりデコードし、行アドレス信号 $vaddr[k]$ を生成し、対応する行の行駆動回路200に入力させる。行アドレス信号 $vaddr[k]$ は、ハイレベルのときにその行が指定されていることを示す。行アドレス信号により指定された行の行駆動回路200は、対応する行の画素10の駆動に用いられる制御信号の生成を行う。具体的には、k行目の行駆動回路200は、行アドレス信号 $vaddr[k]$ に基づいて、制御信号 $sel1[k]$ 、 $sel2[k]$ 、 $res[k]$ 、 $tx1[k]$ 、 $tx2[k]$ を生成する。添字のkは画素アレイ1を構成する画素10の任意の行の行番号を表している。図3では、2行目以降の行駆動回路200の図示を省略又は簡略化している。また、偶数番目の行と奇数番目の行とで、接続関係が異なる配線については、太線で示されている。

10

【0024】

また、垂直走査部2には、タイミング生成部3から制御信号 P_LATRD1 、 P_LATRD2 、 P_LATSH 、 P_LATRD_RES 、 P_LATSH_RES 、 P_LATRDD 、 P_LATSHD が入力される。これらの制御信号は、指定する行を示す行アドレス信号 $vaddr[k]$ を一旦保持するための制御に用いられる。

20

【0025】

また、垂直走査部2には、タイミング生成部3から制御信号 P_SEL 、 P_TX1_RD 、 P_TX2_RD 、 P_TX1_SH 、 P_TX2_SH 、 $P_FDRES_RD_B$ 、 R_VLINE_TST が入力される。これらは画素10の駆動に用いられる制御信号の生成に用いられる。

【0026】

以下では、主として、行アドレス信号 $vaddr[0]$ が入力される0行目の行駆動回路200について説明する。1行目の行駆動回路200については、0行目の行駆動回路200と異なる点のみを説明する。2行目以降の行駆動回路200は、0行目又は1行目の行駆動回路200と同様の構成であるため説明を省略する。

30

【0027】

0行目の行駆動回路200は、AND回路201、202、207、208、212、215、216、218、219、SRラッチ203、204、213、Dラッチ205、206、214、OR回路209、217、220及びNAND回路210を含む。また、1行目の行駆動回路200は、NAND回路210に代えてNAND回路211を含む。垂直出力線制御部7は、AND回路701を含む。

【0028】

0行目の行駆動回路200について説明する。行アドレス信号 $vaddr[0]$ は、AND回路201、202、212の一方の入力端子に入力される。AND回路201の他方の入力端子には、制御信号 P_LATRD1 が入力される。AND回路201は、行アドレス信号 $vaddr[0]$ と制御信号 P_LATRD1 の論理積をSRラッチ203のセット端子Sに出力し、SRラッチ203に保持させる。AND回路202の他方の入力端子には、制御信号 P_LATRD2 が入力される。AND回路202は、行アドレス信号 $vaddr[0]$ と制御信号 P_LATRD2 の論理積をSRラッチ204のセット端子Sに出力し、SRラッチ204に保持させる。AND回路212の他方の入力端子には、制御信号 P_LATSH が入力される。AND回路212は、行アドレス信号 $vaddr[0]$ と制御信号 P_LATSH の論理積をSRラッチ213のセット端子Sに出力し、SRラッチ213に保持させる。

40

【0029】

SRラッチ203のリセット端子R及びSRラッチ204のリセット端子Rには、制御信号 P_LATRD_RES が入力される。SRラッチ213のリセット端子Rには、制

50

御信号 P__L A T S H__R E S が入力される。

【 0 0 3 0 】

S R ラッチ 2 0 3、2 0 4、2 1 3 の出力端子 Q からの出力信号は、それぞれ、D ラッチ 2 0 5、2 0 6、2 1 4 のデータ入力端子 D に入力される。D ラッチ 2 0 5 のゲート入力端子 G 及び D ラッチ 2 0 6 のゲート入力端子 G には、制御信号 P__L A T R D D が入力される。D ラッチ 2 0 5、2 0 6 は、それぞれ、制御信号 P__L A T R D D をクロックとして、S R ラッチ 2 0 3、2 0 4 から出力される信号を制御信号 P__L A T R D D に基づくタイミングで保持する。D ラッチ 2 1 4 のゲート入力端子 G には、制御信号 P__L A T S H D が入力される。D ラッチ 2 1 4 は、制御信号 P__L A T S H D をクロックとして、S R ラッチ 2 1 3 から出力される信号を制御信号 P__L A T S H D に基づくタイミングで保持する。制御信号 P__L A T R D D、P__L A T S H D はすべての行に入力されるため、複数行の画素 1 0 に対して同時刻に読み出し等の駆動を行うことができる。

10

【 0 0 3 1 】

D ラッチ 2 0 5、2 0 6 に保持された信号は出力端子 Q から出力され、A N D 回路 2 0 7、2 0 8 の一方の入力端子にそれぞれ入力される。A N D 回路 2 0 7、2 0 8 の他方の入力端子には、制御信号 P__S E L が入力される。A N D 回路 2 0 7 は、D ラッチ 2 0 5 の出力と、制御信号 P__S E L の論理積を制御信号 s e l 1 [0] として、0 行目の画素 1 0 に出力する。また、A N D 回路 2 0 8 は、D ラッチ 2 0 6 の出力と、制御信号 P__S E L の論理積を制御信号 s e l 2 [0] として、0 行目の画素 1 0 に出力する。

【 0 0 3 2 】

また、D ラッチ 2 0 5 の出力信号は O R 回路 2 0 9 の一方の入力端子に入力され、D ラッチ 2 0 6 の出力信号は O R 回路 2 0 9 の他方の入力端子に入力される。O R 回路 2 0 9 は、D ラッチ 2 0 5 の出力と D ラッチ 2 0 6 の出力との論理和を、N A N D 回路 2 1 0 の一方の入力端子、A N D 回路 2 1 5 の一方の入力端子、A N D 回路 2 1 8 の一方の入力端子に出力する。

20

【 0 0 3 3 】

N A N D 回路 2 1 0 の他方の入力端子には、制御信号 P__F D R E S__R D__B が入力される。N A N D 回路 2 1 0 は、O R 回路 2 0 9 の出力と、制御信号 P__F D R E S__R D__B の論理積の反転値を制御信号 r e s [0] として、0 行目の画素 1 0 に出力する。

【 0 0 3 4 】

A N D 回路 2 1 5 の他方の入力端子には、制御信号 P__T X 1__R D が入力される。A N D 回路 2 1 5 は、O R 回路 2 0 9 の出力と、制御信号 P__T X 1__R D の論理積を O R 回路 2 1 7 の一方の入力端子に出力する。D ラッチ 2 1 4 に保持された信号は出力端子 Q から出力され、A N D 回路 2 1 6、2 1 9 の一方の入力端子に入力される。A N D 回路 2 1 6 の他方の入力端子には、制御信号 P__T X 1__S H が入力される。A N D 回路 2 1 6 は、D ラッチ 2 1 4 の出力と、制御信号 P__T X 1__S H の論理積を O R 回路 2 1 7 の他方の入力端子に出力する。O R 回路 2 1 7 は、A N D 回路 2 1 5 の出力と、A N D 回路 2 1 6 の出力との論理和を制御信号 t x 1 [0] として、0 行目の画素 1 0 に出力する。

30

【 0 0 3 5 】

A N D 回路 2 1 8 の他方の入力端子には、制御信号 P__T X 2__R D が入力される。A N D 回路 2 1 8 は、O R 回路 2 0 9 の出力と、制御信号 P__T X 2__R D の論理積を O R 回路 2 2 0 の一方の入力端子に出力する。A N D 回路 2 1 9 の他方の入力端子には、制御信号 P__T X 2__S H が入力される。A N D 回路 2 1 9 は、D ラッチ 2 1 4 の出力と、制御信号 P__T X 2__S H の論理積を O R 回路 2 2 0 の他方の入力端子に出力する。O R 回路 2 2 0 は、A N D 回路 2 1 8 の出力と、A N D 回路 2 1 9 の出力との論理和を制御信号 t x 2 [0] として、0 行目の画素 1 0 に出力する。

40

【 0 0 3 6 】

上述のように、S R ラッチ 2 0 3、D ラッチ 2 0 5 は、0 行目の画素 1 0 から垂直出力線 1 1 1 に信号を出力させる読み出し動作を行う行を指定する信号をラッチする。S R ラッチ 2 0 4、D ラッチ 2 0 6 は、0 行目の画素 1 0 から垂直出力線 1 1 2 に信号を出力さ

50

せる読み出し動作を行う行を指定する信号をラッチする。SRラッチ213、Dラッチ214は、0行目の画素10の光電変換素子101、102及びフローティングディフュージョンFDに蓄積された電荷をリセットし、その後リセットを解除することによる電子シャッタ動作を行う行を指定する信号をラッチする。

【0037】

次に1行目の行駆動回路200及び垂直出力線制御部7について説明する。1行目の行駆動回路200は、NAND回路210に代えてNAND回路211を含む。NAND回路211の一方の入力端子には、OR回路209の出力信号が入力される。垂直出力線制御部7はAND回路701を含む。AND回路701の一方の入力端子には制御信号P_FDRES_RD_Bが入力され、他方の入力端子には制御信号R_VLINE_TSTの反転値が入力される。AND回路701は、制御信号P_FDRES_RD_Bと制御信号R_VLINE_TSTの反転値との論理積を奇数番目の行(1行目、3行目、...)のNAND回路211の他方の入力端子に出力する。NAND回路211は、OR回路209の出力と、AND回路701の出力の論理積の反転値を制御信号res[1]として、1行目の画素10に出力する。

10

【0038】

2行目、4行目等の偶数番目の行の行駆動回路200の構成は0行目の行駆動回路200と同様であり、3行目、5行目等の奇数番目の行の行駆動回路200の構成は1行目の行駆動回路200と同様である。

【0039】

制御信号R_VLINE_TSTは通常画素信号を出力する通常駆動モードと撮像装置100の不具合を検出するテストモードとを切り替える信号である。通常駆動モードにおいては、制御信号R_VLINE_TSTはローレベルであり、AND回路701の出力は制御信号P_FDRES_RD_Bと一致する。したがって、偶数番目の行のNAND回路210と奇数番目の行のNAND回路211は同じ動作を行う。テストモードにおいては、制御信号R_VLINE_TSTはハイレベルであり、AND回路701の出力はローレベルである。したがって、奇数番目の行のNAND回路211の出力はハイレベルとなり、奇数番目の制御信号res[1]、res[3]、...は、ハイレベルに維持される。

20

【0040】

次に、図4、図5、図6A、図6B及び図6Cを用いて撮像装置100の動作を説明する。図4は、撮像装置100の動作の概要を示すタイミングチャートである。図5は、撮像装置100のアドレス設定期間の動作を示すタイミングチャートである。図6Aは、撮像装置100の通常駆動モードにおける動作タイミング及び垂直出力線111、112の電位を示す図である。図6Bは、撮像装置100のテストモードにおける動作タイミング及び垂直出力線111、112の電位を示す図である。図6Cは、テストモードにおいて、垂直出力線111と垂直出力線112の間に短絡が発生している場合の動作タイミング及び垂直出力線111、112の電位を示す図である。

30

【0041】

図4には、垂直同期信号VD及び水平同期信号HDのタイミングが示されている。垂直同期信号VD及び水平同期信号HDは撮像装置100の駆動のために入力される基準タイミング信号である。水平同期信号HDのパルス間隔を1HD期間とする。1HD期間内において、1行分の画素10の駆動が行われ、撮像装置100から1行分の画素信号の出力が行われる。垂直同期信号VDのパルス間隔を1VD期間(不図示)とする。1VD期間は、1フレーム分の画素信号を出力する期間に相当する。1HD期間は、駆動を行う行アドレスを設定するアドレス設定期間(図中の(1))と、画素10の駆動を行う画素駆動期間(図中の(2))とを含む。

40

【0042】

図5には、アドレス設定期間(図4の(1))における動作がより詳細に示されている。図5に示されるVDECCNTはタイミング生成部3から出力される垂直アドレス信号

50

を示している。垂直アドレス信号 $VDECENT$ をデコードすることにより、各行の行駆動回路 200 に入力される行アドレス信号が生成される。図 5 の垂直アドレス信号 $VDECENT$ に示されている値の行番号の行アドレス信号はハイレベルとなり、それ以外の行番号の行アドレス信号はローレベルとなる。

【0043】

時刻 t_1 において、水平同期信号 HD が入力され、1 HD 期間が開始するとともに、アドレス設定期間も開始する。時刻 t_2 において、制御信号 P_LATRD_RES 、 P_LATSH_RES がハイレベルになる。これにより SR ラッチ 203、204、213 がリセットされる。

【0044】

次に、読み出し動作のアドレス設定が行われる。時刻 t_3 において、タイミング生成部 3 から出力される垂直アドレス信号 $VDECNT$ の値が 0 にセットされる。これにより、垂直アドレス信号 $VDECNT$ をデコードして得られる 0 行目の行アドレス信号 $vaddr[0]$ がハイレベルになる。時刻 t_4 において、制御信号 P_LATRD1 がハイレベルになり、0 行目の AND 回路 201 の出力がハイレベルになり、この信号が SR ラッチ 203 にセットされる。

【0045】

時刻 t_5 において、垂直アドレス信号 $VDECNT$ の値が 1 にセットされる。これにより、1 行目の行アドレス信号 $vaddr[1]$ がハイレベルになる。時刻 t_6 において、制御信号 P_LATRD2 がハイレベルになり、1 行目の AND 回路 202 の出力がハイレベルになり、この信号が SR ラッチ 204 にセットされる。

【0046】

次に、シャッタ動作のアドレス設定が行われる。時刻 t_7 において、垂直アドレス信号 $VDECNT$ の値が n にセットされる。これにより、 n 行目の行アドレス信号 $vaddr[n]$ がハイレベルになる。時刻 t_8 において、制御信号 P_LATSH がハイレベルになり、 n 行目の AND 回路 212 の出力がハイレベルになり、この信号が n 行目の SR ラッチ 213 にセットされる。次に、時刻 t_9 において、垂直アドレス信号 $VDECNT$ の値が $n+1$ にセットされる。これにより、 $n+1$ 行目の行アドレス信号 $vaddr[n+1]$ がハイレベルになる。時刻 t_{10} において、制御信号 P_LATSH がハイレベルになり、 $n+1$ 行目の AND 回路 212 の出力がハイレベルになり、この信号が $n+1$ 行目の SR ラッチ 213 にセットされる。なお、以下の説明では n は偶数であるものとする。

【0047】

以上の動作により、0 行目と 1 行目の行駆動回路 200 が読み出し動作を行う行（読み出し行）としてセットされ、 n 行目と $n+1$ 行目の行駆動回路 200 がシャッタ動作を行う行（シャッタ行）としてセットされる。

【0048】

t_{11} において、制御信号 P_LATRDD 、 P_LATSHD がハイレベルになる。これにより、0 行目の D ラッチ 205、1 行目の D ラッチ 206、 n 行目と $n+1$ 行目の D ラッチ 214 の出力がハイレベルになる。

【0049】

図 6 A には、通常駆動モードにおける画素駆動期間（図 4 の（2））における動作及び垂直出力線の電位が示されている。図 6 A では、アドレス設定期間において設定された読み出し行の行アドレス信号を $vaddr(read-row)$ と表記し、アドレス設定期間において設定されたシャッタ行の行アドレス信号を $vaddr(shutter-row)$ と表記している。なお、図 6 A において、垂直走査部 2 から出力され画素 10 に入力される制御信号は読み出し行である 0 行目と 1 行目のみが図示されており、その他の行については不図示である。しかしながら、必要に応じてシャッタ行（ n 行目と $n+1$ 行目）の制御信号についても説明することがある。

【0050】

10

20

30

40

50

以下、図6Aを参照して通常駆動モードにおける読み出し動作及びシャッタ動作について説明する。通常駆動モードであるため、制御信号R__VLINE__TSTはローレベルに維持されている。

【0051】

時刻t1は、図5を参照して上述したように、1HD期間の開始のタイミングである。時刻t1から時刻t20までのアドレス設定期間において、図5で述べたアドレス設定が行われる。したがって、vaddr(read-row)は0及び1、すなわち、読み出し行は0行目と1行目であり、vaddr(shutter-row)はn及びn+1、すなわち、シャッタ行はn行目とn+1行目である。

【0052】

時刻t20において、制御信号P__SELがハイレベルになる。これにより、0行目のAND回路207の出力である制御信号sel1[0]と、1行目のAND回路208の出力である制御信号sel2[1]とがハイレベルになる。したがって、0行目の選択トランジスタ109と1行目の選択トランジスタ110がオン状態になる。

【0053】

時刻t21において、制御信号P__FDRES__RD__Bがハイレベルになる。また、制御信号R__VLINE__TSTはローレベルであるため、AND回路701の出力は、ハイレベルである。このとき、0行目のNAND回路210の出力である制御信号res[0]と、1行目のNAND回路211の出力である制御信号res[1]とがローレベルになる。したがって、0行目と1行目のリセットトランジスタ108がオフ状態になる。一方、シャッタ行においては、OR回路209の出力がローレベルであるため、NAND回路210、211の出力はハイレベルのままであり、制御信号res[n]、res[n+1]はハイレベルを維持する。したがって、n行目とn+1行目のリセットトランジスタ108がオン状態のままである。

【0054】

時刻t22において、制御信号P__TX1__RD、P__TX1__SHがハイレベルになる。これにより、読み出し行である0行目、1行目と、シャッタ行であるn行目、n+1行目のOR回路217の出力、すなわち、制御信号tx1[0]、tx1[1]、tx1[n]、tx1[n+1]がハイレベルになる。したがって、0行目、1行目、n行目、n+1行目の転送トランジスタ105がオン状態になる。

【0055】

以上により、0行目の画素10において、リセットトランジスタ108がオフ状態、転送トランジスタ105がオン状態、選択トランジスタ109がオン状態となるため、垂直出力線111には、光電変換素子101で生成された電荷に基づく電位が出力される。また、1行目の画素10において、リセットトランジスタ108がオフ状態、転送トランジスタ105がオン状態、選択トランジスタ110がオン状態となるため、垂直出力線112には、光電変換素子103で生成された電荷に基づく電位が出力される。図6Aには、垂直出力線111、112に与えられる電位が図示されており、例えば、垂直出力線111の「PD(101)レベル」は、垂直出力線111の電位が、光電変換素子101で生成された電荷に基づくレベルとなっていることを示す。

【0056】

また、n行目の画素10において、リセットトランジスタ108がオン状態、転送トランジスタ105がオン状態となるので、光電変換素子101がリセットされる。同様に、n+1行目の画素10において、リセットトランジスタ108がオン状態、転送トランジスタ105がオン状態となるので、光電変換素子103もリセットされる。

【0057】

時刻t23において、制御信号P__TX1__RD、P__TX1__SHがローレベルになり、制御信号tx1[0]、tx1[1]、tx1[n]、tx1[n+1]がローレベルになる。これにより、0行目、1行目、n行目、n+1行目の転送トランジスタ105がオフ状態になる。

10

20

30

40

50

【 0 0 5 8 】

時刻 t_{24} において、制御信号 $P_FDRES_RD_B$ がローレベルになり、制御信号 $res[0]$ 、 $res[1]$ がハイレベルになる。これにより、0 行目、1 行目のリセットトランジスタ 108 がオン状態になり、フローティングディフュージョン FD がリセットされる。

【 0 0 5 9 】

時刻 t_{25} において、制御信号 P_SEL がローレベルになり、制御信号 $sel1[0]$ 、制御信号 $sel2[1]$ がローレベルになる。0 行目の選択トランジスタ 109 と 1 行目の選択トランジスタ 110 がオフ状態になる。時刻 t_{20} から時刻 t_{25} までの制御信号 P_SEL がハイレベルとなる期間が画素駆動期間である。

10

【 0 0 6 0 】

これ以降の期間については、上述と同様の動作については説明を省略する。時刻 t_{26} において、制御信号 P_TX2_RD 、 P_TX2_SH がハイレベルになる。これにより、読み出し行である 0 行目、1 行目と、シャッタ行である n 行目、 $n+1$ 行目の OR 回路 220 の出力、すなわち、制御信号 $tx2[0]$ 、 $tx2[1]$ 、 $tx2[n]$ 、 $tx2[n+1]$ がハイレベルになる。したがって、0 行目、1 行目、 n 行目、 $n+1$ 行目の転送トランジスタ 106 がオン状態になる。

【 0 0 6 1 】

以上により、0 行目の画素 10 において、リセットトランジスタ 108 がオフ状態、転送トランジスタ 106 がオン状態、選択トランジスタ 109 がオン状態となるため、垂直出力線 111 には、光電変換素子 102 で生成された電荷に基づく電位が出力される。また、1 行目の画素 10 において、リセットトランジスタ 108 がオフ状態、転送トランジスタ 106 がオン状態、選択トランジスタ 110 がオン状態となるため、垂直出力線 112 には、光電変換素子 104 で生成された電荷に基づく電位が出力される。

20

【 0 0 6 2 】

また、 n 行目の画素 10 において、リセットトランジスタ 108 がオン状態、転送トランジスタ 106 がオン状態となるので、光電変換素子 102 がリセットされる。同様に、 $n+1$ 行目の画素 10 において、リセットトランジスタ 108 がオン状態、転送トランジスタ 106 がオン状態となるので、光電変換素子 104 もリセットされる。

【 0 0 6 3 】

以上のようにして、通常駆動モードにおける、0 行目、1 行目の画素 10 からの読み出し動作と、 n 行目、 $n+1$ 行目の画素 10 のシャッタ動作とが行われる。

30

【 0 0 6 4 】

次に、図 6 B を参照してテストモードにおける読み出し動作及びシャッタ動作について説明する。テストモードであるため、制御信号 R_VLINE_TST はハイレベルに維持されている。図 6 A と同様の動作については説明を省略する。

【 0 0 6 5 】

時刻 t_{27} において、制御信号 $P_FDRES_RD_B$ がハイレベルになる。また、制御信号 R_VLINE_TST はハイレベルであるため、AND 回路 701 の出力は、制御信号 $P_FDRES_RD_B$ のレベルに関わらずローレベルとなる。このため、0 行目の NAND 回路 210 の出力である制御信号 $res[0]$ はローレベルになるが、1 行目の NAND 回路 211 の出力である制御信号 $res[1]$ はハイレベルのままになる。したがって、0 行目のリセットトランジスタ 108 はオフ状態となり、1 行目のリセットトランジスタ 108 はオン状態のまま維持される。すなわち、1 行目の画素 10 のフローティングディフュージョン FD はリセット状態に維持されている。

40

【 0 0 6 6 】

時刻 t_{28} において、通常駆動モードと同様の動作が行われ、0 行目、1 行目、 n 行目、 $n+1$ 行目の転送トランジスタ 105 がオン状態になる。

【 0 0 6 7 】

以上により、0 行目の画素 10 においては、通常駆動モードと同様の動作が行われ、垂

50

直出力線 1 1 1 には、光電変換素子 1 0 1 で生成された電荷に基づくレベルの電位が出力される。また、1 行目の画素 1 0 においては、リセットトランジスタ 1 0 8 がオン状態であるため、垂直出力線 1 1 2 には、リセットレベルの電位が出力される。このように、垂直出力線 1 1 1 には通常の画素信号が出力され、垂直出力線 1 1 2 には、リセット状態の画素信号が出力される。なお、シャッタ行の動作は垂直出力線 1 1 1、1 1 2 の電位に影響しない。

【 0 0 6 8 】

図 6 B に示されている垂直出力線 1 1 1、1 1 2 の電位は、垂直出力線 1 1 1 と垂直出力線 1 1 2 の間が短絡しておらず、撮像装置 1 0 0 が正常に動作している場合を前提としたものである。これに対し、垂直出力線 1 1 1 と垂直出力線 1 1 2 の間が短絡している場合の垂直出力線の電位について図 6 C を参照して説明する。

10

【 0 0 6 9 】

図 6 C は、図 6 B に示したテストモードにおいて、垂直出力線 1 1 1 と垂直出力線 1 1 2 の間が短絡した場合の動作及び垂直出力線 1 1 1、1 1 2 の電位を示している。各制御信号の動作タイミングは図 6 B と同様であるため説明を省略する。垂直出力線 1 1 1 と垂直出力線 1 1 2 の間が短絡している場合、両者の電位が同電位となる。そのため、垂直出力線 1 1 1 及び垂直出力線 1 1 2 の電位は、短絡がない場合とは異なる電位となる。具体的には、垂直出力線 1 1 1 及び垂直出力線 1 1 2 に出力される信号のレベルは、図 6 C に示されるように、光電変換素子で生じた電荷に基づく信号レベルと、リセット状態に基づく信号レベルとの加算平均等の中間的なレベルとなる。あるいは、一方の画素の増幅トランジスタ 1 0 7 が飽和領域で動作している状態ではなくなることで、他方の画素の信号（例えば、リセット状態に基づく信号レベル）が垂直出力線 1 1 1 と垂直出力線 1 1 2 の両方に出力されうる。

20

【 0 0 7 0 】

以上のように、本実施形態の撮像装置 1 0 0 は制御信号 R _ V L I N E _ T S T をハイレベルにすることによりテストモードでの動作が可能である。テストモードにおいて、垂直出力線 1 1 1 と垂直出力線 1 1 2 には互いに異なる電位が与えられる。これにより、本実施形態の撮像装置 1 0 0 は、垂直出力線 1 1 1 と垂直出力線 1 1 2 の間の短絡がある場合とない場合とで異なるレベルの信号を出力できる。したがって、撮像装置 1 0 0 の内部又は外部において、テストモードの出力信号に基づいて短絡の検出を行うことが可能となる。以上のように、本実施形態によれば、複数の出力線の間で短絡を検出することが可能な撮像装置 1 0 0 を提供することができる。

30

【 0 0 7 1 】

（第 1 実施形態の変形例）

次に、第 1 実施形態の変形例を説明する。本変形例では、垂直出力線制御部 7 の機能が垂直走査部 2 内ではなく、タイミング生成部 3 内に設けられている。以下では、主として上述の第 1 実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

【 0 0 7 2 】

図 7 は、第 1 実施形態の変形例に係る垂直走査部 2 の回路構成例を示す図である。図 7 において、図 3 と異なる点は、垂直走査部 2 内に垂直出力線制御部 7 が設けられておらず、制御信号 P _ F D R E S _ R D 1 _ B、P _ F D R E S _ R D 2 _ B がタイミング生成部 3 から入力されている点である。すなわち、垂直出力線制御部 7 の機能は、タイミング生成部 3 内に設けられている（不図示）。偶数番目の行の N A N D 回路 2 1 0 には、制御信号 P _ F D R E S _ R D 1 _ B が入力され、奇数番目の行の N A N D 回路 2 1 1 には P _ F D R E S _ R D 2 _ B が入力される。

40

【 0 0 7 3 】

図 8 A は、撮像装置 1 0 0 の通常駆動モードにおける動作タイミング及び垂直出力線 1 1 1、1 1 2 の電位を示す図である。図 6 A と異なる点は、時刻 t 2 1 から時刻 t 2 4 の期間において制御信号 P _ F D R E S _ R D 1 _ B、P _ F D R E S _ R D 2 _ B がハイ

50

レベルになっている点である。図 8 B は、撮像装置 1 0 0 のテストモードにおける動作タイミング及び垂直出力線の電位を示す図である。図 6 B と異なる点は、制御信号 P __ F D R E S __ R D 1 __ B が時刻 t 2 8、t 2 9 においてハイレベルであり、制御信号 P __ F D R E S __ R D 2 __ B はローレベルに維持されている点である。

【 0 0 7 4 】

図 8 A 及び図 8 B に示す駆動方法によれば、N A N D 回路 2 1 0、2 1 1 に入力される信号のレベルは、それぞれ図 6 A 及び図 6 B の駆動方法の場合と同様である。したがって、制御信号 r e s [0]、r e s [1] は、図 6 A 及び図 6 B と同様となる。その他の制御信号についても同様である。したがって、垂直出力線 1 1 1、垂直出力線 1 1 2 のレベルも図 6 A 及び図 6 B の場合と同様となる。そのため、垂直出力線 1 1 1 と垂直出力線 1 1 2 の間が短絡した場合の電位は図 6 C と同様となる（図示は省略）。

10

【 0 0 7 5 】

以上のように、垂直出力線制御部 7 の機能が垂直走査部 2 内ではなく、タイミング生成部 3 内に設けられている場合においても、同様にして複数の出力線の間での短絡を検出することが可能な撮像装置 1 0 0 を提供することができる。

【 0 0 7 6 】

なお、テストモードにおいて、制御信号 P __ F D R E S __ R D 2 __ B が時刻 t 2 8 にハイレベルとなり、制御信号 P __ F D R E S __ R D 1 __ B はローレベルに維持されるように構成してもよい。この場合も垂直出力線 1 1 1 と垂直出力線 1 1 2 に互いに異なる電位が与えられるため、同様に短絡の検出が可能である。

20

【 0 0 7 7 】

（第 2 実施形態）

次に、第 2 実施形態を説明する。本実施形態では、制御信号 t x 1 [0]、t x 1 [1]、... と制御信号 t x 2 [0]、t x 2 [1]、... との動作を偶数番目の行と奇数番目の行とで異ならせることにより、垂直出力線 1 1 1 と垂直出力線 1 1 2 には互いに異なる電位が与えられる。以下では、主として上述の第 1 実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

【 0 0 7 8 】

図 9 は、垂直走査部 2 及び垂直出力線制御部 7 の回路構成例を示す図である。本実施形態では、第 1 実施形態とは異なり、いずれの行の行駆動回路 2 0 0 にも、N A N D 回路 2 1 0 が設けられており、N A N D 回路 2 1 0 には、制御信号 P __ F D R E S __ R D __ B が入力される。

30

【 0 0 7 9 】

0 行目の行駆動回路 2 0 0 は、A N D 回路 2 1 5、2 1 8 を含む。A N D 回路 2 1 5 の一方の入力端子には、O R 回路 2 0 9 の出力信号が入力される。A N D 回路 2 1 5 の他方の入力端子には、制御信号 P __ T X 1 __ R D が入力される。A N D 回路 2 1 5 は、O R 回路 2 0 9 の出力と、制御信号 P __ T X 1 __ R D の論理積を O R 回路 2 1 7 の一方の入力端子に出力する。A N D 回路 2 1 8 の一方の入力端子には、O R 回路 2 0 9 の出力信号が入力される。A N D 回路 2 1 8 の他方の入力端子には、制御信号 P __ T X 2 __ R D が入力される。A N D 回路 2 1 8 は、O R 回路 2 0 9 の出力と、制御信号 P __ T X 2 __ R D の論理積を O R 回路 2 2 0 の一方の入力端子に出力する。他の偶数番目の行（2 行目、4 行目、...）の行駆動回路 2 0 0 についても同様である。

40

【 0 0 8 0 】

1 行目の行駆動回路 2 0 0 は、A N D 回路 2 1 5、2 1 8 に代えて A N D 回路 2 2 1、2 2 2 を含む。A N D 回路 2 2 1、2 2 2 の一方の入力端子には、O R 回路 2 0 9 の出力信号が入力される。垂直出力線制御部 7 は、A N D 回路 7 0 2、7 0 3 を含む。A N D 回路 7 0 3 の一方の入力端子には制御信号 P __ T X 1 __ R D が入力され、他方の入力端子には制御信号 R __ V L I N E __ T S T の反転値が入力される。A N D 回路 7 0 3 は、制御信号 P __ T X 1 __ R D と制御信号 R __ V L I N E __ T S T の反転値との論理積を奇数番目の行（1 行目、3 行目、...）の A N D 回路 2 2 1 の他方の入力端子に出力する。A N D 回路

50

221は、OR回路209の出力と、AND回路703の出力の論理積をOR回路217の一方の入力端子に出力する。他の奇数番目の行(3行目、5行目、...)の行駆動回路200についても同様である。

【0081】

AND回路702の一方の入力端子には制御信号P__TX2__RDが入力され、他方の入力端子には制御信号R__VLINE__TSTの反転値が入力される。AND回路702は、制御信号P__TX2__RDと制御信号R__VLINE__TSTの反転値との論理積を奇数番目の行(1行目、3行目、...)のAND回路222の他方の入力端子に出力する。AND回路222は、OR回路209の出力と、AND回路702の出力の論理積をOR回路220の一方の入力端子に出力する。

10

【0082】

通常駆動モードにおいては、制御信号R__VLINE__TSTはローレベルであり、AND回路703の出力は制御信号P__TX1__RDと一致し、AND回路702の出力は制御信号P__TX2__RDと一致する。したがって、偶数番目の行のAND回路215、218と奇数番目の行のAND回路221、222は同じ動作を行う。テストモードにおいては、制御信号R__VLINE__TSTはハイレベルであり、AND回路702、703の出力はローレベルである。したがって、奇数番目の行のAND回路221、222の出力はローレベルとなり、AND回路216、219の出力がローレベルの場合には、奇数番目の制御信号t×1[1]、t×1[3]、...及びt×2[1]、t×2[3]、...は、ローレベルとなる。

20

【0083】

図10は、撮像装置100のテストモードにおける動作タイミング及び垂直出力線111、112の電位を示す図である。図10を用いて、制御信号R__VLINE__TSTがハイレベルとなるテストモードにおける撮像装置100の動作を説明する。なお、通常駆動モードの動作等については、説明を省略する。

【0084】

時刻t31から時刻t32の期間において、制御信号P__TX1__RD、P__TX1__SHがハイレベルになる。一方、制御信号R__VLINE__TSTはハイレベルであるため、AND回路702、703の出力は、ローレベルとなる。このため、0行目の制御信号t×1[0]はハイレベルになるが、1行目の制御信号t×1[1]はローレベルのままになる。したがって、0行目の転送トランジスタ105はオン状態となり、1行目の転送トランジスタ105はオフ状態のまま維持される。したがって、1行目のフローティングディフュージョンFDには、シャッタ動作時に設定されたりセットレベルの電位が維持されている。

30

【0085】

以上により、0行目の画素10においては、通常駆動モードと同様の動作が行われ、垂直出力線111には、光電変換素子101で生成された電荷に基づくレベルの電位が出力される。また、1行目の画素10においては、転送トランジスタ105がオフ状態のままであるため、垂直出力線112には、シャッタ動作時に設定されたりセットレベルの電位が出力される。

40

【0086】

時刻t33から時刻t34の期間において、制御信号P__TX2__RD、P__TX2__SHがハイレベルになる。上述と同様に、0行目の制御信号t×2[0]はハイレベルになるが、1行目の制御信号t×2[1]はローレベルのままになる。したがって、0行目の転送トランジスタ106はオン状態となり、1行目の転送トランジスタ106はオフ状態のまま維持される。したがって、垂直出力線111には、光電変換素子102で生成された電荷に基づくレベルの電位が出力され、垂直出力線112には、シャッタ動作時に設定されたりセットレベルの電位が出力される。このように、垂直出力線111には通常の画素信号が出力され、垂直出力線112には、リセット状態の画素信号が出力される。

【0087】

50

以上のように、制御信号 $t \times 1 [0]$ 、 $t \times 1 [1]$ 、... と制御信号 $t \times 2 [0]$ 、 $t \times 2 [1]$ 、... との動作を偶数番目の行と奇数番目の行とで異ならせることにより、垂直出力線 1 1 1 と垂直出力線 1 1 2 には互いに異なる電位が与えられる。したがって、本実施形態においても第 1 実施形態と同様に、複数の出力線の間での短絡を検出することが可能な撮像装置 1 0 0 を提供することができる。

【 0 0 8 8 】

(第 2 実施形態の変形例)

次に、第 2 実施形態の変形例を説明する。本変形例では、垂直出力線制御部 7 の機能が垂直走査部 2 内ではなく、タイミング生成部 3 内に設けられている。以下では、主として上述の第 2 実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

10

【 0 0 8 9 】

図 1 1 は、第 2 実施形態の変形例に係る垂直走査部 2 の回路構成例を示す図である。図 1 1 において、図 9 と異なる点は、垂直走査部 2 内に垂直出力線制御部 7 が設けられておらず、制御信号 P_TX11_RD 、 P_TX12_RD 、 P_TX21_RD 、 P_TX22_RD がタイミング生成部 3 から入力されている点である。すなわち、垂直出力線制御部 7 の機能は、タイミング生成部 3 内に設けられている (不図示)。偶数番目の行の AND 回路 2 1 5 には、制御信号 P_TX11_RD が入力され、偶数番目の行の AND 回路 2 1 8 には、制御信号 P_TX21_RD が入力される。奇数番目の行の AND 回路 2 2 1 には、制御信号 P_TX12_RD が入力され、奇数番目の行の AND 回路 2 2 2

20

【 0 0 9 0 】

図 1 2 A は、撮像装置 1 0 0 の通常駆動モードにおける動作タイミング及び垂直出力線 1 1 1、1 1 2 の電位を示す図である。図 1 0 と異なる点は、時刻 $t 2 2$ から時刻 $t 2 3$ の期間において制御信号 P_TX11_RD 、 P_TX12_RD がハイレベルになっている点である。図 1 2 B は、撮像装置 1 0 0 のテストモードにおける動作タイミング及び垂直出力線の電位を示す図である。図 1 0 と異なる点は、制御信号 P_TX11_RD 、 P_TX12_RD 、 P_TX21_RD 、 P_TX22_RD の動作である。すなわち、制御信号 P_TX11_RD は時刻 $t 3 1$ から時刻 $t 3 2$ の期間においてハイレベルであり、制御信号 P_TX21_RD が時刻 $t 3 3$ から時刻 $t 3 4$ の期間においてハイレベル

30

に維持されている。

【 0 0 9 1 】

図 1 2 B に示すテストモードにおける駆動方法によれば、AND 回路 2 1 5、2 1 8、2 2 1、2 2 2 に入力される信号のレベルは、それぞれ図 1 0 の駆動方法の場合と同様である。したがって、制御信号 $t \times 1 [0]$ 、 $t \times 1 [1]$ と制御信号 $t \times 2 [0]$ 、 $t \times 2 [1]$ は、図 1 0 と同様となり、垂直出力線 1 1 1、垂直出力線 1 1 2 のレベルも図 1 0 の場合と同様となる。そのため、垂直出力線 1 1 1 と垂直出力線 1 1 2 の間が短絡した場合の検出を同様に行うことができる。

【 0 0 9 2 】

以上のように、垂直出力線制御部 7 の機能が垂直走査部 2 内ではなく、タイミング生成部 3 内に設けられている場合においても、同様にして複数の出力線の間での短絡を検出することが可能な撮像装置 1 0 0 を提供することができる。

40

【 0 0 9 3 】

(第 3 実施形態)

次に、第 3 実施形態を説明する。本実施形態では、制御信号 $sel1 [0]$ 、 $sel1 [1]$ 、... と制御信号 $sel2 [0]$ 、 $sel2 [1]$ 、... との動作を偶数番目の行と奇数番目の行とで異ならせることにより、垂直出力線 1 1 1 と垂直出力線 1 1 2 には互いに異なる電位が与えられる。以下では、主として上述の第 1 実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

50

【 0 0 9 4 】

図 1 3 は、垂直走査部 2 及び垂直出力線制御部 7 の回路構成例を示す図である。本実施形態では、第 1 実施形態とは異なり、いずれの行の行駆動回路 2 0 0 にも、N A N D 回路 2 1 0 が設けられており、N A N D 回路 2 1 0 には、制御信号 P _ F D R E S _ R D _ B が入力される。垂直出力線制御部 7 は、A N D 回路 7 0 4 を含む。

【 0 0 9 5 】

0 行目の行駆動回路 2 0 0 において、A N D 回路 2 0 2 の一方の入力端子には、行アドレス信号 v a d d r [0] が入力される。A N D 回路 2 0 2 の他方の入力端子には、制御信号 P _ L A T R D 2 が入力される。A N D 回路 2 0 2 は、行アドレス信号 v a d d r [0] と、制御信号 P _ L A T R D 2 の論理積を S R ラッチ 2 0 4 のセット端子 S に出力し、S R ラッチ 2 0 4 に保持させる。他の偶数番目の行 (2 行目、4 行目、...) の行駆動回路 2 0 0 についても同様である。

10

【 0 0 9 6 】

1 行目の行駆動回路 2 0 0 において、A N D 回路 2 0 2 の一方の入力端子には、行アドレス信号 v a d d r [1] が入力される。A N D 回路 7 0 4 の一方の入力端子には制御信号 P _ L A T R D 2 が入力され、他方の入力端子には制御信号 R _ V L I N E _ T S T の反転値が入力される。A N D 回路 7 0 4 は、制御信号 P _ L A T R D 2 と制御信号 R _ V L I N E _ T S T の反転値との論理積を奇数番目の行 (1 行目、3 行目、...) の A N D 回路 2 0 2 の他方の入力端子に出力する。A N D 回路 2 0 2 は、行アドレス信号 v a d d r [1] の出力と、A N D 回路 2 0 2 の出力の論理積を S R ラッチ 2 0 4 のセット端子 S に出力し、S R ラッチ 2 0 4 に保持させる。他の奇数番目の行 (3 行目、5 行目、...) の行駆動回路 2 0 0 についても同様である。

20

【 0 0 9 7 】

通常駆動モードにおいては、制御信号 R _ V L I N E _ T S T はローレベルであり、A N D 回路 7 0 4 の出力は制御信号 P _ L A T R D 2 と一致する。したがって、偶数番目の行の A N D 回路 2 0 2 と奇数番目の行の A N D 回路 2 0 2 は同じ動作を行う。テストモードにおいては、制御信号 R _ V L I N E _ T S T はハイレベルであり、A N D 回路 7 0 4 の出力はローレベルである。したがって、奇数番目の行の A N D 回路 2 0 2 の出力はローレベルとなる。

【 0 0 9 8 】

図 1 4 は、テストモードにおける撮像装置 1 0 0 の動作の概要を示す図である。図 1 4 を用いて、制御信号 R _ V L I N E _ T S T がハイレベルとなるテストモードにおける撮像装置 1 0 0 の動作を説明する。なお、通常駆動モードの動作の説明は省略する。また、図 5 と重複する説明等については省略又は簡略化することがある。

30

【 0 0 9 9 】

時刻 t 3 において、タイミング生成部 3 から出力される垂直アドレス信号 V D E C C N T の値が 0 にセットされる。これにより、0 行目の行アドレス信号 v a d d r [0] がハイレベルになる。時刻 t 4 において、制御信号 P _ L A T R D 1 がハイレベルになり、0 行目の A N D 回路 2 0 1 の出力がハイレベルになり、この信号が S R ラッチ 2 0 3 にセットされる。

40

【 0 1 0 0 】

時刻 t 5 において、垂直アドレス信号 V D E C C N T の値が 1 にセットされる。これにより、1 行目の行アドレス信号 v a d d r [1] がハイレベルになる。時刻 t 6 において、制御信号 P _ L A T R D 2 がハイレベルになる。このとき、制御信号 R _ V L I N E _ T S T はハイレベルであるため、A N D 回路 7 0 4 の出力はローレベルとなる。そのため時刻 t 6 において 1 行目の S R ラッチ 2 0 4 からの出力はローレベルのままとなる。これを言い換えると、垂直出力線 1 1 2 に接続される画素 1 0 の制御を行う制御信号 P _ L A T R D 2 が実質的に無効となっている。したがって、垂直出力線 1 1 1 に接続される選択トランジスタ 1 0 9 (第 1 の選択トランジスタ) はオン状態になるが、垂直出力線 1 1 2 に接続される選択トランジスタ 1 1 0 (第 2 の選択トランジスタ) はオフ状態のままとな

50

る。そのため、画素10は、垂直出力線111のみに信号を出力する。これにより、垂直出力線112の電位を画素信号が出力される垂直出力線111の電位と異ならせることができる。したがって、本実施形態においても第1実施形態と同様に、複数の出力線の間短絡を検出することが可能な撮像装置100を提供することができる。

【0101】

なお、垂直出力線112には、どの行の画素10からも信号が出力されないため、フローティング状態となる。そこで、垂直出力線112がフローティングとなることによるノイズ等の影響を低減するため、垂直出力線112を所定の電位に固定する回路構成としてもよい。

【0102】

また、テストモードにおける垂直出力線111と垂直出力線112の電位の関係は逆であってもよい。すなわち、垂直出力線111に接続される画素10の制御を行う制御信号P_LATRD1が実質的に無効となるように回路構成を変更し、画素10は、垂直出力線112のみに信号を出力する構成としてもよい。

【0103】

(第4実施形態)

次に、第4実施形態を説明する。本実施形態では、垂直出力線制御部7が、直接、垂直出力線111と垂直出力線112の少なくとも一方の電位を所定の電位でクリップさせて、互いに異なる電位を与える構成となっている。以下では、主として上述の第1実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

【0104】

図15は、第4実施形態に係る撮像装置100の構成例を示すブロック図である。本実施形態において、垂直出力線制御部7は画素アレイ1内に設けられている。垂直出力線制御部7は、タイミング生成部3からの制御信号に応じて、2本の垂直出力線111、112に互いに異なる電位を与える。なお、垂直出力線制御部7は、画素アレイ1とは別個に設けられていてもよい。例えば、垂直出力線111、112が画素アレイ1から列回路部4に延在している場合には、垂直出力線制御部7は、画素アレイ1と列回路部4との間に設けられていてもよい。

【0105】

図16は、第4実施形態に係る垂直出力線制御部7の回路構成を示す図である。垂直出力線制御部7は、トランジスタ711、712、713、714を含む。各トランジスタは、n型のMOSトランジスタである。トランジスタ711、712のゲートは、クリップ電位Vclipを供給するクリップ電位線に接続されている。トランジスタ711、712のドレインは、電源電位VDDを供給する電源電位線に接続されている。トランジスタ711のソースは垂直出力線111に接続されており、トランジスタ712のソースは垂直出力線112に接続されている。

【0106】

画素10から垂直出力線111、112に出力される電位がクリップ電位Vclipよりも十分に高い場合には、トランジスタ711、712のVgsは小さいため、オン状態にならない。したがって、トランジスタ711、712は、垂直出力線111、112の電位に影響を与えない。しかしながら、画素10から垂直出力線111、112に出力される電位がクリップ電位Vclipよりも十分に低い場合には、トランジスタ711、712のVgsが大きくなり、オン状態になる。このとき、垂直出力線111、112の電位は(Vclip - Vgs)になる。このように、トランジスタ711、712は、垂直出力線111、112の電位を所定のレベルでクリップする機能を有する。

【0107】

トランジスタ713のゲートには、タイミング生成部3から出力される制御信号p_vline_tst[0]が入力される。トランジスタ714のゲートには、タイミング生成部3から出力される制御信号p_vline_tst[1]が入力される。トランジスタ713、714のドレインは、電源電位VDDを供給する電源電位線に接続されている

10

20

30

40

50

。トランジスタ713のソースは垂直出力線111に接続されており、トランジスタ714のソースは垂直出力線112に接続されている。

【0108】

テストモードにおいて、制御信号 $p_vline_tst[0]$ はローレベルであり、制御信号 $p_vline_tst[1]$ はハイレベルである。ここで、ハイレベルの電位は、画素10から出力される画素信号に対して、トランジスタ714がオン状態になるように設定される。このとき、垂直出力線111の電位には通常の画素信号が出力されるが、垂直出力線112の電位は $(Vclip - Vgs)$ にクリップされる。

【0109】

以上のように、垂直出力線112の電位を $(Vclip - Vgs)$ にクリップすることにより、垂直出力線111と垂直出力線112には互いに異なる電位が与えられる。したがって、本実施形態においても第1実施形態と同様に、複数の出力線の間短絡を検出することが可能な撮像装置100を提供することができる。

10

【0110】

なお、テストモードにおいて、制御信号 $p_vline_tst[0]$ はハイレベルとし、制御信号 $p_vline_tst[1]$ はローレベルとしてもよい。この場合、垂直出力線111の電位が $(Vclip - Vgs)$ にクリップされ、垂直出力線111と垂直出力線112には互いに異なる電位が与えられるため、同様の効果が得られる。

【0111】

(第4実施形態の変形例)

20

次に、第4実施形態の変形例を説明する。本変形例では、トランジスタ713、714が省略されている。以下では、主として上述の第4実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

【0112】

図17は、第4実施形態の変形例に係る垂直出力線制御部7の回路構成を示す図である。垂直出力線制御部7は、トランジスタ711、712及び選択回路715、716を含む。

選択回路715の制御端子には、制御信号 $p_vline_tst[0]$ が入力される。選択回路715は、制御信号 $p_vline_tst[0]$ がハイレベルの場合に、電源電位 VDD をトランジスタ711のゲートに出力し、ローレベルの場合に、クリップ電位 $Vclip$ をトランジスタ711のゲートに出力する。選択回路716の制御端子には、制御信号 $p_vline_tst[1]$ が入力される。選択回路716は、制御信号 $p_vline_tst[1]$ がハイレベルの場合に、電源電位 VDD をトランジスタ712のゲートに出力し、ローレベルの場合に、クリップ電位 $Vclip$ をトランジスタ712のゲートに出力する。トランジスタ711のソースは垂直出力線111に接続されており、トランジスタ712のソースは垂直出力線112に接続されている。

30

【0113】

テストモードにおいて、制御信号 $p_vline_tst[0]$ はローレベルであり、制御信号 $p_vline_tst[1]$ はハイレベルである。このとき、垂直出力線111の電位は $(VDD - Vgs)$ に固定され、垂直出力線112の電位は $(Vclip - Vgs)$ に固定される。したがって、垂直出力線111と垂直出力線112には互いに異なる電位が与えられるため、複数の出力線の間短絡を検出することが可能な撮像装置100を提供することができる。

40

【0114】

(第5実施形態)

次に、第5実施形態を説明する。本実施形態では、光電変換素子で発生する電荷の量の差に基づいて垂直出力線111と垂直出力線112には互いに異なる電位が与えられる。以下では、主として上述の第1実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

【0115】

50

図18(a)、図18(b)及び図18(c)は、図2を参照して説明した画素10の構成をより簡略化し、各トランジスタにおけるオン状態又はオフ状態の接続関係をスイッチで示した概念図である。図18(a)は、通常駆動モードにおける第1のHD期間(1HD目)における接続関係を示す図である。図18(b)は、通常駆動モードにおける第2のHD期間(2HD目)における接続関係を示す図である。図18(c)は、テストモードにおける接続関係を示す図である。

【0116】

0行目の画素10は、光電変換素子115、116を含む。図中の光電変換素子115に付された「R」は、光電変換素子115に赤色(第1の色)の光を透過する色フィルタが設けられていることを示している。図中の光電変換素子116に付された「G」は、光電変換素子116に緑色(第2の色)の光を透過する色フィルタが設けられていることを示している。光電変換素子115は図2における光電変換素子101に対応し、光電変換素子116は図2における光電変換素子102に対応する。また、スイッチ121は、図2における転送トランジスタ105に対応し、スイッチ122は、図2における転送トランジスタ106に対応する。また、スイッチ123は、図2における選択トランジスタ109に対応し、スイッチ124は、図2における選択トランジスタ110に対応する。

10

【0117】

1行目の画素10は、赤色の光を透過する色フィルタが設けられた光電変換素子117と、緑色の光を透過する色フィルタが設けられた光電変換素子118とを含む。光電変換素子117は図2における光電変換素子103に対応し、光電変換素子118は図2における光電変換素子104に対応する。

20

【0118】

まず、通常駆動モードの動作を説明する。図18(a)に示す1HD目において、制御信号 $t \times 1 [0]$ はハイレベルであり、制御信号 $t \times 2 [0]$ はローレベルであり、制御信号 $s e l 1 [0]$ はハイレベルであり、制御信号 $s e l 2 [0]$ はローレベルである。また、制御信号 $t \times 1 [1]$ はハイレベルであり、制御信号 $t \times 2 [1]$ はローレベルであり、制御信号 $s e l 1 [1]$ はローレベルであり、制御信号 $s e l 2 [1]$ はハイレベルである。これにより、図18(a)に示す接続関係となる。すなわち、光電変換素子115で生成された電荷に基づく電位が垂直出力線111に出力され、光電変換素子117で生成された電荷に基づく電位が垂直出力線112に出力される。

30

【0119】

図18(b)に示す2HD目において、制御信号 $t \times 1 [0]$ はローレベルであり、制御信号 $t \times 2 [0]$ はハイレベルであり、制御信号 $s e l 1 [0]$ はハイレベルであり、制御信号 $s e l 2 [0]$ はローレベルである。また、制御信号 $t \times 1 [1]$ はローレベルであり、制御信号 $t \times 2 [1]$ はハイレベルであり、制御信号 $s e l 1 [1]$ はローレベルであり、制御信号 $s e l 2 [1]$ はハイレベルである。これにより、図18(b)に示す接続関係となる。すなわち、光電変換素子116で生成された電荷に基づく電位が垂直出力線111に出力され、光電変換素子118で生成された電荷に基づく電位が垂直出力線112に出力される。

40

【0120】

以上のように、通常駆動モードにおいて、1HD目には垂直出力線111と垂直出力線112の両方に赤色の色フィルタが設けられた光電変換素子からの信号が出力される。2HD目には、垂直出力線111と垂直出力線112の両方に緑色の色フィルタが設けられた光電変換素子からの信号が出力される。同じ色かつ近接する光電変換素子で生成される電荷は同程度であることが多いため、垂直出力線111にも垂直出力線112は同程度の電位となることが多い。したがって、通常駆動モードでの出力信号に基づいて垂直出力線間の短絡を検出することは困難である。

【0121】

次に、テストモードの動作を説明する。図18(c)において、制御信号 $t \times 1 [0]$ はハイレベルであり、制御信号 $t \times 2 [0]$ はローレベルであり、制御信号 $s e l 1 [0]$

50

】はハイレベルであり、制御信号 $s e l 2 [0]$ はローレベルである。また、制御信号 $t x 1 [1]$ はローレベルであり、制御信号 $t x 2 [1]$ はハイレベルであり、制御信号 $s e l 1 [1]$ はローレベルであり、制御信号 $s e l 2 [1]$ はハイレベルである。これにより、図 18 (c) に示す接続関係となる。すなわち、光電変換素子 1 1 5 (第 1 の光電変換素子) で生成された電荷に基づく電位が垂直出力線 1 1 1 に出力され、光電変換素子 1 1 8 (第 2 の光電変換素子) で生成された電荷に基づく電位が垂直出力線 1 1 2 に出力される。

【 0 1 2 2 】

以上のように、テストモードにおいて、垂直出力線 1 1 1 には赤色の色フィルタが設けられた光電変換素子からの信号が出力され、垂直出力線 1 1 2 には緑色の色フィルタが設けられた光電変換素子からの信号が出力される。色フィルタの色が異なる光電変換素子に同じ入射光が入射された場合には、多くの場合、異なる量の電荷が生成される。したがって、垂直出力線 1 1 1 と垂直出力線 1 1 2 は異なる電位になると想定されるため、テストモードにおいて短絡の検出を行うことが可能となる。したがって、本実施形態によれば、複数の出力線の間で短絡を検出することが可能な撮像装置 1 0 0 を提供することができる。

10

【 0 1 2 3 】

図 19 は、垂直走査部 2 及び垂直出力線制御部 7 の回路構成例を示す図である。本実施形態の垂直走査部 2 は、図 18 (a)、図 18 (b)、図 18 (c) の通常駆動モード及びテストモードの動作が可能である。

20

【 0 1 2 4 】

各行の行駆動回路 2 0 0 の構成は同様であるため、0 行目の行駆動回路 2 0 0 について、図 3 と異なる点を説明する。垂直出力線制御部 7 は、AND 回路 7 2 1、7 2 2 及び OR 回路 7 2 3、7 2 4 を含む。

【 0 1 2 5 】

D ラッチ 2 0 5 の出力信号は OR 回路 2 0 9 の一方の入力端子に入力され、D ラッチ 2 0 6 の出力信号は OR 回路 2 0 9 の他方の入力端子に入力される。OR 回路 2 0 9 は、D ラッチ 2 0 5 の出力と D ラッチ 2 0 6 の出力との論理和を、NAND 回路 2 1 0 の一方の入力端子に出力する。

【 0 1 2 6 】

AND 回路 7 2 1 の一方の入力端子には制御信号 $R_V L I N E_T S T$ の反転値が入力され、AND 回路 7 2 1 の他方の入力端子には D ラッチ 2 0 5 の出力信号が入力される。AND 回路 7 2 1 は、制御信号 $R_V L I N E_T S T$ の反転値と D ラッチ 2 0 5 の出力との論理積を OR 回路 7 2 3 の一方の入力端子に出力する。

30

【 0 1 2 7 】

OR 回路 7 2 3 の他方の入力端子には、D ラッチ 2 0 6 の出力信号が入力される。OR 回路 7 2 3 は、AND 回路 7 2 1 の出力と D ラッチ 2 0 6 の出力との論理和を AND 回路 2 1 8 の一方の入力端子に出力する。

【 0 1 2 8 】

AND 回路 7 2 2 の一方の入力端子には制御信号 $R_V L I N E_T S T$ の反転値が入力され、AND 回路 7 2 2 の他方の入力端子には D ラッチ 2 0 6 の出力信号が入力される。AND 回路 7 2 2 は、制御信号 $R_V L I N E_T S T$ の反転値と D ラッチ 2 0 6 の出力との論理積を OR 回路 7 2 4 の一方の入力端子に出力する。

40

【 0 1 2 9 】

OR 回路 7 2 4 の他方の入力端子には、D ラッチ 2 0 5 の出力信号が入力される。OR 回路 7 2 4 は、AND 回路 7 2 2 の出力と D ラッチ 2 0 5 の出力との論理和を AND 回路 2 1 5 の一方の入力端子に出力する。

【 0 1 3 0 】

通常駆動モードにおいて、制御信号 $R_V L I N E_T S T$ はローレベルであり、AND 回路 7 2 1 の出力のレベルは D ラッチ 2 0 5 の出力のレベルと一致する。また、AND

50

回路 7 2 2 の出力のレベルは D ラッチ 2 0 6 の出力のレベルと一致する。したがって、O R 回路 7 2 3、7 2 4 は、いずれも D ラッチ 2 0 5 の出力と D ラッチ 2 0 6 の出力の論理和を出力する。

【 0 1 3 1 】

一方、テストモードにおいて、制御信号 R _ V L I N E _ T S T はハイレベルであり、A N D 回路 7 2 1、7 2 2 の出力のレベルはローレベルとなる。したがって、O R 回路 7 2 3 の出力のレベルは、D ラッチ 2 0 6 の出力のレベルと一致し、O R 回路 7 2 4 の出力のレベルは、D ラッチ 2 0 5 の出力のレベルと一致する。

【 0 1 3 2 】

図 2 0 (a) 及び図 2 0 (b) は、図 1 8、図 1 9 に示す撮像装置 1 0 0 の動作の概要を示すタイミングチャートである。図 2 0 (a) は制御信号 R _ V L I N E _ T S T がローレベルである通常駆動モードにおける動作タイミングである。図 5 及び図 6 と概ね同様であるため簡略化して説明する。

10

【 0 1 3 3 】

1 H D 目には、0 行目の D ラッチ 2 0 5 の出力がハイレベルになり、O R 回路 7 2 3、7 2 4 からの出力がいずれもハイレベルになる。2 H D 目には、0 行目の D ラッチ 2 0 6 の出力がハイレベルになり、この場合も O R 回路 7 2 3、7 2 4 からの出力がいずれもハイレベルになる。1 H D 目の時刻 t 2 2 において制御信号 P _ T X 1 _ R D がハイレベルになっており、制御信号 t x 1 [0] がハイレベルになる。2 H D 目の時刻 t 2 6 において制御信号 P _ T X 2 _ R D がハイレベルになっており、制御信号 t x 2 [0] がハイレベルになる。このようにして、図 1 8 (a)、図 1 8 (b) に示すような動作が行われる。

20

【 0 1 3 4 】

図 2 0 (b) は制御信号 R _ V L I N E _ T S T がハイレベルであるテストモードにおける動作タイミングである。1 H D 目の時刻 t 2 2 において制御信号 P _ T X 1 _ R D、P _ T X 2 _ R D の両方がハイレベルになる。また 2 H D 目の時刻 t 2 6 においても同様に制御信号 P _ T X 1 _ R D、P _ T X 2 _ R D がハイレベルになる。

【 0 1 3 5 】

1 H D 目において、0 行目の D ラッチ 2 0 5 の出力がハイレベルになる。これにより、0 行目の O R 回路 7 2 4 の出力はハイレベルになるが、0 行目の O R 回路 7 2 3 の出力はローレベルのままとなる。また、1 行目の D ラッチ 2 0 6 の出力がハイレベルになる。これにより、1 行目の O R 回路 7 2 3 の出力はハイレベルになるが、1 行目の O R 回路 7 2 4 の出力はローレベルのままとなる。これにより、制御信号 t x 1 [0] はハイレベル、制御信号 t x 2 [0] はローレベル、制御信号 t x 1 [1] はローレベル、制御信号 t x 2 [1] はハイレベルとなり、図 1 8 (c) に示すような動作が行われる。

30

【 0 1 3 6 】

以上のように、本実施形態では、テストモードにおいて、色フィルタの色が異なる光電変換素子から出力された電位が、垂直出力線 1 1 1 と垂直出力線 1 1 2 に供給され、これらが異なる電位となり得る駆動方法となっている。そのため、テストモードにおいて短絡の検出を行うことが可能となる。したがって、本実施形態によれば、複数の出力線の間の短絡を検出することが可能な撮像装置 1 0 0 を提供することができる。

40

【 0 1 3 7 】

なお、上述の例では、光電変換素子 1 1 5、1 1 6 の色フィルタの色を異ならせることにより、垂直出力線 1 1 1、1 1 2 に異なる電位を供給可能にしているが、光電変換素子 1 1 5、1 1 6 で生成される電荷の量が異なっていれば同様の効果が得られる。例えば、光電変換素子 1 1 5、1 1 6 の受光部の面積を異ならせることで生成される電荷の量を異ならせてもよい。また、光電変換素子 1 1 5、1 1 6 を半導体基板の異なる深さに形成することにより色分離を行う素子構成であっても色フィルタを設けた場合と同様に生成される電荷を異ならせることができる。

【 0 1 3 8 】

50

(第6実施形態)

次に、第6実施形態を説明する。本実施形態では、光電変換素子で発生する電荷の量の差に基づいて垂直出力線111と垂直出力線112には互いに異なる電位が与えられる点は第5実施形態と同様である。しかしながら、遮光膜を設けて光電変換素子を遮光することにより、電荷の差を生じさせている点が第5実施形態と異なる。以下では、主として上述の第5実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

【0139】

図21は、本実施形態に係る画素10の構成を示す図である。本実施形態では、画素アレイ1の0行目、1行目の全体と、2行目の上半分に光電変換素子への入射光を遮光する遮光部として機能する遮光膜が光電変換素子を覆うように設けられている。図21では、遮光されている領域が「遮光領域」として示されており、遮光されていない領域が「有効領域」として示されている。図中の光電変換素子119に付された「D」は、遮光されていることを示している。遮光されている光電変換素子から垂直出力線に出力される電位は、ダークレベル(黒レベル)となる。2行目の画素10は、遮光されている光電変換素子119(第1の光電変換素子)と、緑色の光を透過する色フィルタが設けられた光電変換素子116(第2の光電変換素子)とを含む。したがって、2行目の画素10は、スイッチを適宜切り替えることにより、例えば、垂直出力線111にはダークレベルの電位を出力し、垂直出力線112には入射光の緑色の成分に基づく電位を出力することができる。この場合、垂直出力線111と垂直出力線112は異なる電位になるため、テストモードにおいて短絡の検出を行うことが可能となる。

【0140】

図22(a)及び図22(b)は、図21に示す撮像装置100の動作の概要を示すタイミングチャートである。図22(a)は制御信号R_VLINE_TSTがローレベルである通常駆動モードにおける動作タイミングである。図5及び図6と概ね同様であるため簡略化して説明する。

【0141】

垂直アドレス信号VDEC CNTの値は、1HD目には0及び1にセットされ、2HD目にも0及び1にセットされる。これにより、1HD目及び2HD目には0行目と1行目の画素10から信号が読み出される。また、垂直アドレス信号VDEC CNTの値は、3HD目には3及び4にセットされ、4HD目にも3及び4にセットされる。これにより、3HD目及び4HD目には3行目と4行目の画素10から信号が読み出される。このように、通常駆動モードでは、画素10の一部が遮光された2行目の画素10を読み出さないように撮像装置100が駆動される。

【0142】

図22(b)は制御信号R_VLINE_TSTがハイレベルであるテストモードにおける動作タイミングである。テストモードにおいて、垂直アドレス信号VDEC CNTの値は、3HD目には2及び3にセットされ、4HD目にも2及び3にセットされる。これにより、3HD目及び4HD目には2行目と3行目の画素10から信号が読み出される。このように、テストモードでは、画素10の一部が遮光された2行目の画素10を読み出す駆動が行われる。したがって、図22(b)の駆動方法では、2行目の読み出し時に上述のように垂直出力線111にはダークレベルの電位が出力され、垂直出力線112には入射光の緑色の成分に基づく電位を出力される。

【0143】

以上のように、本実施形態においても第5実施形態と同様に光電変換素子119、116で生成される電荷の量が異なることにより垂直出力線111と垂直出力線112が異なる電位となる。そのため、テストモードにおいて短絡の検出を行うことが可能となる。したがって、本実施形態によれば、複数の出力線の間で短絡を検出することが可能な撮像装置100を提供することができる。

【0144】

10

20

30

40

50

(第7実施形態)

次に、第7実施形態を説明する。本実施形態では、画素アレイ1が、通常の画素10とは異なる電位を垂直出力線111、112に出力することにより、垂直出力線111と垂直出力線112には互いに異なる電位を与える構成となっている。以下では、主として上述の第5実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

【0145】

図23は、第7実施形態に係る画素10及びダミー画素11の構成の概要を示す図である。本実施形態では、0行目と1行目には、画素10に代えてダミー画素11が設けられている。0行目のダミー画素11は、光電変換素子115、116に代えてダミー素子131、132を含む。1行目のダミー画素11は、光電変換素子117、118に代えてダミー素子133、134を含む。ダミー素子131、134は、電源電位VDD(第1の固定電位)を供給する電源電位線である。ダミー素子132、133は、接地電位GND(第2の固定電位)を供給する接地電位線である。したがって、ダミー画素11は、電源電位VDD又は接地電位GNDを垂直出力線111、112に出力可能である。

10

【0146】

図24(a)は、撮像装置100の通常駆動モードにおける動作タイミング及び垂直出力線111、112の電位を示す図であり、図24(b)は、撮像装置100のテストモードにおける動作タイミング及び垂直出力線111、112の電位を示す図である。図5及び図6と概ね同様であるため簡略化して説明する。

20

【0147】

図24(a)に示す通常駆動モードにおいて、垂直アドレス信号VDECCNTの値は、1HD目には2及び3にセットされ、2HD目にも2及び3にセットされる。これにより、1HD目及び2HD目には2行目と3行目の画素10から信号が読み出される。したがって、垂直出力線111の電位は、1HD目には光電変換素子115で生成された電荷に基づくレベルとなり、2HD目には光電変換素子116で生成された電荷に基づくレベルとなる。垂直出力線112の電位は、1HD目には光電変換素子117で生成された電荷に基づくレベルとなり、2HD目には光電変換素子118で生成された電荷に基づくレベルとなる。また、垂直アドレス信号VDECCNTの値は、3HD目には4及び5にセットされ、4HD目にも4及び5にセットされる。これにより、3HD目及び4HD目には4行目と5行目の画素10から信号が読み出される。このように、通常駆動モードでは、0行目及び1行目のダミー画素11を読み出さないように撮像装置100が駆動される。

30

【0148】

図24(b)に示すテストモードにおいて、垂直アドレス信号VDECCNTの値は、1HD目には0及び1にセットされ、2HD目にも0及び1にセットされる。これにより、1HD目及び2HD目には0行目と1行目のダミー画素11から信号が読み出される。垂直出力線111の電位は、1HD目には電源電位VDDに基づくレベルとなり、2HD目には接地電位GNDに基づくレベルとなる。垂直出力線112の電位は、1HD目には接地電位GNDに基づくレベルとなり、2HD目には電源電位VDDに基づくレベルとなる。3HD目以降は、通常駆動モードの1HD目以降と同様であるため説明を省略する。

40

【0149】

以上のように、テストモードにおいて、垂直出力線111と垂直出力線112の一方が電源電位VDDに基づく電位となり、他方が接地電位GNDに基づく電位となる。そのため、テストモードにおいて短絡の検出を行うことが可能となる。したがって、本実施形態によれば、複数の出力線の間の短絡を検出することが可能な撮像装置100を提供することができる。また、本実施形態ではテストモードにおいて、入射光に依存しない出力が得られるため、光量が小さい撮影環境においても精度を低下させずにテストを行うことができる。

【0150】

50

本実施形態では、ダミー画素 11 を 0 行目及び 1 行目に配置しているため、テストモードにおいては、垂直同期信号 V D の入力後すぐにダミー画素 11 からのデータが出力される構成となっている。しかしながら、例えば、ダミー画素 11 の読み出しを垂直同期信号 V D 11 の入力の直前に読み出される行アドレスに設定してもよい。この場合、映像出力期間ではない期間、すなわち、1 フレーム分の信号を読み出す処理と次の 1 フレーム分の信号を読み出す処理との間の垂直ブランキング期間に、ダミー画素 11 からのデータを出力することができる。

【 0 1 5 1 】

(第 8 実施形態)

次に、第 8 実施形態を説明する。本実施形態では、図 1 の撮像装置 100 の構成に加えて、短絡検出部 8 が更に設けられている。以下では、主として上述の第 1 実施形態の説明と異なる点について説明し、共通する部分の説明は省略又は簡略化する。

【 0 1 5 2 】

図 25 は、第 8 実施形態に係る撮像装置 100 の構成例を示すブロック図である。図 1 の撮像装置 100 に加えて、本実施形態の撮像装置 100 には、更に短絡検出部 8 が設けられている。短絡検出部 8 は、水平走査部 5 から出力される画素信号に対して信号処理を行い、結果を信号出力部 6 に出力する。また短絡検出部 8 は、タイミング生成部 3 からの信号に応じて垂直出力線間の短絡を検出し、信号出力部 6 を介して短絡の検出結果をエラー出力として外部に出力する。

【 0 1 5 3 】

図 26 は、図 25 に示した撮像装置 100 のより詳細な構成を示すブロック図である。画素アレイ 1 内の画素 10 の構成は、図 18 と同様であるため説明を省略する。列回路部 4 には、増幅回路 401、列 A D C (Analog-to-Digital Conversion) 回路 402 及びメモリ 403 が各垂直出力線に対応して配されている。水平走査部 5 は、デコーダ 501 及び水平出力線 502、503、504、505 を含む。信号出力部 6 は複数のバッファ 601 を含む。

【 0 1 5 4 】

垂直出力線 111、112 を介して列回路部 4 に入力される画素信号は、増幅回路 401 において増幅される。増幅回路 401 で増幅された画素信号は、列 A D C 回路 402 においてアナログ信号からデジタル信号に変換される。デジタル化された画素信号はメモリ 403 に一次的に保持される。

【 0 1 5 5 】

デコーダ 501 は、タイミング生成部 3 からの水平アドレス信号に基づき列アドレス信号 `h a d d r [0]`、`h a d d r [1]`、... を生成する。列アドレス信号 `h a d d r [0]` は 1 列目から 4 列目までの 4 つのメモリ 403 に入力される。列アドレス信号 `h a d d r [1]` は 5 列目から 8 列目までの 4 つのメモリ 403 に入力される。列アドレス信号が入力されると、4 つのメモリ 403 に保持された画素信号は、水平出力線 502、503、504、505 を介して短絡検出部 8 の 4 つの入力端子 `c h 1`、`c h 2`、`c h 3`、`c h 4` にそれぞれ出力される。短絡検出部 8 は、入力された画素信号の少なくとも 1 つに基づいて垂直出力線 111 と垂直出力線 112 の短絡の検出を行い、画素信号及びエラーフラグ `e r r _ f l g` を信号出力部 6 に出力する。エラーフラグ `e r r _ f l g` は、短絡の発生の有無を示す信号である。信号出力部 6 は、入力された画素信号及びエラーフラグ `e r r _ f l g` を、バッファ 601 を介して撮像装置 100 の外部に出力する。

【 0 1 5 6 】

ここで、図 26 に示されているように、垂直出力線 111 を経由した信号は、短絡検出部 8 の入力端子 `c h 1`、`c h 2` に入力され、垂直出力線 112 を経由した信号は、短絡検出部 8 の入力端子 `c h 3`、`c h 4` に入力される。したがって、短絡検出部 8 は、入力端子の番号に基づいて、入力された信号が垂直出力線 111 と垂直出力線 112 のどちらを經由したものであるかを把握することができる。

【 0 1 5 7 】

10

20

30

40

50

図27は、短絡検出部8での短絡の検出処理を示すフローチャートである。本実施形態の処理フローは、第1実施形態等の説明で述べたような、制御信号R_VLINE_TESTのレベルに基づいて通常駆動モードとテストモードとを切り替えることが可能な構成を前提としている。また、本実施形態のテストモードでは、第1実施形態で述べた図6Bのように垂直出力線111は通常の画素信号が出力され、垂直出力線112ではリセットレベルの信号が出力されるものとする。

【0158】

ステップS101において、短絡検出部8は、制御信号R_VLINE_TESTの値が1（ハイレベル）であるか否かを判定する。制御信号R_VLINE_TESTの値が1となったとき（ステップS101においてYES）、処理はステップS102に移行する。

10

【0159】

ステップS102において、短絡検出部8は、垂直出力線112を経由したリセットレベルの信号が入力される入力端子ch3、ch4を、判断を行う信号の入力端子として選択する。ステップS103においてエラーフラグerr_flgの値を0（ローレベル）に初期化する。

【0160】

ステップS104において、短絡検出部8は、入力されたデータの個数が、設定されたデータの個数以上であるか否かを判定する。これは入力端子ch3、ch4に入力されるデータの個数をカウントすることにより、設定された垂直出力線112の本数分のテストが完了したかどうかを判定するための処理である。入力されたデータの個数が、設定されたデータの個数よりも少ない場合（ステップS104においてNO）、テストが完了していないので、処理はステップS105に移行する。入力されたデータの個数が、設定されたデータの個数以上である場合（ステップS104においてYES）、処理はステップS107に移行する。なお、データの個数の設定は、あらかじめ撮像装置100の外部より入力され、タイミング生成部3を介して短絡検出部8のレジスタに記憶される。

20

【0161】

ステップS105において、短絡検出部8は、入力端子ch3、ch4に入力された信号のレベルが閾値r_thres以上であるか否かを判定する。閾値r_thresのレベルは、リセットレベルより大きく、かつ、図6Cに示されたPDレベルとリセットレベルの加算平均レベルよりも小さい値に設定されている。入力された信号のレベルが閾値r_thres以上である場合（ステップS105においてYES）、垂直出力線の間には短絡があると判断し、ステップS106においてエラーフラグerr_flgの値を1にセットする。その後処理はステップS104に移行する。一方、入力された信号のレベルが閾値r_thresよりも小さい場合（ステップS105においてNO）、垂直出力線の間には短絡は起こっていないと判断し、再びS104に戻る。なお、閾値r_thresは、あらかじめ撮像装置100の外部より入力され、タイミング生成部3を介して短絡検出部8のレジスタに記憶される。

30

【0162】

なお、リセットレベルの方が、PDレベルとリセットレベルの加算平均レベルより大きい場合にはステップS105の判定の大小関係を逆にすることで同様に判定を行うことができる。

40

【0163】

ステップS107において、短絡の検出を行った行数が設定された行数以上であるか否かを判定する。本実施形態の短絡の検出は複数の行の画素10に対し共通に設けられた垂直出力線111、112に対して行われるものであるため、本来は1回の水平走査により入力される信号に対してのみテストすればよく、本ステップは必須ではない。しかしながら、入力信号が複数の回路を通過する際に生じるノイズに起因する誤検出を抑制するため、複数行分の信号をテストできるようにステップS107が設けられている。設定された行数以上の短絡の検出が行われた場合（ステップS107においてYES）、本処理は終了する。短絡の検出を行った行数が設定された行数よりも少ない場合（ステップS107

50

においてNO)、処理はステップS104に移行し、短絡の検出処理が継続される。

【0164】

以上により、本実施形態によれば、テストモードにおいて、撮像装置100内に設けられた短絡検出部8において、垂直出力線111又は垂直出力線112の電位に基づいて垂直出力線111と垂直出力線112の間の短絡を検出することができる。また、撮像装置100は、短絡の検出結果をエラーフラグerr_flgとして撮像装置100の外部に出力することができる。

【0165】

(第9実施形態)

次に、第9実施形態を説明する。本実施形態は、第7実施形態のダミー画素11を有する撮像装置100について、第8実施形態と同様に短絡検出部8を適用した実施形態である。本実施形態ではテストモードにおいて、垂直ブランキング期間中にダミー画素11からの信号を出力するものとする。

【0166】

図28は、短絡検出部8での短絡の検出処理を示すフローチャートである。ステップS201において、短絡検出部8は、フラグflg_dummyの値が1であるか否かを判定する。フラグflg_dummyは、垂直ブランキング期間中にダミー画素11から信号を出力するような行アドレス信号が指定された場合に値が1となるフラグである。フラグflg_dummyの値が1となったとき(ステップS201においてYES)、処理はステップS202に移行する。ステップS202において、垂直出力線111、112の短絡を示すエラーの個数をカウントするカウント値err_countを0に初期化する。なお、本実施形態の撮像装置100は、カウント値err_countを短絡の発生の個数を示す信号として撮像装置100の外部に出力することができる。

【0167】

ステップS203において、短絡検出部8は、カウント値dum_hdcntの値が0であるか否かを判定する。カウント値dum_hdcntは、2行分設けられたダミー画素11を2HD期間にわたって出力する際に、1HD目であるか2HD目であるかを示す値である。1HD目の場合カウント値dum_hdcntは0であり、2HD目の場合カウント値dum_hdcntは1である。カウント値dum_hdcntが0の場合(ステップS203においてYES)、処理はステップS204に移行し、カウント値dum_hdcntが1の場合(ステップS203においてNO)、処理はステップS205に移行する。

【0168】

1HD目である場合、すなわちカウント値dum_hdcntが0である場合、ステップS204において、短絡検出部8は、短絡の検出対象とするデータが入力される入力端子がch1又はch2であるか否かを判定する。検出対象のデータが入力される入力端子がch1又はch2である場合(ステップS204においてYES)、処理はステップS206に移行する。検出対象データが入力される入力端子がch1及びch2のいずれでもない場合(ステップS204においてNO)、すなわち、ch3又はch4である場合、処理はステップS207に移行する。

【0169】

図24(b)に示されるように、垂直出力線111の電位はVDDレベルであり、垂直出力線112の電位はGNDレベルとなる。すなわち、入力端子ch1及び入力端子ch2に入力されるデータがVDDレベルとなり、入力端子ch3及び入力端子ch4に入力されるデータがGNDレベルとなる。

【0170】

そこで、ステップS206において、短絡検出部8は、入力端子ch1又は入力端子ch2に入力されたデータがVDDレベルであるか否かを判定する。入力端子ch1又は入力端子ch2に入力されたデータがVDDレベルである場合(ステップS206においてYES)、処理はステップS209に移行する。入力端子ch1又は入力端子ch2に入

10

20

30

40

50

力されたデータがVDDレベルでない場合（ステップS206においてNO）、処理はステップS208に移行する。また、ステップS207において、短絡検出部8は、入力端子ch3又は入力端子ch4に入力されたデータがGNDレベルであるか否かを判定する。入力端子ch3又は入力端子ch4に入力されたデータがGNDレベルである場合（ステップS207においてYES）、処理はステップS209に移行する。入力端子ch1又は入力端子ch2に入力されたデータがGNDレベルでない場合（ステップS207においてNO）、処理はステップS208に移行する。

【0171】

2HD目である場合、すなわちカウント値dum_hdcntが1である場合、ステップS205において、短絡検出部8は、短絡の検出対象とするデータが入力される入力端子がch3又はch4であるか否かを判定する。検出対象のデータが入力される入力端子がch3又はch4である場合（ステップS205においてYES）、処理はステップS207に移行する。検出対象データが入力される入力端子がch3及びch4のいずれでもない場合（ステップS205においてNO）、すなわち、ch1又はch2である場合、処理はステップS206に移行する。以後の処理は1HD目の場合と同様である。

10

【0172】

なお、上述のVDDレベル又はGNDレベルの判定基準とする値は、あらかじめ撮像装置100の外部より入力され、タイミング生成部3を介して短絡検出部8のレジスタに記憶しておくことができる。また、これらの判定は入力された電位が所定の範囲にあるか否かを判定するものであってもよく、所定の閾値との比較に基づいて判定するものであってもよい。

20

【0173】

処理がステップS208に移行した場合、垂直出力線111又は垂直出力線112の電位に異常が生じており、垂直出力線111と垂直出力線112の間に短絡が生じていると判断される。そこで、短絡検出部8は、カウント値err_countの値をインクリメントする。その後、処理はステップS209に移行する。

【0174】

ステップS209において、短絡検出部8は、短絡の検出を行った個数が、設定された個数より大きいかなんかを判定する。これは設定された垂直出力線111及び垂直出力線112の本数分のテストが完了したかどうかを判定するものである。短絡の検出を行った個数が、設定された個数より少ない場合（ステップS209においてNO）、テストが完了していないため処理はステップS203に移行する。短絡の検出を行った個数が、設定された個数より多い場合（ステップS209においてYES）、処理は終了する。

30

【0175】

以上により、本実施形態によれば、第7実施形態の構成の撮像装置100において垂直ブランキング期間内にテストを行うことができる。またテストモードにおいて、垂直出力線111と垂直出力線112の間の短絡を検出し、その短絡の発生数を撮像装置100の外部に出力することができる。

【0176】

（第10実施形態）

40

次に、第10実施形態を説明する。図29は第1乃至第9実施形態の撮像装置100を適用することができる撮像システムの構成例を示すブロック図である。撮像システムは、撮像装置100、信号処理部2000、CPU3000、外部入力部4000、光学系5000、映像表示部6000、記録部7000及び駆動部8000を有する。撮像装置100には、第1乃至第9実施形態の撮像装置100が適用される。なお、撮像装置100は複数個設けられていてもよい。

【0177】

CPU3000は、撮像システム全体の各部の動作を統括的に制御するとともにこれに必要な演算処理を行う。映像表示部6000は、撮影した画像等を表示する表示装置である。記録部7000は、撮影した画像データ等を記憶する記憶媒体である。

50

【 0 1 7 8 】

光学系 5 0 0 0 は、被写体からの入射光を撮像装置 1 0 0 に導くものであり、レンズ、絞り等を含み得る。撮像装置 1 0 0 は、入射光に応じたアナログ信号を生成し、デジタル信号に変換して信号処理部 2 0 0 0 に出力する。信号処理部 2 0 0 0 は、入力されたデジタル信号に対し、映像表示部 6 0 0 0 での表示又は記録部 7 0 0 0 への記録のため、画像補正等の所定の信号処理を行う。また、信号処理部 2 0 0 0 は、テストモードにおいて垂直出力線 1 1 1、1 1 2 に互いに異なる電位が与えられていることを検知する機能を備え得る。

【 0 1 7 9 】

外部入力部 4 0 0 0 は、外部からの操作を受け付けるインターフェースであり、例えば、外部入力部 4 0 0 0 は通常駆動モードとテストモードの切り替えの操作を受け付けることができる。外部入力部 4 0 0 0 における通常駆動モードとテストモードの切り替えの操作に基づき、CPU 3 0 0 0 は、撮像装置 1 0 0 に通常駆動モード又はテストモードの状態を示す制御信号を送信する。テストモードとなった場合には、撮像装置 1 0 0 は、垂直出力線の間短絡を検出する処理を行う。撮像装置 1 0 0 は、検出結果を映像表示部 6 0 0 0 に出力するとともに、記録部 7 0 0 0 に記録する。また、検出結果に基づいて、CPU 3 0 0 0 は、駆動部 8 0 0 0 を動作させることにより、テスト済みの撮像装置 1 0 0 を別の撮像装置 1 0 0 に切り替える。この一連の動作を順次行うことで複数の撮像装置 1 0 0 のテストを行うことができる。

【 0 1 8 0 】

第 1 0 実施形態の撮像システムにおいて、第 7 実施形態の撮像装置 1 0 0 が適用され、垂直ブランキング期間にテストモードでの動作を行う場合の制御方法について説明する。本例において、撮像システムは、垂直出力線の間短絡が発生した場合において、短絡の影響を軽減する制御を行う。具体例としては、CPU 3 0 0 0 は、短絡の検出結果に基づき、光学系 5 0 0 0 を制御して短絡が検出された垂直出力線が接続された画素 1 0 が入射光の照射範囲とならないように制御することで短絡の影響を軽減することができる。別の例としては、CPU 3 0 0 0 は、撮像装置 1 0 0 に対して水平走査範囲を変更する制御を行うことで短絡の影響を軽減することができる。このとき、信号処理部 2 0 0 0 は、水平走査範囲が変更されても画像に含まれる視覚範囲が変化しないように、解像度を落とす補正を行った画像データを映像表示部 6 0 0 0 及び記録部 7 0 0 0 に出力することもできる。

【 0 1 8 1 】

(第 1 1 実施形態)

図 3 0 (a) 及び図 3 0 (b) は、本実施形態による撮像システム 9 0 0 及び移動体の構成を示す図である。図 3 0 (a) は、車載カメラに関する撮像システム 9 0 0 の一例を示したものである。撮像システム 9 0 0 は、上述の第 1 乃至第 9 実施形態のいずれかに記載の撮像装置 1 0 0 を有する。撮像システム 9 0 0 は、撮像装置 1 0 0 により取得された複数の画像データに対し、画像処理を行う画像処理部 9 1 2 と、撮像システム 9 0 0 により取得された複数の画像データから視差 (視差画像の位相差) の算出を行う視差算出部 9 1 4 を有する。また、撮像システム 9 0 0 は、算出された視差に基づいて対象物までの距離を算出する距離計測部 9 1 6 と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部 9 1 8 と、を有する。ここで、視差算出部 9 1 4 や距離計測部 9 1 6 は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部 9 1 8 はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA (Field Programmable Gate Array)、ASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

【 0 1 8 2 】

撮像システム 900 は、車両情報取得装置 920 と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、撮像システム 900 には、衝突判定部 918 での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御 ECU 930 が接続されている。すなわち、制御 ECU 930 は、距離情報に基づいて移動体を制御する移動体制御手段の一例である。また、撮像システム 900 は、衝突判定部 918 での判定結果に基づいて、ドライバーへ警報を発する警報装置 940 とも接続されている。例えば、衝突判定部 918 の判定結果として衝突可能性が高い場合、制御 ECU 930 はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置 940 は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルト

10

【0183】

本実施形態では、車両の周囲、例えば前方又は後方を撮像システム 900 で撮像する。図 30 (b) に、車両前方 (撮像範囲 950) を撮像する場合の撮像システム 900 を示した。車両情報取得装置 920 は、撮像システム 900 を動作させ撮像を実行させるように指示を送る。第 1 乃至第 9 実施形態による撮像装置 100 を含む本実施形態の撮像システム 900 は、垂直出力線間の短絡に起因する不具合を検出することができる。

【0184】

以上の説明では、他の車両と衝突しないように制御する例を述べたが、他の車両に追従して自動運転する制御、車線からはみ出さないように自動運転する制御等にも適用可能である。更に、撮像システムは、自車両等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体 (移動装置) に適用することができる。加えて、移動体に限らず、高度道路交通システム (ITS) 等、広く物体認識を利用する機器に適用することができる。

20

【0185】

(その他の実施形態)

なお、上述の実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。例えば、いずれかの実施形態の一部の構成を、他の実施形態に追加した実施形態、あるいは他の実施形態の一部の構成と置換した実施形態も本発明を適用し得る実施形態であると理解されるべきである。

30

【0186】

本発明は、上述の実施形態の 1 以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける 1 つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1 以上の機能を実現する回路 (例えば、ASIC) によっても実現可能である。

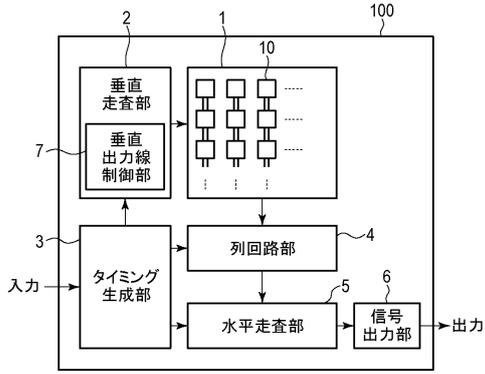
【符号の説明】

【0187】

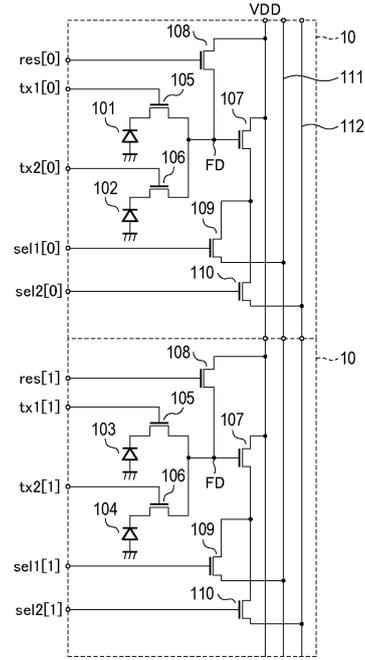
- | | |
|---------|----------|
| 1 | 画素アレイ |
| 2 | 垂直走査部 |
| 7 | 垂直出力線制御部 |
| 10 | 画素 |
| 100 | 撮像装置 |
| 111、112 | 垂直出力線 |

40

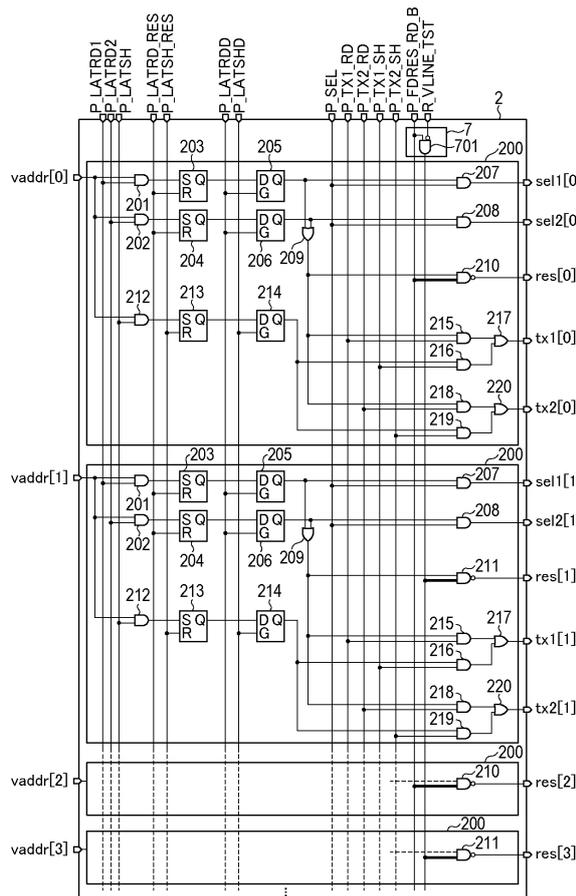
【図1】



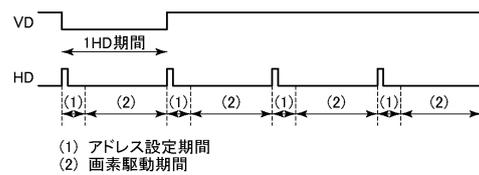
【図2】



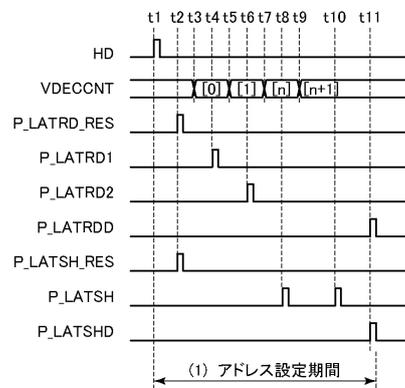
【図3】



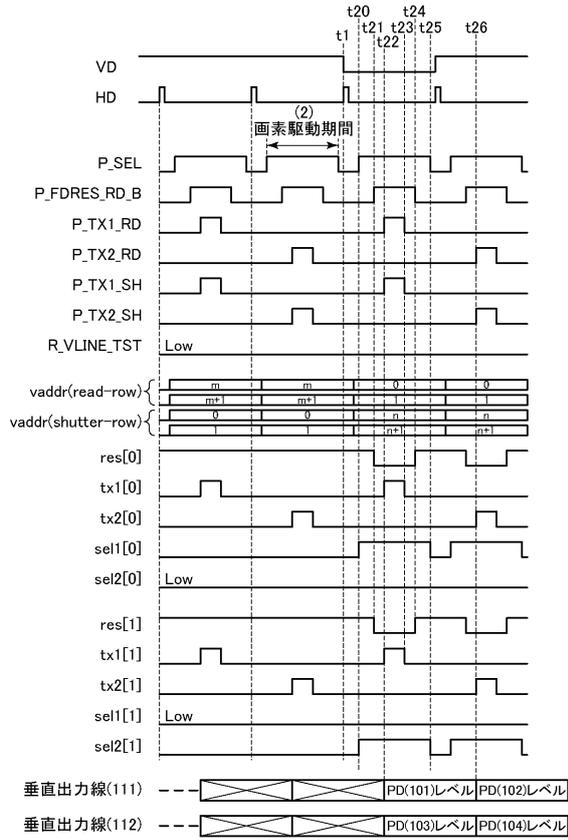
【図4】



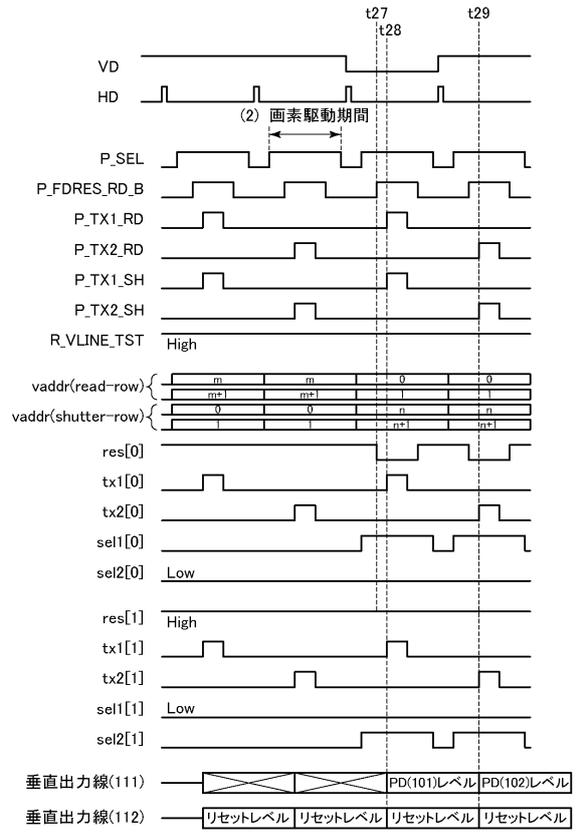
【図5】



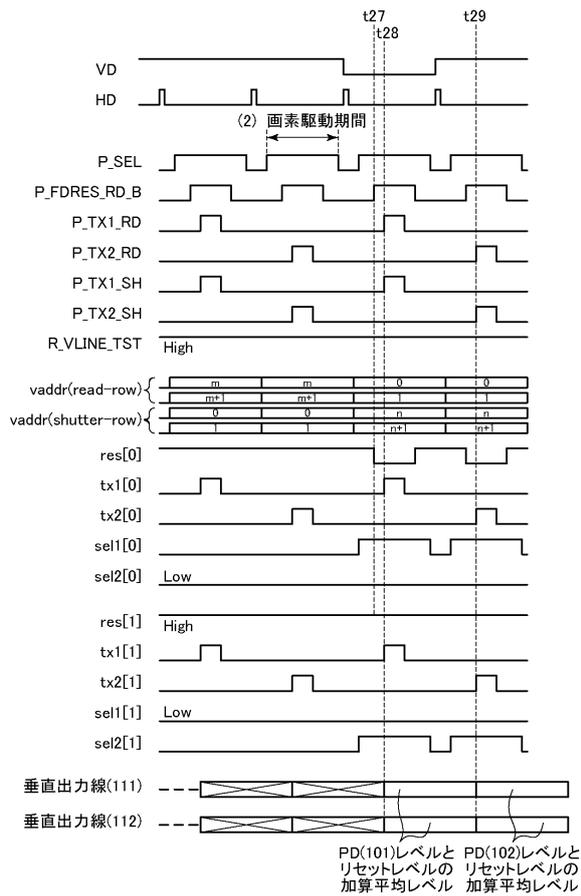
【図6A】



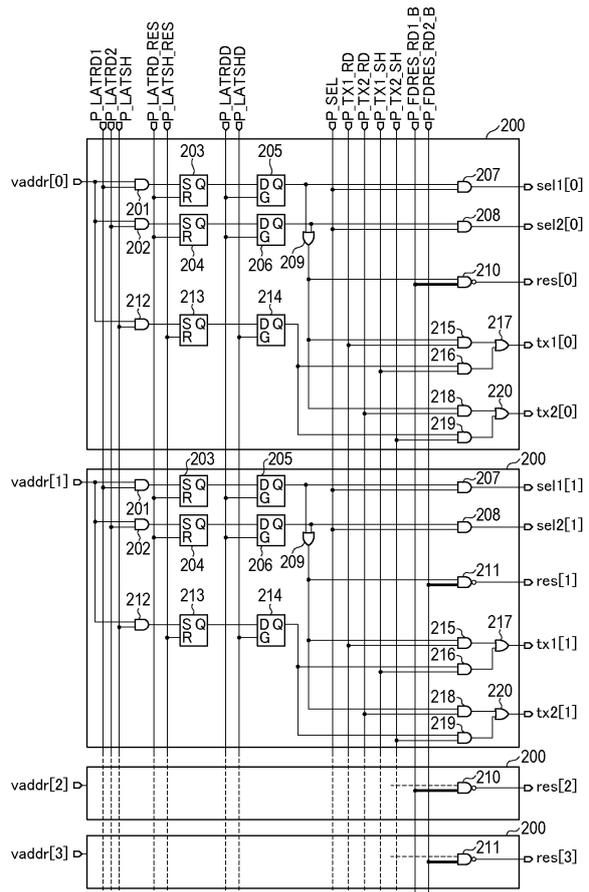
【図6B】



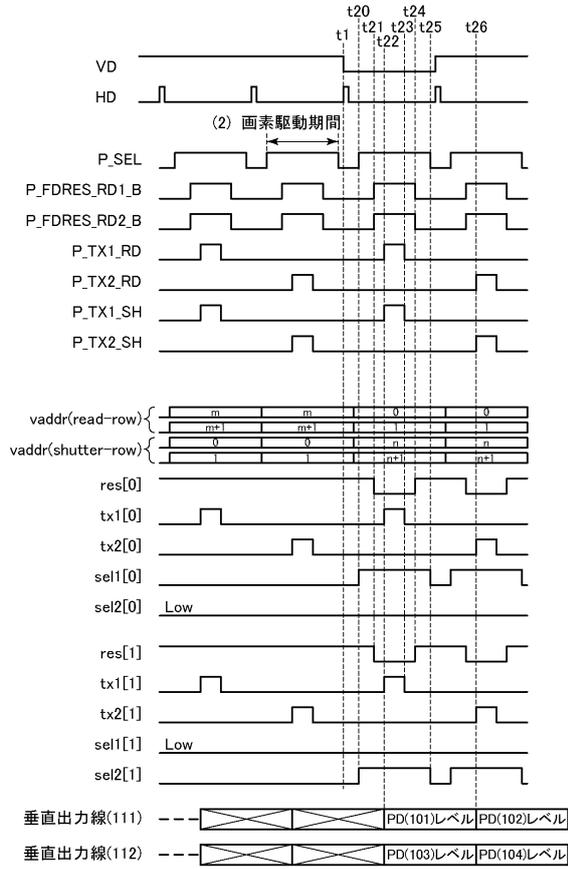
【図6C】



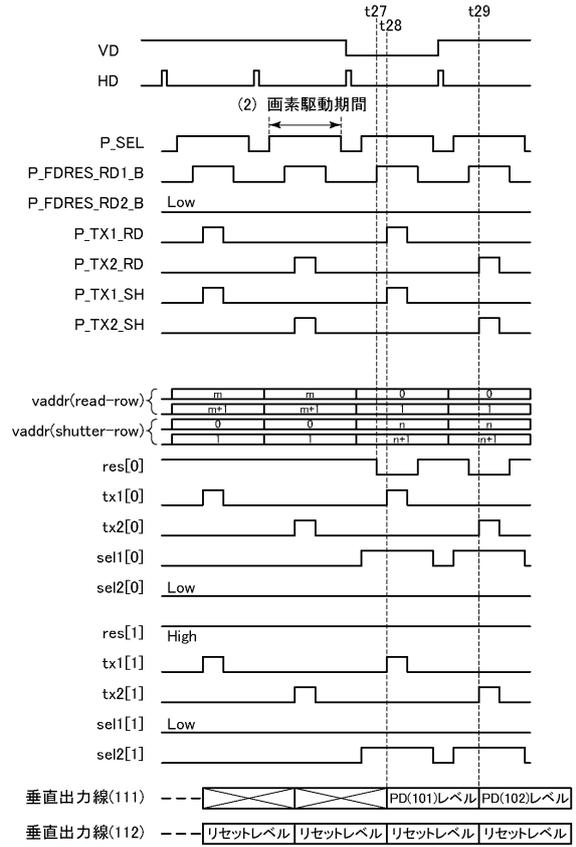
【図7】



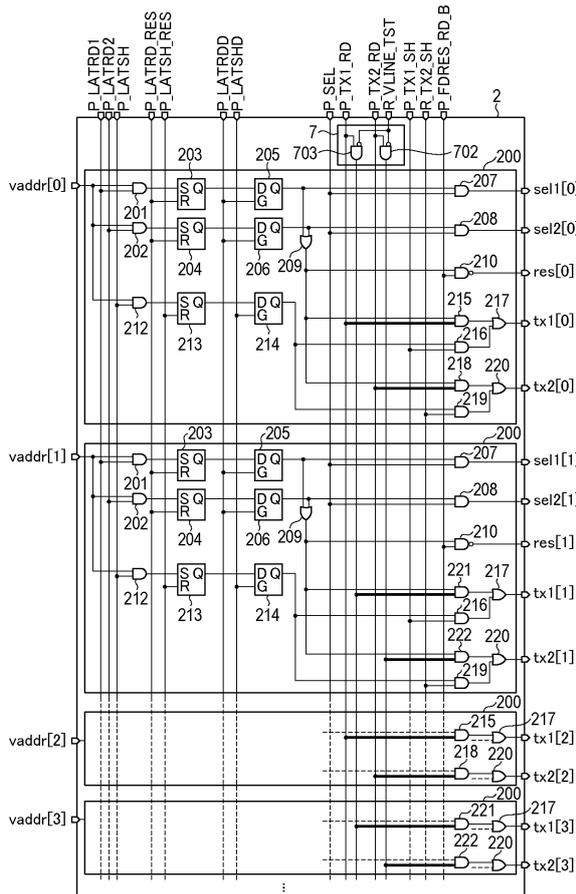
【図 8 A】



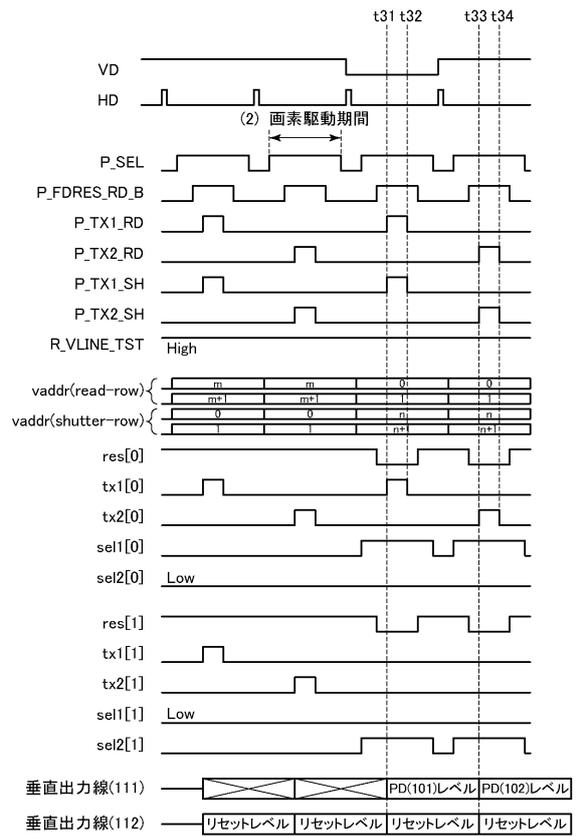
【図 8 B】



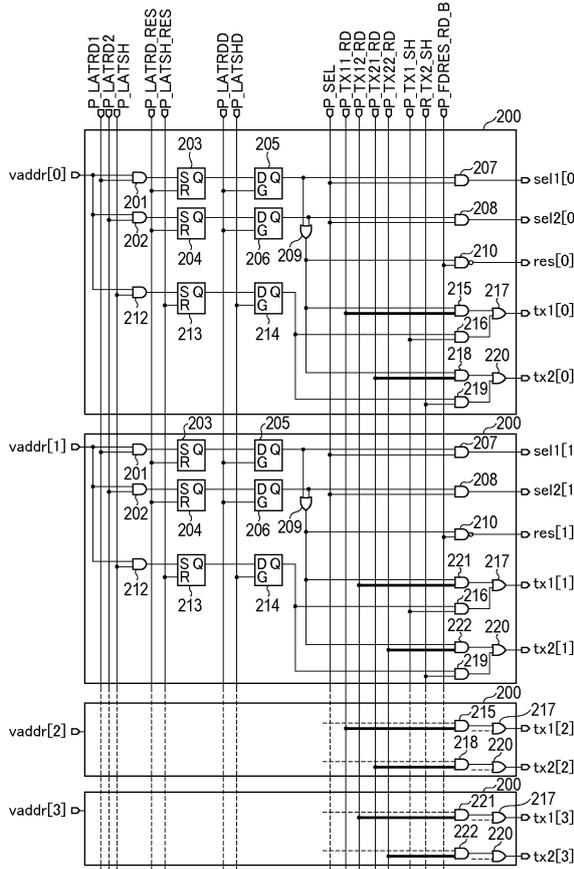
【図 9】



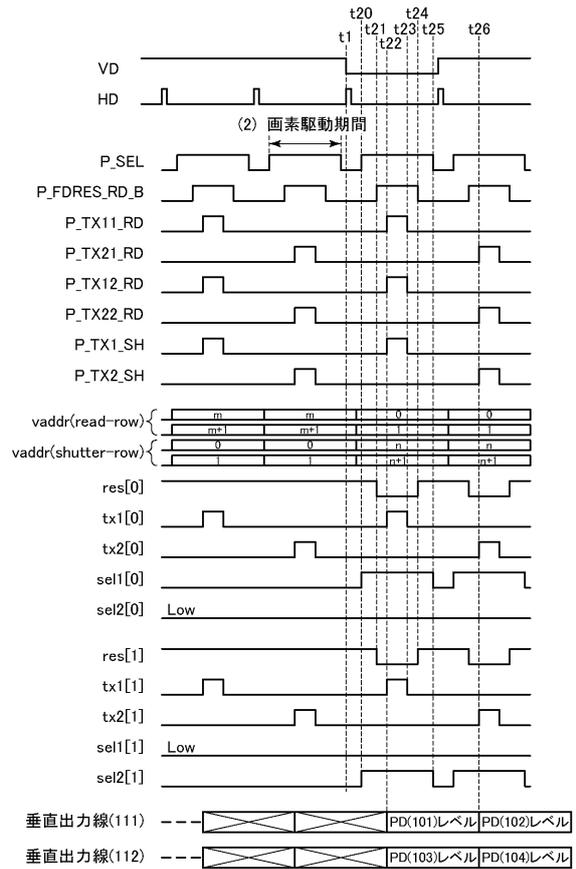
【図 10】



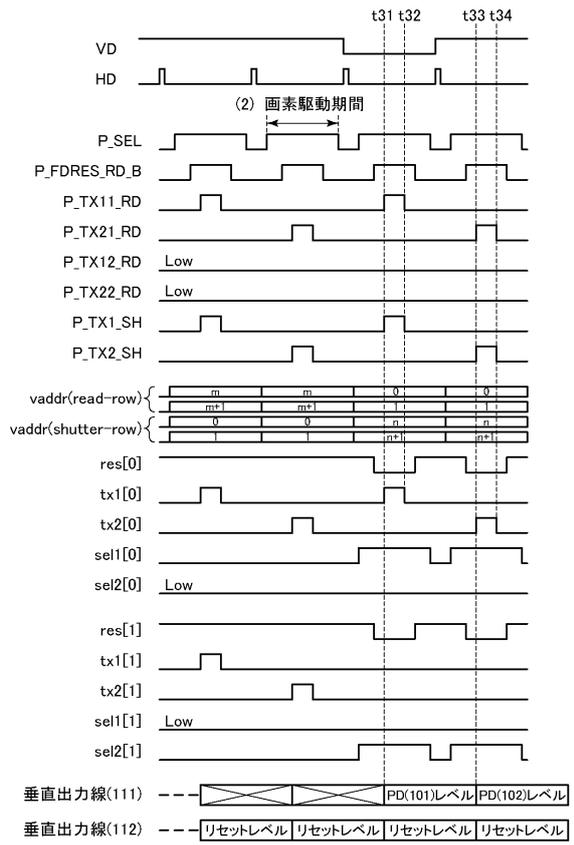
【図11】



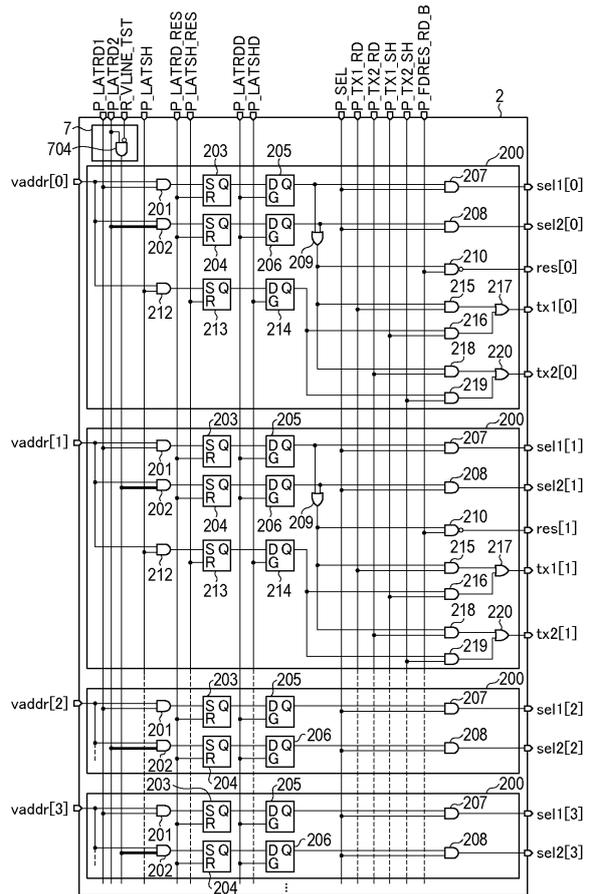
【図12A】



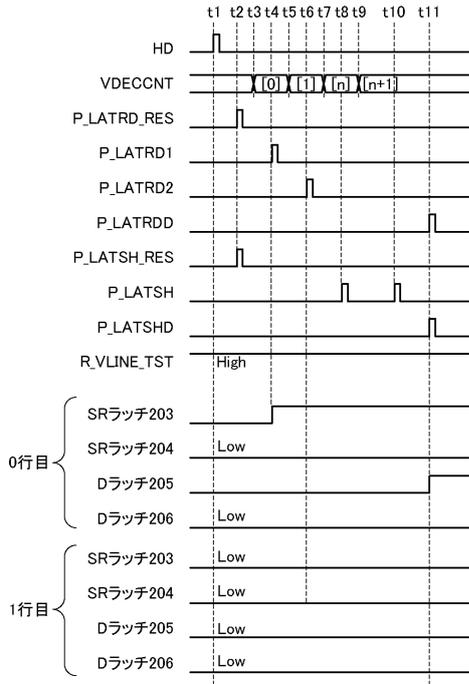
【図12B】



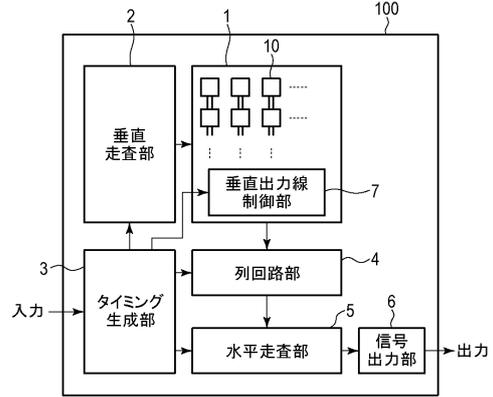
【図13】



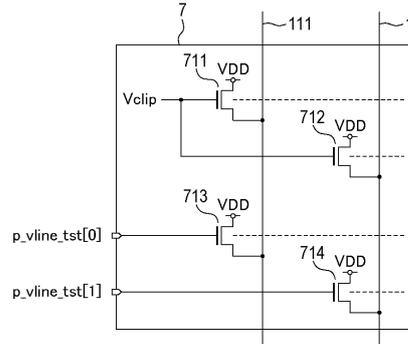
【図14】



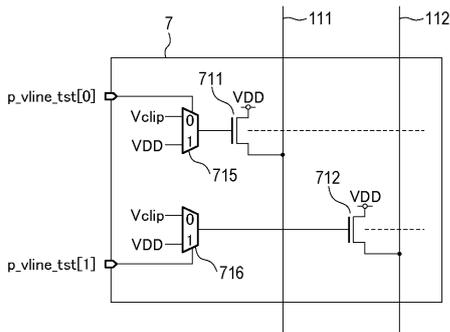
【図15】



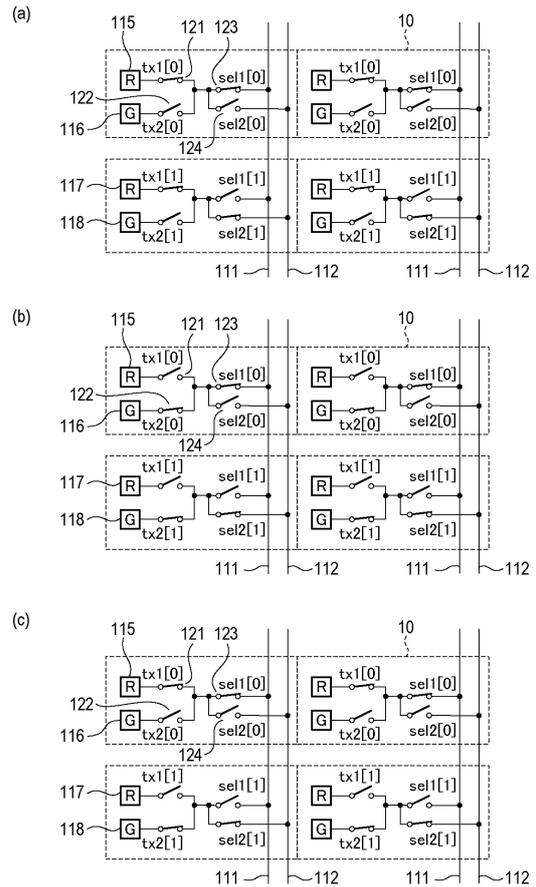
【図16】



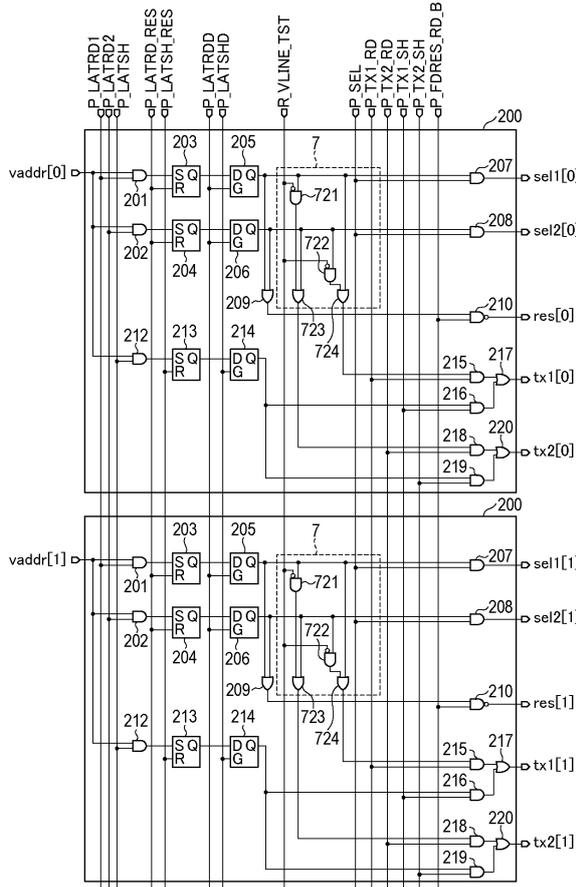
【図17】



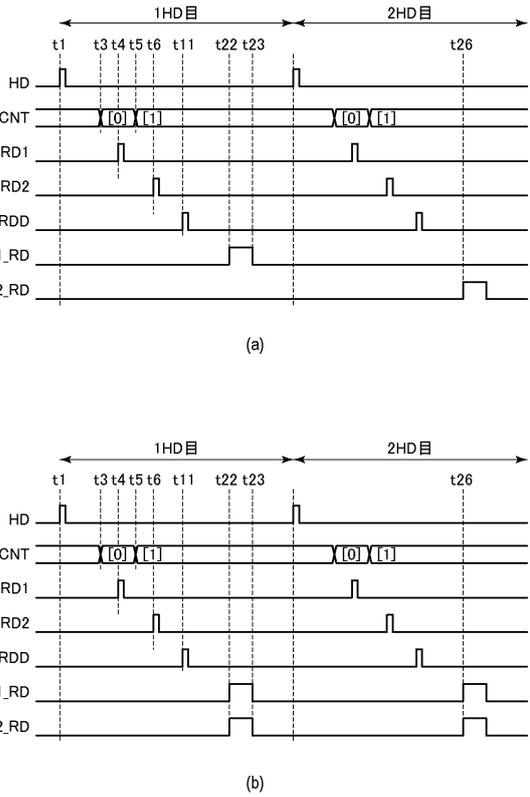
【図18】



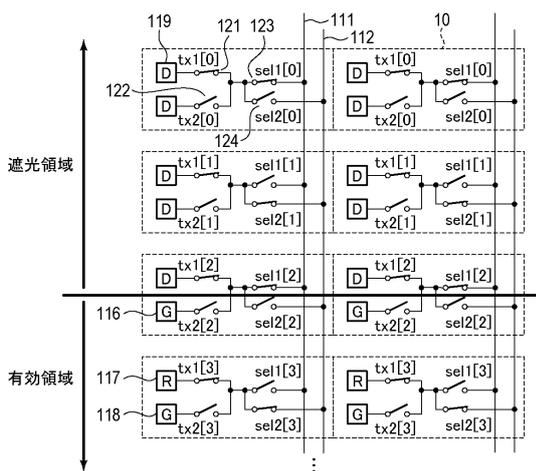
【図19】



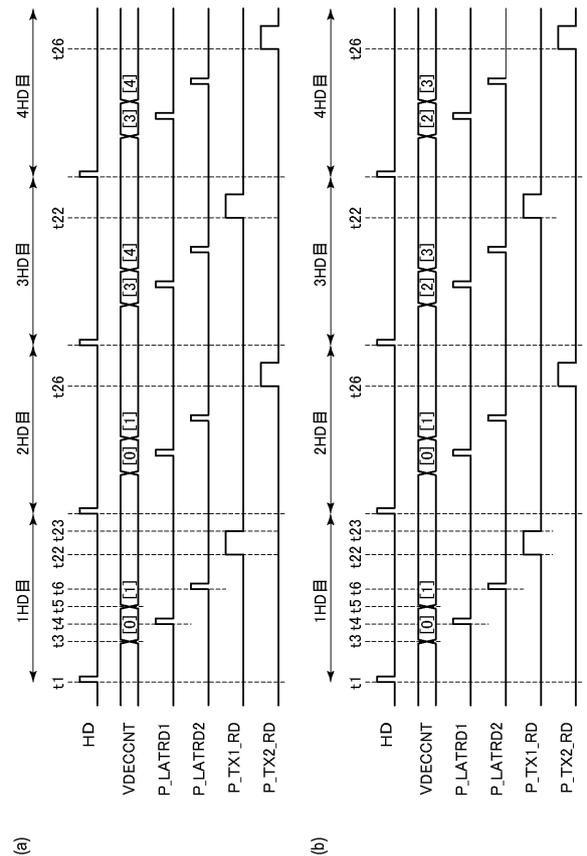
【図20】



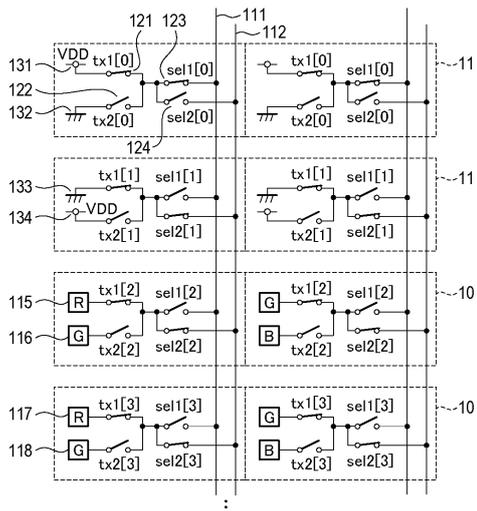
【図21】



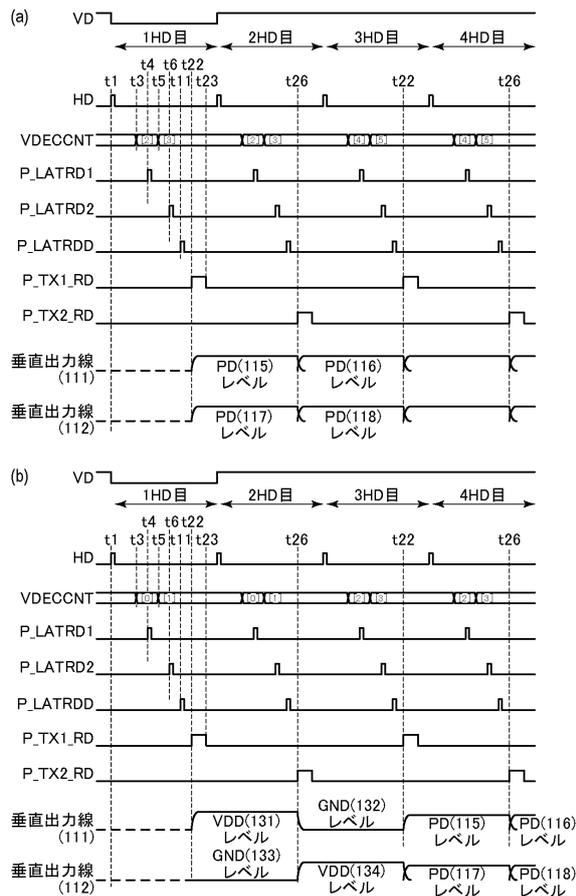
【図22】



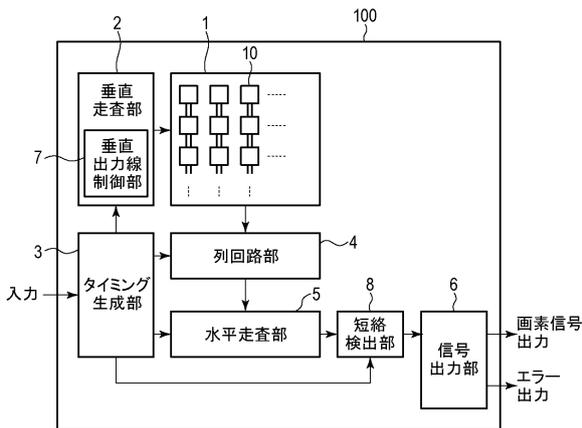
【図23】



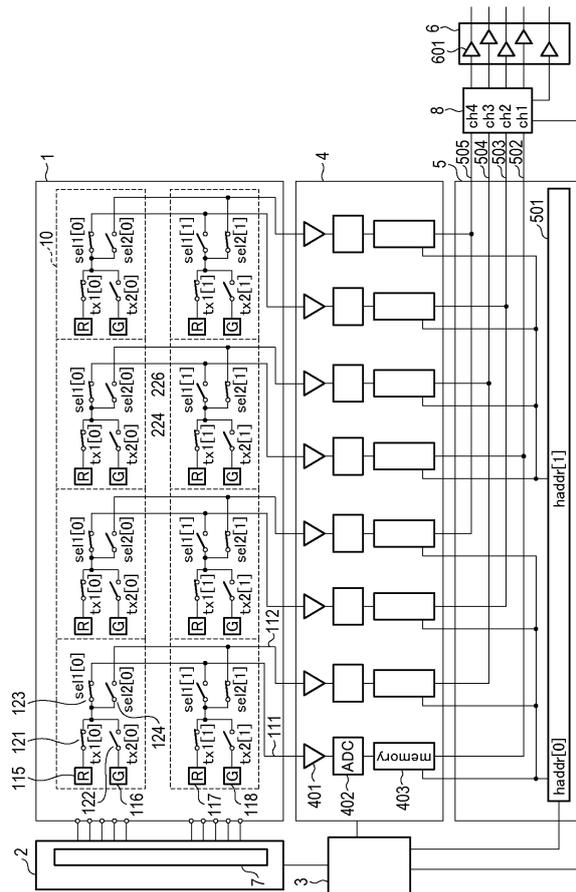
【図24】



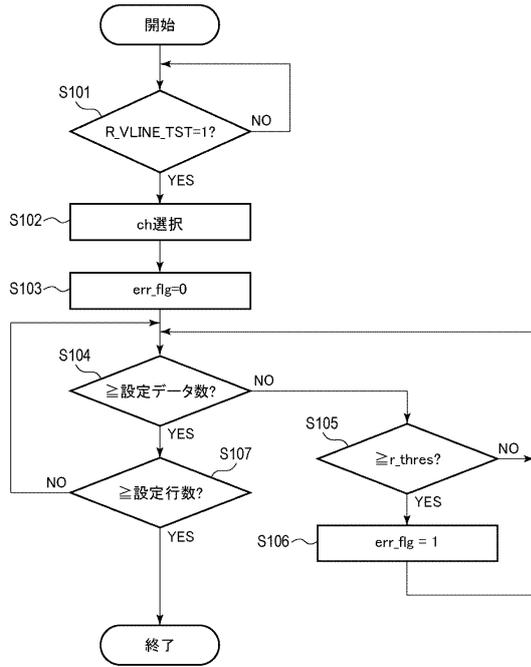
【図25】



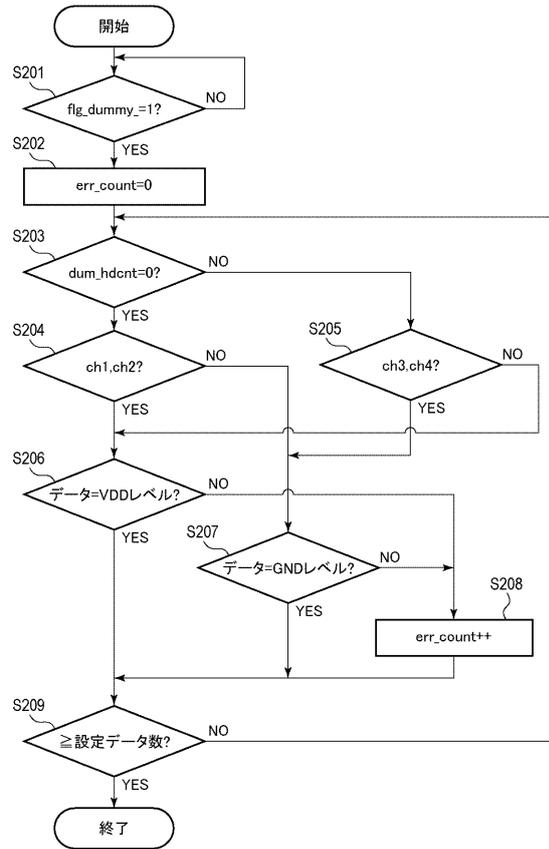
【図26】



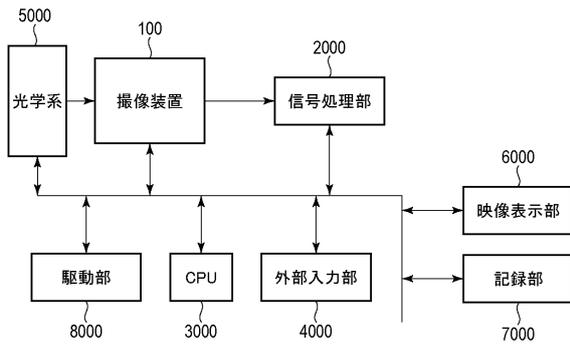
【図27】



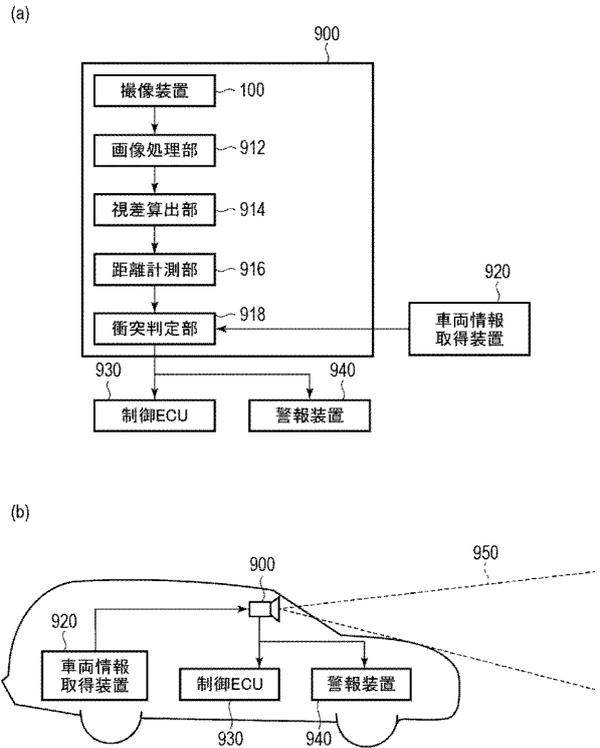
【図28】



【図29】



【図30】



フロントページの続き

(72)発明者 島田 淳史
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 大室 秀明

(56)参考文献 特開2002-009269(JP,A)
特開2015-142338(JP,A)
特開平04-214937(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 5/222 - 5/257
H04N 5/30 - 5/378
H04N 9/04 - 9/11