

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> G05F 1/52	(11) 공개번호 특2000-0002771
	(43) 공개일자 2000년01월 15일
(21) 출원번호 10-1998-0023680	
(22) 출원일자 1998년06월23일	
(71) 출원인 삼성전자 주식회사 윤중용	
(72) 발명자 노경준	경기도 수원시 팔달구 매탄3동 416
(74) 대리인 권석흥, 권용남, 이영필	경기도 안양시 만안구 석수동 110-20 삼신아파트 B동 507호

심사청구 : 없음

(54) 반도체장치의 기준전압 발생기

요약

본 발명은 반도체 장치의 기준 전압 발생기에 관한 것으로서, 외부 전원 전압이 일단에 인가되는 전류 억제 소자, 상기 전류 억제 소자의 타단에 일단이 연결되며 타단으로부터 기준 전압을 발생하는 저항, 상기 저항의 타단에 일단이 연결된 다른 저항, 상기 다른 저항의 타단과 일단에 각각 제1 전극과 제어 전극이 연결된 NMOS 트랜지스터, 상기 NMOS 트랜지스터의 제2 전극과 상기 전류 억제 소자의 타단에 각각 제1 전극과 제어 전극이 연결되고 제2 전극은 접지되는 다른 NMOS 트랜지스터, 및 상기 다른 저항의 일단과 타단에 각각 제1 전극과 제어 전극이 연결되고 제2 전극은 접지되는 PMOS 트랜지스터를 구비함으로써 외부 전원 전압의 고속 변동에 무관하게 기준 전압은 일정하게 발생된다.

대표도

도3

명세서

도면의 간단한 설명

- 도 1은 종래의 반도체 메모리 장치의 기준 전압 발생기의 회로도.
- 도 2는 본 발명의 바람직한 실시예에 따른 기준 전압 발생기를 구비하는 반도체 메모리 장치의 블록도.
- 도 3은 상기 도 2에 도시된 기준 전압 발생기의 회로도.
- 도 4a는 상기 도 3에 도시된 기준 전압 발생기의 외부 전원 전압의 고속 변동에 따른 기준 전압의 변화를 시뮬레이션(simulation)한 결과를 도시한 도면.
- 도 4b는 상기 도 1과 도 3에 도시된 기준 전압 발생기들의 기준 전압에 따른 메모리 어레이(Memory Array)용 기준 전압의 변화를 보여주는 도면.
- 도 5는 본 발명의 바람직한 실시예에 따른 기준 전압 발생 방법을 설명하기 위한 흐름도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기준 전압 발생기에 관한 것으로서, 특히 반도체 장치 또는 반도체 메모리 장치에 이용되는 기준 전압 발생기에 관한 것이다.

반도체 메모리 장치는 다양한 내부 회로를 가지고 있으며, 각 내부 회로의 특성에 맞는 특정 전압을 필요로 한다. 상기 특정 전압을 발생시키기 위해서는 그 기준이 되는 기준 전압이 있어야 한다. 이와 같은 기준 전압을 발생하는 장치가 기준 전압 발생기이다. 기준 전압 발생기는 주로 반도체 메모리 장치에 많이 이용되고 있으나, 반도체 장치의 다양한 기능 개발로 인하여 점차 반도체 메모리 장치와 비메모리 반도체 장치가 복합되고 있어서, 비메모리 반도체 장치에도 이용될 가능성도 많아지고 있다.

도 1은 종래의 반도체 메모리 장치의 기준 전압 발생기의 회로도이다. 도 1을 참조하면, 종래의 반도체 메모리 장치의 기준 전압 발생기는 저항들(111, 112), NMOS 트랜지스터들(121, 122) 및 PMOS 트랜지스터(131)를 구비한다. 저항(111)에 외부 전원 전압(Vcc)이 인가되고, 저항들(111, 112)이 상호 접속된 노드(N1)로부터 기준 전압(Vref)이 발생한다.

종래의 기준 전압 발생기에 따르면, NMOS 트랜지스터(122)의 게이트에 외부 전원 전압(Vcc)이 직접 인가되기 때문에 외부 전원 전압(Vcc)의 변동에 기준 전압(Vref)이 그대로 영향을 받게된다. 따라서, 외부 전원 전압(Vcc)이 빠르게 변동하게되면 NMOS 트랜지스터(122)의 구동 능력도 빠르게 변동하게 된다. 그로 인하여 기준 전압 발생기는 미처 외부 전원 전압(Vcc)의 빠른 속도에 대처하지 못하게 되어 기준 전압(Vref)의 레벨이 변화하는 문제가 발생한다. 기준 전압 발생기는 기준 전압(Vref)을 일정하게 발생하여야 하는데 종래의 기준 전압 발생기는 상술한 바와 같이 외부 전원 전압(Vcc)이 빠르게 변동하면 그 기준 전압(Vref)을 일정하게 발생하지 못하는 문제점을 가지고 있다.

**발명이 이루고자하는 기술적 과제**

본 발명이 이루고자하는 기술적 과제는 외부 전원 전압의 고속 변동에 영향을 받지 않고 일정한 기준 전압을 발생하는 기준 전압 발생기를 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 외부 전원 전압의 고속 변동에 영향을 받지 않고 일정한 기준 전압을 발생하는 기준 전압 발생기를 구비하는 반도체 장치를 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 외부 전원 전압의 전압레벨의 변화에 무관하게 일정한 기준 전압을 발생하는 기준 전압 발생방법을 제공하는데 있다.

**발명의 구성 및 작용**

상기 기술적 과제를 이루기 위하여 본 발명은, 외부 전원 전압이 일단에 인가되는 전류 억제 소자, 상기 전류 억제 소자의 타단에 일단이 연결되며 타단으로부터 기준 전압을 발생하는 저항, 상기 저항의 타단에 일단이 연결된 다른 저항, 상기 다른 저항의 타단과 일단에 각각 제1 전극과 제어 전극이 연결된 NMOS 트랜지스터, 상기 NMOS 트랜지스터의 제2 전극과 상기 전류 억제 소자의 타단에 각각 제1 전극과 제어 전극이 연결되고 제2 전극은 접지되는 다른 NMOS 트랜지스터, 및 상기 다른 저항의 일단과 타단에 각각 제1 전극과 제어 전극이 연결되고 제2 전극은 접지되는 PMOS 트랜지스터를 구비하는 기준 전압 발생기를 제공한다.

바람직하기는, 상기 전류 억제 소자는 저항이다.

상기 기술적 과제를 이루기 위하여 본 발명은, 외부 전원 전압이 인가되는 패드, 상기 패드와 접지단 사이에 연결되며 상기 외부 전원 전압의 전압 레벨이 빠르게 변동하더라도 전압 레벨이 일정한 기준 전압을 발생하는 기준 전압 발생기를 구비하는 반도체 장치를 제공한다.

상기 또 다른 기술적 과제를 이루기 위하여 본 발명은, 외부 전원 전압을 인가하는 외부 전원 전압 인가 단계, 상기 외부 전원 전압의 온도 보상 및 전압 레벨의 변화량을 감소시키는 외부 전원 전압 변화 감소 단계, 및 상기 변화량이 감소된 외부 전원 전압을 분배하여 일정한 기준 전압을 발생하는 기준 전압 발생 단계를 포함하는 기준 전압 발생 방법을 제공한다.

상기 본 발명에 의하여 기준 전압 발생기는 외부 전원 전압이 급격하게 변동하더라도 일정한 기준 전압을 발생한다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다.

도 2는 본 발명의 바람직한 실시예에 따른 기준 전압 발생기를 구비하는 반도체 메모리 장치의 블록도이다. 도 2를 참조하면, 반도체 장치(201)는 패드(211)와 기준 전압 발생기(221)를 구비한다. 패드(211)에는 외부로부터 전원 전압(Vcc)이 인가된다. 기준 전압 발생기(221)는 패드(211)와 접지단(GND) 사이에 연결되며, 외부 전원 전압(Vcc)의 전압 레벨이 빠르게 변동하더라도 전압 레벨이 일정한 기준 전압(Vref)을 발생한다.

도 3은 상기 도 2에 도시된 기준 전압 발생기(221)의 회로도이다. 도 3을 참조하면, 기준 전압 발생기(221)는 전류 억제 소자(311), 저항들(R1,R2), NMOS 트랜지스터들(321,322) 및 PMOS 트랜지스터(331)를 구비한다.

전류 억제 소자(311)의 일단에는 외부 전원 전압(Vcc)이 인가된다. 전류 억제 소자(311)는 저항으로 구성한다. 저항들(R1,R2)은 전류 억제 소자(311)에 직렬로 연결되며, 저항들(R1,R2)이 상호 접속된 노드(N2)로부터 기준 전압(Vref)이 발생한다. NMOS 트랜지스터(321)는 저항(R2)의 타단과 일단에 각각 제1 전극과 제어 전극이 연결된다. NMOS 트랜지스터(321)의 제1 전극과 제어 전극 및 제2 전극은 각각 드레인과 게이트 및 소오스이다. NMOS 트랜지스터(322)는 NMOS 트랜지스터(321)의 제2 전극과 전류 억제 소자(311)의 타단에 각각 제1 전극과 제어 전극이 연결된다. NMOS 트랜지스터(322)의 제1 전극과 제어 전극 및 제2 전극은 각각 드레인과 게이트 및 소오스이다. PMOS 트랜지스터(331)는 저항(R2)의 일단과 타단에 각각 제1 전극과 제어 전극이 연결되고 제2 전극은 접지된다. PMOS 트랜지스터(331)의 제1 전극과 제어 전극 및 제2 전극은 각각 소오스와 게이트 및 드레인이다. 기준 전압 발생기(221)에서 발생하는 기준 전압(Vref)의 값은 다음 수학적 식 1과 같다.

$$V_{ref} = |V_{tp}| \left( 1 + \frac{Req}{R2} \right)$$

상기 수학적 식 1에서 Req는 NMOS 트랜지스터(321)의 유효 저항값과 NMOS 트랜지스터(322)의 유효 저항값을 합한 값이다. |Vtp|의 온도 계수가 "-"이며 Req의 온도 계수가 "+"이기 때문에 기준 전압(Vref)의 온도

$$\frac{Req}{R2}$$

의존성을 상쇄시킬 수가 있다. 기준 전압(Vref)의 값은 |Vtp|와  $\frac{Req}{R2}$ 의 값을 변화시킴으로써 조정할 수가 있다.

도 3에 도시된 바와 같이, 외부 전원 전압(Vcc)은 NMOS 트랜지스터(322)의 제어 전극에 직접 인가되지 않고 전류 억제 소자(311)를 통하여 NMOS 트랜지스터(322)의 제어 전극에 인가됨으로써, NMOS 트랜지스터(322)는 외부 전원 전압(Vcc)이 빠르게 변동하더라도 이에 충분히 대처하게 된다. 따라서, 기준 전압(Vref)은 일정하게 유지된다.

도 4a는 상기 도 3에 도시된 기준 전압 발생기(221)의 외부 전원 전압의 고속 변동에 따른 기준 전압의 변화를 시뮬레이션한 결과를 도시한 도면이다. 도 4a를 참조하면, 외부 전원 전압(Vcc)이 4볼트~6볼트 사이에서 10[ns]의 주기로 빠르게 변동하더라도 노드(N1)의 전압은 4.75볼트~5.25볼트 내에서 약하게 변동한다. 즉, 외부 전원 전압(Vref)이 약 2볼트의 변동폭을 갖더라도 노드(N1)의 전압은 약 0.5볼트의 미세한 변동폭을 나타냄으로써 일정하게 유지됨을 알 수 있다.

도 4b는 상기 도 1과 도 3에 도시된 기준 전압 발생기들의 기준 전압에 따른 메모리 어레이용 기준 전압의 변화를 보여주는 도면이다. 도 4b를 참조하면, 본 발명에 따른 기준 전압 발생기(221)의 기준 전압(Vref)을 이용한 메모리 어레이용 기준 전압(Vrefa3)의 변동이 종래의 기준 전압(Vref)을 이용한 메모리 어레이용 기준 전압(Vrefa1)의 변동에 비해 훨씬 적음을 알 수 있다. 따라서, 본 발명에 따른 기준 전압 발생기(221)의 기준 전압(Vref)을 이용한 메모리 어레이용 기준 전압(Vrefa3)은 일정하게 유지될 수가 있다. 본 발명에 따른 기준 전압 발생기(221)의 기준 전압(Vref)을 이용한 주변 회로용 기준 전압도 상기 도 4b에 도시된 메모리 어레이용 기준 전압(Vrefa3)과 동일한 효과를 나타낸다.

도 5는 본 발명의 바람직한 실시예에 따른 기준 전압 발생 방법을 설명하기 위한 흐름도이다. 도 5를 참조하면, 본 발명의 바람직한 실시예에 따른 기준 전압 발생 방법은 외부 전원 전압 인가 단계(511), 외부 전원 전압 변화 감소 단계(521) 및 기준 전압 발생 단계(531)를 포함한다. 도 3을 참조하여 본 발명의 바람직한 실시예에 따른 기준 전압 발생 방법을 설명하기로 한다.

외부 전원 전압 인가 단계(511)에서는 외부 전원 전압(Vcc)이 기준 전압 발생기(221)에 인가된다. 외부 전원 전압 변화 감소 단계(521)에서는 전류 억제 소자(311)에 의해 기준 전압 발생기(221)에 인가된 전압 레벨의 변화량이 감소되고, PMOS 트랜지스터(331) 및 NMOS 트랜지스터들(321,322)에 의해 외부 전원 전압(Vcc)의 온도가 보상된다. 기준 전압 발생 단계(531)에서는 상기 변화량이 감소된 외부 전원 전압(Vcc)이 분배되어 전압 레벨이 일정한 기준 전압(Vref)이 기준 전압 발생기(221)로부터 발생된다.

도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**발명의 효과**

상술한 바와 같이 본 발명에 따르면, 외부 전원 전압(Vcc)이 높고 고속으로 변동하더라도 기준 전압(Vref)은 일정하게 유지된다.

**(57) 청구의 범위**

**청구항 1**

- 외부 전원 전압이 일단에 인가되는 전류 억제 소자;
- 상기 전류 억제 소자의 타단에 일단이 연결되며 타단으로부터 기준 전압을 발생하는 저항;
- 상기 저항의 타단에 일단이 연결된 다른 저항;
- 상기 다른 저항의 타단과 일단에 각각 제1 전극과 제어 전극이 연결된 NMOS 트랜지스터;
- 상기 NMOS 트랜지스터의 제2 전극과 상기 전류 억제 소자의 타단에 각각 제1 전극과 제어 전극이 연결되고 제2 전극은 접지되는 다른 NMOS 트랜지스터; 및
- 상기 다른 저항의 일단과 타단에 각각 제1 전극과 제어 전극이 연결되고 제2 전극은 접지되는 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 기준 전압 발생기.

**청구항 2**

제1항에 있어서, 상기 전류 억제 소자는 저항인 것을 특징으로 하는 기준 전압 발생기.

**청구항 3**

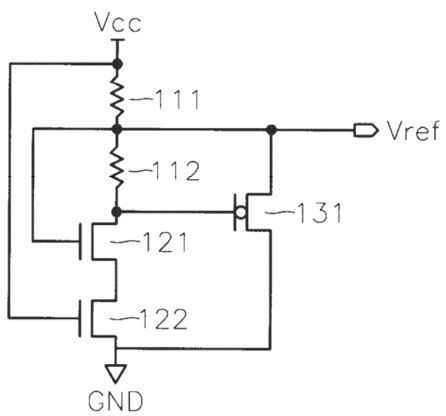
- 외부 전원 전압이 인가되는 패드;
- 상기 패드와 접지단 사이에 연결되며 상기 외부 전원 전압의 전압 레벨이 빠르게 변동하더라도 전압 레벨이 일정한 기준 전압을 발생하는 기준 전압 발생기를 구비하는 것을 특징으로 하는 반도체 장치.

**청구항 4**

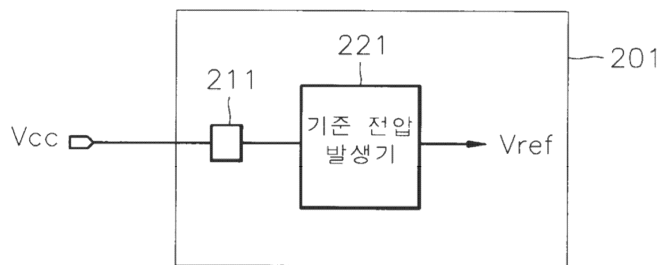
- 외부 전원 전압을 인가하는 외부 전원 전압 인가 단계;
- 상기 외부 전원 전압의 온도 보상 및 전압 레벨의 변화량을 감소시키는 외부 전원 전압 변화 감소 단계; 및
- 상기 변화량이 감소된 외부 전원 전압을 분배하여 일정한 기준 전압을 발생하는 기준 전압 발생 단계를 포함하는 것을 특징으로 하는 기준 전압 발생 방법.

도면

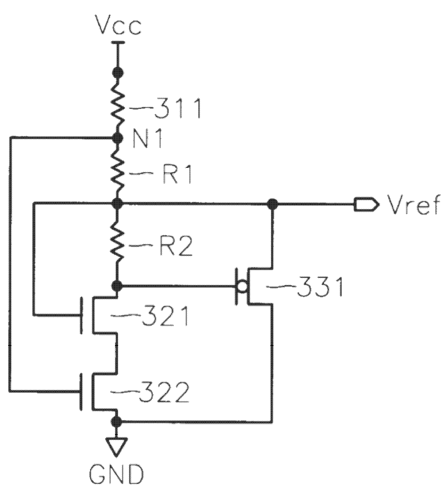
도면1



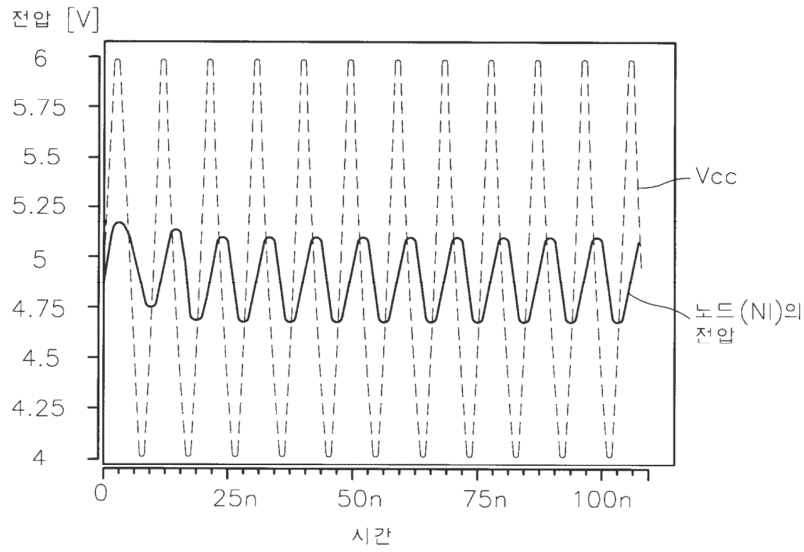
도면2



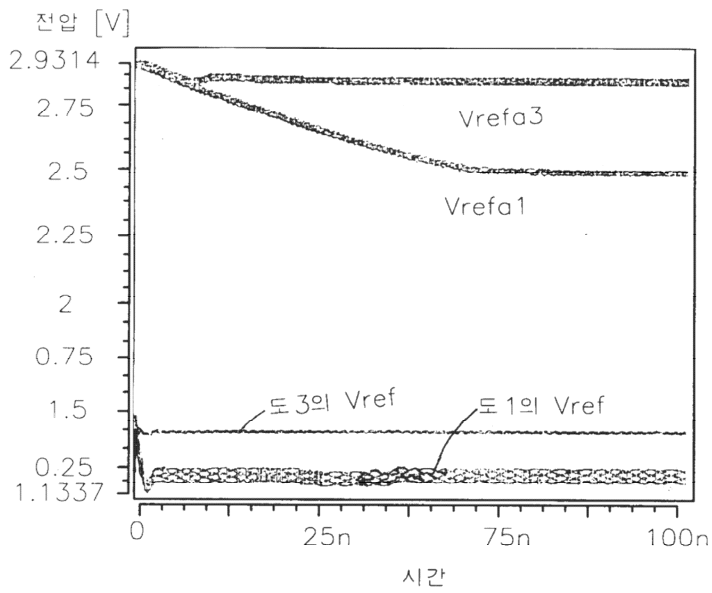
도면3



도면4a



도면4b



도면5

