

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-282721

(P2009-282721A)

(43) 公開日 平成21年12月3日(2009.12.3)

(51) Int.Cl. F I テーマコード (参考)
G06F 12/00 (2006.01) G06F 12/00 564A 5B060
 G06F 12/00 550E

審査請求 未請求 請求項の数 11 O L (全 8 頁)

(21) 出願番号 特願2008-133698 (P2008-133698)
 (22) 出願日 平成20年5月21日 (2008.5.21)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 望月 英生
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 (72) 発明者 増田 和明
 神奈川県川崎市中原区小杉町1丁目403
 番53 NECマイクロシステム株式会社
 内
 Fターム(参考) 5B060 CC01

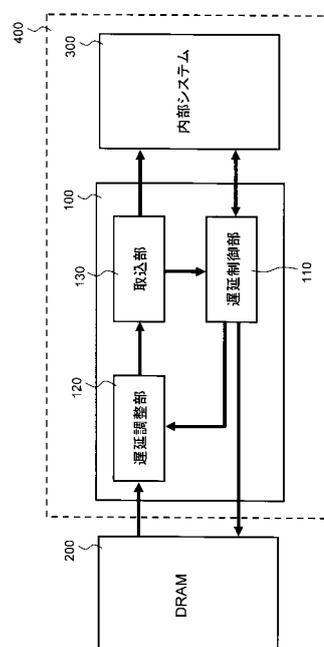
(54) 【発明の名称】 メモリコントローラ、メモリコントロールシステム及びメモリ遅延量制御方法

(57) 【要約】 (修正有)

【課題】 高速、かつ、低消費電力のメモリコントローラ、メモリコントロールシステム及びメモリ遅延量制御方法を提供する。

【解決手段】 メモリコントローラは、外部DRAM装置200に対するデータ送受信での遅延量を調整するメモリコントローラ100であって、外部DRAM装置200に送信したテストデータと外部DRAM装置200から返信された当該テストデータとを比較することにより前記遅延量を所定の設定値に定め、当該設定値を外部DRAM装置200に送信する遅延制御部110と外部DRAM装置200に格納された前記設定値を取り込む取込部と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

外部 D R A M 装置に対するデータ送受信での遅延量を調整するメモリコントローラであって、

前記外部 D R A M 装置に送信したテストデータと前記外部 D R A M 装置から返信された当該テストデータとを比較することにより前記遅延量を所定の設定値に定め、当該設定値を前記外部 D R A M 装置に送信する遅延制御部と、

前記外部 D R A M 装置に格納された前記設定値を取り込む取込部と、を備えるメモリコントローラ。

【請求項 2】

当該メモリコントローラの電源が省電力モードによりオフとなる場合、前記外部 D R A M 装置の電源はオンのままであることを特徴とする請求項 1 に記載のメモリコントローラ。

【請求項 3】

前記外部 D R A M 装置に、プログラムが格納されていることを特徴とする請求項 1 又は 2 に記載のメモリコントローラ。

【請求項 4】

外部 D R A M 装置と、

前記外部 D R A M 装置に対するデータ送受信での遅延量を調整するメモリコントローラと、を備えたメモリコントロールシステムであって、

前記メモリコントローラは、前記外部 D R A M 装置に送信したテストデータと前記外部 D R A M 装置から返信された当該テストデータとを比較することにより前記遅延量を所定の設定値に定め、

前記設定値を前記外部 D R A M 装置が記憶するメモリコントロールシステム。

【請求項 5】

前記メモリコントローラの電源が省電力モードによりオフとなる場合、前記外部 D R A M 装置の電源はオンのままであることを特徴とする請求項 4 に記載のメモリコントロールシステム。

【請求項 6】

前記メモリコントローラの電源が省電力モードによるオフからオンに切り替わった場合、前記メモリコントローラは前記外部 D R A M 装置に書き込まれた前記設定値を取り込むことを特徴とする請求項 5 に記載のメモリコントロールシステム。

【請求項 7】

前記外部 D R A M 装置に、プログラムが格納されていることを特徴とする請求項 4 ~ 6 のいずれか一項に記載のメモリコントロールシステム。

【請求項 8】

外部 D R A M 装置に対するデータの送受信における遅延量を調整するメモリ遅延量制御方法であって、

前記外部 D R A M 装置に送信したテストデータと前記外部 D R A M 装置から返信された当該テストデータとを比較することにより、前記遅延量を所定の設定値に定め、

前記設定値を前記外部 D R A M 装置に記憶させるメモリ遅延量制御方法。

【請求項 9】

前記遅延量を定めるメモリコントローラの電源が、省電力モードによりオフとなる場合、前記外部 D R A M 装置の電源はオンのままであることを特徴とする請求項 8 に記載のメモリ遅延量制御方法。

【請求項 10】

前記メモリコントローラの電源が省電力モードによるオフからオンに切り替わった場合、前記メモリコントローラは前記外部 D R A M 装置に記憶された前記設定値を取り込むことを特徴とする請求項 9 に記載のメモリ遅延量制御方法。

【請求項 11】

10

20

30

40

50

前記外部 D R A M 装置に、プログラムが格納されていることを特徴とする請求項 8 ~ 10 のいずれか一項に記載のメモリ遅延量制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリコントローラ、メモリコントロールシステム及びメモリ遅延量制御方法に関する。

【背景技術】

【0002】

外部メモリにデータを書き込むもしくは外部メモリからデータを読み取るためには、例えば、システム L S I などに遅延量を調整するためのメモリコントローラが必要となる。特許文献 1 には、D D R (Double-Data-Rate) メモリに、あらかじめ用意されたテストパターンをリードライトさせることにより、当該 D D R メモリの遅延調整を行う技術が開示されている。

10

【特許文献 1】特開 2 0 0 7 - 1 2 1 6 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところで、近年、消費電力を低減するために、省電力モードにおいてメモリコントローラの電源を切る必要が出てきた。特許文献 1 に記載の技術では、メモリコントローラの電源が省電力モードによるオフからオンに切り替わるたびに、再度メモリの遅延調整を行う必要があり、処理速度が低下する。これは、メモリの遅延調整のための設定値が、メモリコントローラ内部に記憶されており、省電力モードによりメモリコントローラの電源がオフになると、消えてしまうからである。

20

【課題を解決するための手段】

【0004】

本発明に係るメモリコントローラは、外部 D R A M 装置に対するデータ送受信での遅延量を調整するメモリコントローラであって、

前記外部 D R A M 装置に送信したテストデータと前記外部 D R A M 装置から返信された当該テストデータとを比較することにより前記遅延量を所定の設定値に定め、当該設定値を前記外部 D R A M 装置に送信する遅延制御部と

30

前記外部 D R A M 装置に格納された前記設定値を取り込む取込部と、を備えるものである。

【0005】

本発明に係るメモリコントロールシステムは、外部 D R A M 装置と、前記外部 D R A M 装置に対するデータ送受信での遅延量を調整するメモリコントローラと、を備えたメモリコントロールシステムであって、

前記メモリコントローラは、前記外部 D R A M 装置に送信したテストデータと前記外部 D R A M 装置から返信された当該テストデータとを比較することにより前記遅延量を所定の設定値に定め、

40

前記設定値を前記外部 D R A M 装置が記憶するものである。

【0006】

本発明に係るメモリ遅延量制御方法は、外部 D R A M 装置に対するデータの送受信における遅延量を調整するメモリ遅延量制御方法であって、

前記外部 D R A M 装置に送信したテストデータと前記外部 D R A M 装置から返信された当該テストデータとを比較することにより、前記遅延量を所定の設定値に定め、

前記設定値を前記外部 D R A M 装置に記憶させるものである。

50

【発明の効果】

【0007】

本発明により、高速、かつ、低消費電力のメモリコントローラ、メモリコントロールシステム及びメモリ遅延量制御方法を提供することができる。

【発明を実施するための最良の形態】

【0008】

以下に、本発明の実施の形態について説明する。ただし、本発明が以下の実施の形態に限定される訳ではない。また、説明を明確にするため、以下の記載および図面は、適宜、簡略化されている。

【0009】

実施の形態

以下、図面に基づいて本発明の実施の形態について説明する。図1は、本発明の実施の形態に係るメモリコントロールシステムのブロック図である。図1に示すように、実施の形態に係るメモリコントロールシステムは、メモリコントローラ100、外部メモリであるDRAM200及び内部システム300を備える。

【0010】

ここで、メモリコントローラ100及び内部システム300が、システムLSI400を構成する。内部システム300は、システムLSI400におけるメモリコントローラ100以外の領域であり、CPU(Central Processing Unit)、I/Oポートなどを備えている。メモリコントローラ100は、遅延制御部110、遅延調整部120及びデータ取込部130を備える。

【0011】

遅延制御部110は、内部システム300から遅延調整の起動信号及び遅延値読み取り信号を受信する。また、データ取込部130が取り込んだデータがフィードバックされる。一方、フィードバックされたデータに応じて遅延設定値を決定し、遅延調整部120に送信する。また、上記遅延設定値、ライトデータ及びコマンドをDRAM200に送信する。さらに、遅延調整が終了した場合、内部システム300に遅延調整終了信号を送信する。

【0012】

遅延調整部120は、DRAM200からデータ及びクロックを受信する。また、遅延制御部110から遅延設定値を受信する。そして、相対的な遅延時間を調整してデータ取込部130にデータ及び基準クロックを送信する。遅延調整部120は、例えば、DLL(Dynamic Link Library)による遅延調整とバッファによる遅延調整との組み合わせにより構成される。

【0013】

データ取込部130は、遅延調整部120からデータ及び基準クロックを受信する。そして、DRAM200からのリードデータとして内部システム300に送信する。また、取り込みデータを遅延制御部110にフィードバックする。

【0014】

DRAM200は、本発明に係る外部メモリであり、例えば、DDR-SDRAMである。DRAM200は、システムLSI400内部のROMに比べ、アクセス速度が速い。そのため、ROM(不図示)に格納されたアプリケーションプログラムは、当該メモリコントロールシステムが搭載された電子電気機器本体の起動後、このDRAM200に転送され、使用される。

【0015】

このメモリコントロールシステムでは、消費電力削減のため、省電力モードではシステムLSI400の電源をオフにする必要がある。この省電力モードによりシステムLSI400の電源をオフにする場合、DRAM200の電源はオンのままである。そのため、この省電力モードによりシステムLSI400の電源をオフにするたびに、上述のアプリケーションプログラムをROMからDRAM200に転送する必要がなく、高速動作が可

10

20

30

40

50

能になる。ここで、DRAM200はセルフリフレッシュモードでデータを保持する。

【0016】

また、DRAM200には、遅延制御部110が決定した遅延設定値が送信され、格納されている。上述の通り、省電力モードによりシステムLSI400の電源をオフにする場合、DRAM200の電源はオンのままである。そのため、システムLSI400の電源が省電力モードによるオフからオンに切り替わった場合、遅延制御部110はDRAM200に書き込まれた遅延設定値を取り込むことができる。すなわち、最初から遅延設定値を設定し直す必要がなく、その分高速動作が可能になる。

【0017】

本発明では、DRAM200のための遅延設定値を、DRAM200に保存するため、新たなメモリを増設する必要がない。また、フラッシュメモリよりもメモリ容量あたりの単価が安価なDRAMを用いることにより、コストダウンが可能となる。

10

【0018】

次に、図2を用いて、遅延設定値の決定方法について詳細に説明する。図2は、本発明の実施の形態に係るメモリコントロールシステムの詳細なブロック図である。図2に示すように、遅延制御部110は、パターン生成部111、パターン比較部112、遅延保持部113、コマンド出力部114を備える。

【0019】

次に、遅延設定値の決定方法について詳細に説明する。ここで、初期状態すなわちメモリコントロールシステムが搭載された電子電気機器本体の起動時、遅延保持部113が保持する遅延設定値は適当に定められた初期値である。

20

【0020】

まず、パターン生成部111が内部システム300から遅延調整の起動信号を受信すると、コマンド出力部114にテストパターンを、遅延保持部113に遅延値出力命令を送信する。これを受け、コマンド出力部114はDRAM200にテストパターンを書き込む。また、遅延保持部113は遅延設定値を遅延調整部120に送信する。

【0021】

次に、パターン生成部111は、DRAM200に上記テストパターンが書き込まれたか否かを調べるため、コマンド出力部114にデータ読み取り信号を送信する。これを受け、コマンド出力部114は、DRAM200に読み出し要求を送信する。

30

【0022】

読み取りデータは、DRAM200から遅延調整部120を介してデータ取込部130に送信される。パターン比較部112は、テストパターンと読み取りデータを比較し、テストパターンが期待通りに読めたか否かを判断する。その比較結果をパターン生成部111にフィードバックする。パターン生成部111は比較結果に応じてテストパターンを生成する。また、遅延保持部113にそのテストパターンに対応した遅延設定値を送信する。

【0023】

上記フィードバック操作を繰り返し、パターン生成部111が、適切な遅延設定値を決定する。例えば、遅延量を遅延1～8までの8段階に徐々に変化させ検証する。その結果、遅延3、4及び5の3回連続してデータの読み取りに成功した場合、遅延4が最適であると判断する。

40

【0024】

次に、パターン生成部111は遅延保持部113にある遅延設定値が適切であると判断した場合、コマンド出力部114に当該遅延設定値をDRAM200に書き込むコマンドを送信する。これを受け、コマンド出力部114は遅延保持部113から当該遅延設定値を受信し、DRAM200へ送信する。

【0025】

次に、パターン生成部111は内部システム300に遅延調整終了信号を送信する。以降、省電力モードによるシステムLSI400の電源をオフが可能となる。上述の通り、省電力モードによりシステムLSI400の電源をオフにする場合、DRAM200の電源

50

はオンのままである。そのため、システム L S I 4 0 0 の電源が省電力モードによるオフからオンに切り替わった場合、パターン生成部 1 1 1 は内部システム 3 0 0 から遅延値読み取り信号を受信し、コマンド出力部 1 1 4 に遅延設定値読み込み信号を送信する。

【 0 0 2 6 】

コマンド出力部 1 1 4 は D R A M 2 0 0 に遅延設定値読み出し要求を送信する。遅延設定値は、D R A M 2 0 0 から遅延調整部 1 2 0 を介してデータ取込部 1 3 0 に送信される。そして、遅延設定値はデータ取込部 1 3 0 から遅延保持部 1 1 3 へ送信される。これにより、最初から遅延設定値を設定し直す必要がなく、その分高速動作が可能になる。

【 0 0 2 7 】

次に、図 3 を用いて、システム L S I 4 0 0 の電源がオンになった場合のフローチャートについて説明する。まず、D R A M 2 0 0 に遅延設定値があるか否か判定する (S 1)。D R A M 2 0 0 に遅延設定値がある場合 (S 1 Y E S)、遅延設定値を読み出す (S 2)。一方、D R A M 2 0 0 に遅延設定値がない場合 (S 1 N O)、上記に説明したように遅延制御部 1 1 0 がフィードバック操作により遅延設定値を決定し (S 3)、当該遅延設定値を D R A M 2 0 0 へ書き込む (S 4)。

10

【 0 0 2 8 】

次に、D R A M 2 0 0 にプログラムがあるか否か判定する (S 5)。D R A M 2 0 0 にプログラムがある場合 (S 5 Y E S)、D R A M 2 0 0 上のプログラムでシステム動作する (S 6)。一方、D R A M 2 0 0 にプログラムがない場合 (S 5 N O)、ROM から D R A M 2 0 0 へプログラムを転送し (S 7)、D R A M 領域を使用するモードへ切り替える (S 8)。そして、D R A M 2 0 0 上のプログラムでシステム動作する (S 6)。

20

【 0 0 2 9 】

以上説明したとおり、本発明にかかるメモリコントロールシステムでは、D R A M 2 0 0 に、遅延制御部 1 1 0 が決定した遅延設定値が送信され、格納されている。省電力モードによりシステム L S I 4 0 0 の電源をオフにする場合、D R A M 2 0 0 の電源はオンのままである。そのため、システム L S I 4 0 0 の電源が省電力モードによるオフからオンに切り替わった場合、遅延制御部 1 1 0 は D R A M 2 0 0 に書き込まれた遅延設定値を取り込むことができる。すなわち、最初から遅延設定値を設定し直す必要がなく、その分高速動作が可能になる。よって、高速、かつ、低消費電力のメモリコントローラ、メモリコントロールシステム及びメモリ遅延量制御方法を提供することができる。

30

【 0 0 3 0 】

また、本発明では、D R A M 2 0 0 のための遅延設定値を、D R A M 2 0 0 に保存するため、新たなメモリを増設する必要がない。また、フラッシュメモリよりもメモリ容量あたりの単価が安価な D R A M を用いることにより、コストダウンが可能となる。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 本発明の実施の形態に係るメモリコントロールシステムのブロック図である。

【 図 2 】 本発明の実施の形態に係るメモリコントロールシステムの詳細なブロック図である。

【 図 3 】 システム L S I の電源がオンになった場合のフローチャートである。

40

【 符号の説明 】

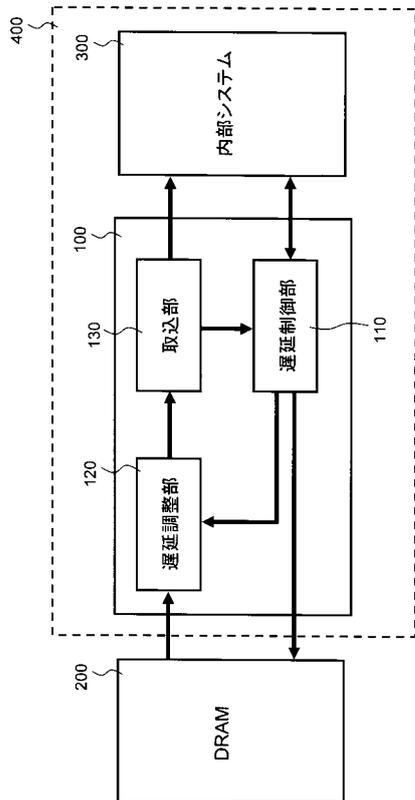
【 0 0 3 2 】

1 0 0 メモリコントローラ
 1 1 0 遅延制御部
 1 1 1 パターン生成部
 1 1 2 パターン比較部
 1 1 3 遅延保持部
 1 1 4 コマンド出力部
 1 2 0 遅延調整部
 1 3 0 データ取込部

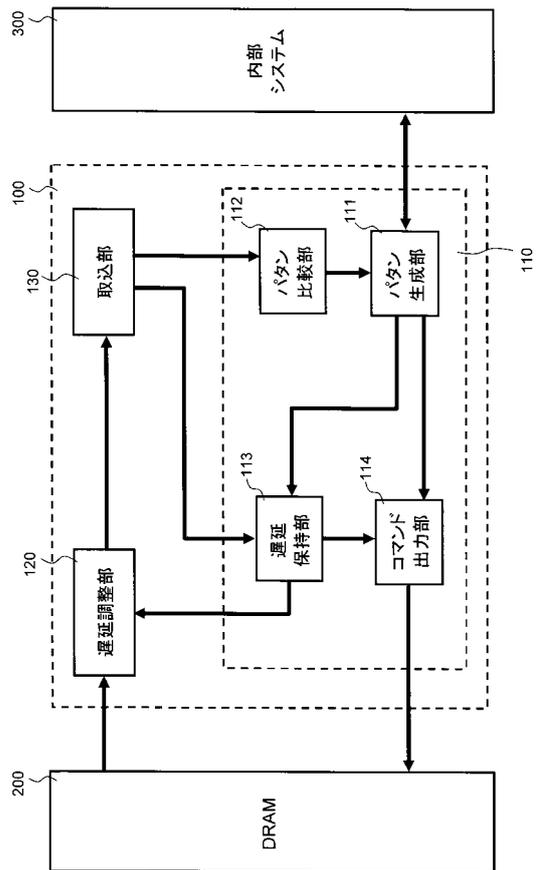
50

- 200 DRAM
- 300 内部システム
- 400 システムLSI

【図1】



【図2】



【 図 3 】

