

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>8</sup> (11) 공개번호 10-2006-0005631  
H03F 3/30 (2006.01) (43) 공개일자 2006년01월18일

(21) 출원번호 10-2004-0054494  
(22) 출원일자 2004년07월13일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416  
(72) 발명자 정규영  
서울특별시 강동구 명일동 삼익그린1차아파트 103동 510호  
(74) 대리인 리엔목특허법인  
이해영

심사청구 : 있음

(54) 전류 제어가 용이한 증폭 회로

요약

전류 제어가 용이한 증폭 회로가 개시된다. 본 발명의 실시예에 따른 증폭 회로는 입력 회로, 출력 회로, 제 1 제어 회로 및 제 2 제어 회로를 구비한다. 입력 회로는 입력 신호들의 전압 차이를 전류로 변환하여 제 1 및 제 2 출력 노드의 전압 레벨을 제어한다. 출력 회로 상기 제 1 및 제 2 출력 노드의 전압 레벨 변화에 응답하여 출력 전류를 외부로 출력한다. 제 1 제어 회로는 제 1 제어 전압에 응답하여 제 1 바이어스 전류를 발생하고, 상기 제 1 바이어스 전류에 응답하여 내부의 제 1 전류 경로로 흐르는 제 1 제어 전류의 전류량을 제어한다. 제 2 제어 회로는 제 2 제어 전압에 응답하여 상기 제 1 바이어스 전류의 전류량보다 적은 전류량을 가지는 제 2 바이어스 전류를 발생하고, 상기 제 2 바이어스 전류에 응답하여 내부의 제 2 전류 경로로 흐르는 제 2 제어 전류의 전류량을 제어한다. 상기 제 1 제어 회로 및 제 2 제어 회로는 제 1 동작 모드에서 상기 제 1 바이어스 전류에 응답하여 상기 출력 회로에 흐르는 정지 전류(quiescent current)의 전류량을 제어하고, 제 2 동작 모드에서 상기 제 1 및 제 2 제어 전류의 전류량을 변화시켜 상기 출력 전류의 전류량을 제어한다. 본 발명에 따른 증폭 회로는 정지 전류와 출력 전류의 제어가 용이하고 회로적 변수가 적으므로 외부 공정 변화에 대하여 안정적인 장점이 있다.

대표도

도 1

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 실시예에 따른 증폭 회로의 스태틱(static) 상태를 설명하는 회로도이다.

도 2는 도 1의 증폭 회로의 동작(operating) 상태를 설명하는 회로도이다.

도 3은 도 1의 증폭 회로의 다른 동작(operating) 상태를 설명하는 회로도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 증폭 회로에 관한 것으로서, 특히 스태틱(static) 상태에서의 정지(quiescent) 전류와 동작(operating) 상태에서의 출력 전류의 제어가 용이한 증폭 회로에 관한 것이다.

일반적으로 CMOS 트랜지스터를 구비하는 푸시-풀(push-pull) 증폭 회로가 널리 사용되고 있다. 통상 음향 증폭기로서 많이 이용되고 있는 증폭 회로는 아날로그 증폭 회로와 디지털 증폭 회로로 대별된다.

아날로그 증폭 회로에는 A급(class A), B급(class B) 및 AB급(class AB) 증폭 회로가 있고 디지털 증폭 회로에는 D급(class D) 증폭 회로가 있다. 음향 증폭기에 있어서는 그 동안 높은 효율보다는 선형성이 더 강조되어 왔으며, 따라서 아날로그 증폭기인 선형 증폭기가 음향 증폭기의 주류를 이루고 있다.

최근까지 음향 증폭기에는 선형성이 우수한 A급, B급 및 AB급의 증폭 회로가 사용되어 왔다. 이러한 형태의 증폭기는 대 출력 증폭기를 구현할 경우 큰 전력 손실이 발생한다.

즉, 아날로그 증폭기는 선형성이 좋다는 장점 대신에 효율이 나쁘다는 단점을 가지고 있다. 아날로그 증폭기 중에 이러한 특징이 잘 나타나는 A급 증폭기는 증폭기의 최대 출력보다 더 큰 손실이 존재하는 증폭기로서 그 효율이 25%를 넘지 못하는 구조적인 단점을 가지고 있다.

이러한 문제를 극복하기 위하여 채택하고 있는 푸시-풀(push-pull) B급 증폭기는 에너지 손실을 줄이기 위하여 두 개의 트랜지스터를 에미터 팔로워(emitter follower) 형태로 결합하여 사용하는데 효율은 비교적 높은 편이지만 신호가 작은 레벨에서 크로스 오버 왜곡(crossover distortion)이 발생하는 단점이 있다.

또한, B급 증폭기에 존재하는 두 개의 트랜지스터는 서로 번갈아 가면서 온/오프(on/off)되는 데, 소전류가 흐를 때에는 온/오프가 용이하지만 대전류가 흐를 때에는 온/오프가 빠르게 수행되기 어렵다. 따라서 B급 증폭기는 정상시에는 바이어스 전류가 전혀 흐르지 않기 때문에 특히 대전류 영역에서는 빠른 온/오프가 어려우므로 고조파 왜율(Total Harmonic Distortion(THD)이 나빠진다.

A급과 B급의 중간 형태인 AB급 증폭기는 스태틱(static) 상태에서도 어느 정도의 전류가 흐르는데 이 전류의 크기는 A급 증폭기에 비해서는 매우 작으며 B급에 비해서는 매우 큰 전류이다. 따라서 바이어스 전류를 많이 흘리면 흘릴수록 특성은 A급 증폭기에 가까워지며 반대로 바이어스 전류를 적게 흘리면 흘릴수록 특성이 B급 증폭기에 가까워진다.

이러한 AB급 증폭기의 스태틱 상태 및 동작 상태에서 원하는 전류가 흐르도록 용이하게 제어할 필요가 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 정지 전류와 출력 전류의 제어가 용이한 증폭 회로를 제공하는데 있다.

#### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 증폭 회로는 입력 회로, 출력 회로, 제 1 제어 회로 및 제 2 제어 회로를 구비한다.

입력 회로는 입력 신호들의 전압 차이를 전류로 변환하여 제 1 및 제 2 출력 노드의 전압 레벨을 제어한다. 출력 회로 상기 제 1 및 제 2 출력 노드의 전압 레벨 변화에 응답하여 출력 전류를 외부로 출력한다.

제 1 제어 회로는 제 1 제어 전압에 응답하여 제 1 바이어스 전류를 발생하고, 상기 제 1 바이어스 전류에 응답하여 내부의 제 1 전류 경로로 흐르는 제 1 제어 전류의 전류량을 제어한다.

제 2 제어 회로는 제 2 제어 전압에 응답하여 상기 제 1 바이어스 전류의 전류량보다 적은 전류량을 가지는 제 2 바이어스 전류를 발생하고, 상기 제 2 바이어스 전류에 응답하여 내부의 제 2 전류 경로로 흐르는 제 2 제어 전류의 전류량을 제어한다.

상기 제 1 제어 회로 및 제 2 제어 회로는 제 1 동작 모드에서 상기 제 1 바이어스 전류에 응답하여 상기 출력 회로에 흐르는 정지 전류(quiescent current)의 전류량을 제어하고, 제 2 동작 모드에서 상기 제 1 및 제 2 제어 전류의 전류량을 변화시켜 상기 출력 전류의 전류량을 제어한다.

상기 입력 회로는 폴디드 캐스코드 OTA(Operational Transconductance Amplifier)이다. 상기 제 1 제어 회로는 상기 출력 회로와 전류 미러(current mirror)를 형성하며 상기 정지 전류의 전류량을 상기 제 1 바이어스 전류에 비례하도록 제어한다.

상기 제 1 동작 모드는 상기 입력 신호들의 전압 레벨이 동일하여 상기 출력 회로에 정지 전류가 흐르는 동작 모드이고 상기 제 2 동작 모드는 상기 입력 신호들의 전압 레벨이 서로 달라서 상기 출력 회로로부터 상기 출력 전류가 출력되거나 유입되는 동작 모드이다.

상기 제 1 및 제 2 제어 전압은 외부에서 인가되는 직류 전압이며 상기 제 1 바이어스 전류의 전류량은 상기 제 1 제어 전압에 의해서 결정되고, 상기 제 2 바이어스 전류의 전류량은 상기 제 2 제어 전압에 의해서 결정된다.

상기 출력 회로는 풀업 트랜지스터 및 풀다운 트랜지스터를 구비한다.

풀업 트랜지스터는 전원 전압에 제 1 단이 연결되고 게이트가 상기 제 1 출력 노드에 연결되며 제 2 단이 제 3 출력 노드에 연결된다. 풀다운 트랜지스터는 상기 제 3 출력 노드에 제 1 단이 연결되고 게이트가 상기 제 2 출력 노드에 연결되며 제 2 단이 접지 전압에 연결된다.

상기 제 1 제어 회로는 제 1 내지 제 3 제어 트랜지스터를 구비한다.

제 1 제어 트랜지스터는 상기 전원 전압에 제 1 단이 연결되고 게이트에 상기 제 1 제어 전압이 인가되며 제 2 단이 제 1 노드에 연결된다. 제 2 제어 트랜지스터는 상기 제 1 노드에 제 1 단이 연결되고 게이트가 상기 제 2 출력 노드에 연결되며 제 2 단이 상기 접지 전압에 연결된다.

제 3 제어 트랜지스터는 상기 제 1 출력 노드와 상기 제 2 출력 노드에 제 1 단 및 제 2 단이 각각 연결되며 게이트가 상기 제 1 노드에 연결된다. 상기 제 1 제어 트랜지스터로부터 상기 제 2 제어 트랜지스터로 상기 제 1 바이어스 전류가 흐른다.

상기 제 3 제어 트랜지스터를 통하여 상기 제 1 제어 전류가 흐른다. 상기 제 3 제어 트랜지스터는 엔모스 트랜지스터이다.

상기 제 2 제어 회로는 제 4 내지 제 6 제어 트랜지스터를 구비한다.

제 4 제어 트랜지스터는 상기 전원 전압에 제 1 단이 연결되고 게이트가 상기 제 1 출력 노드에 연결되며 제 2 단이 제 2 노드에 연결된다. 제 5 제어 트랜지스터는 상기 제 2 노드에 제 1 단이 연결되고 게이트에 상기 제 2 제어 전압이 인가되며 제 2 단이 상기 접지 전압에 연결된다.

제 6 제어 트랜지스터는 상기 제 1 출력 노드와 상기 제 2 출력 노드에 제 1 단 및 제 2 단이 각각 연결되며 게이트가 상기 제 2 노드에 연결된다. 상기 제 4 제어 트랜지스터로부터 상기 제 5 제어 트랜지스터로 상기 제 2 바이어스 전류가 흐른다.

상기 제 6 제어 트랜지스터를 통하여 상기 제 2 제어 전류가 흐른다. 상기 제 6 제어 트랜지스터는 피모스 트랜지스터이다. 상기 제 1 바이어스 전류의 전류량이 상기 제 2 바이어스 전류의 전류량보다 적다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 증폭 회로는 폴디드 캐스코드 OTA, 출력 회로, 제 1 제어 회로 및 제 2 제어 회로를 구비한다.

폴디드 캐스코드 OTA는 입력 신호들의 전압 차이를 전류로 변환하여 제 1 및 제 2 출력 노드의 전압 레벨을 제어한다. 출력 회로는 상기 제 1 및 제 2 출력 노드의 전압 레벨 변화에 응답하여 출력 전류를 외부로 출력한다.

제 1 제어 회로는 상기 제 1 출력 노드와 상기 제 2 출력 노드 사이에 제 1 전류 경로를 형성하고, 제 1 제어 전압에 응답하여 상기 제 1 전류 경로로 흐르는 전류량을 제어한다.

제 2 제어 회로는 상기 제 1 출력 노드와 상기 제 2 출력 노드 사이에 제 2 전류 경로를 형성하고, 제 2 제어 전압에 응답하여 상기 제 2 전류 경로로 흐르는 전류량을 제어한다.

상기 제 1 및 제 2 제어 회로는 제 1 동작 모드에서는 상기 제 1 제어 전압에 응답하여 발생하는 제 1 바이어스 전류를 이용하여 상기 출력 회로에 흐르는 정지 전류(quiescent current)의 전류량을 제어하고, 제 2 동작 모드에서는 상기 제 1 및 제 2 전류 경로의 전류량에 의하여 상기 출력 전류의 전류량을 제어한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 본 발명의 실시예에 따른 증폭 회로의 스태틱(static) 상태를 설명하는 회로도이다.

도 1을 참조하면, 본 발명의 실시예에 따른 증폭 회로(100)는 입력 회로(110), 출력 회로(120), 제 1 제어 회로(130) 및 제 2 제어 회로(140)를 구비한다.

입력 회로(110)는 입력 신호들(INP, INN)의 전압 차이를 전류로 변환하여 제 1 및 제 2 출력 노드(NOUT1, NOUT2)의 전압 레벨을 제어한다. 출력 회로(120)는 제 1 및 제 2 출력 노드(NOUT1, NOUT2)의 전압 레벨 변화에 응답하여 출력 전류(IOUT)를 외부로 출력한다.

제 1 제어 회로(130)는 제 1 제어 전압(VCTRL1)에 응답하여 제 1 바이어스 전류(IF1)를 발생하고, 제 1 바이어스 전류(IF1)에 응답하여 내부의 제 1 전류 경로로 흐르는 제 1 제어 전류(IA)의 전류량을 제어한다.

여기서, 제 1 전류 경로는 후술하는 제 3 제어 트랜지스터(CTR3)에 의하여 제 1 출력 노드(NOUT1)와 제 2 출력 노드(NOUT2)가 연결되는 경로이다.

제 2 제어 회로(140)는 제 2 제어 전압(VCTRL2)에 응답하여 제 1 바이어스 전류(IF1)의 전류량보다 적은 전류량을 가지는 제 2 바이어스 전류(IF2)를 발생하고, 제 2 바이어스 전류(IF2)에 응답하여 내부의 제 2 전류 경로로 흐르는 제 2 제어 전류(IB)의 전류량을 제어한다.

여기서, 제 2 전류 경로는 후술하는 제 6 제어 트랜지스터(CTR6)에 의하여 제 1 출력 노드(NOUT1)와 제 2 출력 노드(NOUT2)가 연결되는 경로이다.

제 1 제어 회로(130) 및 제 2 제어 회로(140)는 제 1 동작 모드에서 제 1 바이어스 전류(IF1)에 응답하여 출력 회로(120)에 흐르는 정지 전류(quiescent current)(IQ)의 전류량을 제어하고, 제 2 동작 모드에서 제 1 및 제 2 제어 전류(IA, IB)의 전류량을 변화시켜 출력 전류(IOUT)의 전류량을 제어한다.

제 1 동작 모드는 입력 신호들(INP, INN)의 전압 레벨이 동일하여 출력 회로(120)에 정지 전류(IQ)가 흐르는 동작 모드이다. 제 2 동작 모드는 입력 신호들(INP, INN)의 전압 레벨이 서로 달라서 출력 회로(120)로부터 출력 전류(IOUT)가 출력되거나 유입되는 동작 모드이다.

본 발명의 실시예에 따른 증폭 회로(100)는 입력 회로(110)로서 폴디드 캐스코드 OTA(Operational Transconductance Amplifier)를 이용한다. 폴디드 캐스코드 OTA는 전압 차이를 전류로 변환시키는 회로이다.

입력 회로(110)는 4개의 바이어스 전압(BV1 ~ BV4)에 응답하여 동작한다. 4개의 바이어스 전압(BV1 ~ BV4)이 인가되면 트랜지스터들(ITR1, ITR9, ITR10, ITR11, ITR12, ITR6, ITR13, ITR14)가 턴 온 되어 입력 회로(110)가 동작한다.

만일 입력 신호(INP)의 전압 레벨이 입력 신호(INN)의 전압 레벨보다 높으면 트랜지스터(ITR3)가 트랜지스터(ITR4)보다 접지 전압(VSS) 방향으로 더 큰 전류를 보내므로 제 4 출력 노드(NOUT4)의 전압 레벨이 트랜지스터(ITR9)의 소스 전압 레벨보다 낮아진다. 제 4 출력 노드(NOUT4)의 전압 레벨의 변화는 제 1 출력 노드(NOUT1)와 제 2 출력 노드(NOUT2)의 전압 레벨을 변화시킨다.

반대로 만일 입력 신호(INP)의 전압 레벨이 입력 신호(INN)의 전압 레벨보다 낮으면 트랜지스터(ITR3)가 트랜지스터(ITR4)보다 접지 전압(VSS) 방향으로 더 작은 전류를 보내므로 제 4 출력 노드(NOUT4)의 전압 레벨이 트랜지스터(ITR9)의 소스 전압 레벨보다 높아진다. 제 4 출력 노드(NOUT4)의 전압 레벨의 변화는 제 1 출력 노드(NOUT1)와 제 2 출력 노드(NOUT2)의 전압 레벨을 변화시킨다.

출력 회로(120)는 풀 업 트랜지스터(PUTR) 및 풀 다운 트랜지스터(PDTR)를 구비한다. 풀 업 트랜지스터(PUTR)는 전원 전압(VDD)에 제 1단이 연결되고 게이트가 제 1 출력 노드(NOUT1)에 연결되며 제 2 단이 제 3 출력 노드(NOUT3)에 연결된다.

풀 다운 트랜지스터(PDTR)는 제 3 출력 노드(NOUT3)에 제 1단이 연결되고 게이트가 제 2 출력 노드(NOUT2)에 연결되며 제 2 단이 접지 전압(VSS)에 연결된다.

풀 업 트랜지스터(PUTR)와 풀 다운 트랜지스터(PDTR)는 각각 제 1 출력 노드(NOUT1)와 제 2 출력 노드(NOUT2)의 전압 레벨에 의해서 턴 온 되는 정도가 제어되어 출력 전류(IOUT) 또는 정지 전류(IQ)의 전류량을 제어한다.

정지 전류(IQ)는 입력 신호들(INP, INN)의 전압 레벨이 동일하여 증폭 회로(100)가 스태틱(static) 상태에 있을 경우 출력 회로(120)의 전원 전압(VDD)에서 접지 전압(VSS)으로 흐르는 전류이다.

출력 전류(IOUT)는 입력 신호들(INP, INN)의 전압 레벨이 서로 달라서 증폭 회로(100)가 동작 상태에 있을 경우 출력 회로(120)의 전원 전압(VDD)에서 제 3 출력 노드(NOUT3)를 통하여 출력되거나 제 3 출력 노드(NOUT)로부터 접지 전압(VSS)으로 흐르는 전류이다. 정지 전류(IQ)와 출력 전류(IOUT)의 전류량은 제 1 및 제 2 제어 회로(130, 140)에 의해서 제어된다.

제 1 제어 회로(130)는 제 1 내지 제 3 제어 트랜지스터(CTR1 ~ CTR3)를 구비한다.

제 1 제어 트랜지스터(CTR1)는 전원 전압(VDD)에 제 1 단이 연결되고 게이트에 제 1 제어 전압(VCTRL1)이 인가되며 제 2 단이 제 1 노드(N1)에 연결된다. 제 2 제어 트랜지스터(CTR2)는 제 1 노드(N1)에 제 1 단이 연결되고 게이트가 제 2 출력 노드(NOUT2)에 연결되며 제 2 단이 접지 전압(VSS)에 연결된다.

제 3 제어 트랜지스터(CTR3)는 제 1 출력 노드(NOUT1)와 제 2 출력 노드(NOUT2)에 제 1 단 및 제 2 단이 각각 연결되며 게이트가 제 1 노드(N1)에 연결된다. 제 1 제어 트랜지스터(CTR1)로부터 제 2 제어 트랜지스터(CTR2)로 제 1 바이어스 전류(IF1)가 흐른다.

제 3 제어 트랜지스터(CTR3)를 통하여 제 1 제어 전류(IA)가 흐른다. 제 3 제어 트랜지스터(CTR3)는 엔모스 트랜지스터이다.

제 2 제어 회로(140)는 제 4 내지 제 6 제어 트랜지스터(CTR4 ~ CTR6)를 구비한다.

제 4 제어 트랜지스터(CTR4)는 전원 전압(VDD)에 제 1 단이 연결되고 게이트가 제 1 출력 노드(NOUT1)에 연결되며 제 2 단이 제 2 노드(N2)에 연결된다. 제 5 제어 트랜지스터(CTR5)는 제 2 노드(N2)에 제 1 단이 연결되고 게이트에 제 2 제어 전압(VCTRL2)이 인가되며 제 2 단이 접지 전압(VSS)에 연결된다.

제 6 제어 트랜지스터(CTR6)는 제 1 출력 노드(NOUT1)와 제 2 출력 노드(NOUT2)에 제 1 단 및 제 2 단이 각각 연결되며 게이트가 제 2 노드(N2)에 연결된다. 제 4 제어 트랜지스터(CTR4)로부터 제 5 제어 트랜지스터(CTR5)로 상기 제 2 바이어스 전류(IF2)가 흐른다.

제 6 제어 트랜지스터(CTR6)를 통하여 제 2 제어 전류(IB)가 흐른다. 제 6 제어 트랜지스터(CTR6)는 피모스 트랜지스터이다. 제 1 바이어스 전류(IF1)의 전류량이 제 2 바이어스 전류(IF2)의 전류량보다 적다.

먼저, 증폭 회로(100)가 스태틱(static) 상태인 경우의 동작을 설명한다. 스태틱 상태는 입력 신호들(INP, INN)의 전압 레벨이 동일한 경우이다. 따라서 출력 회로(120)에 정지 전류(IQ)가 흐른다. 제 1 및 제 2 제어 회로(130, 140)는 정지 전류(IQ)의 전류량을 제어한다.

제 1 제어 전압(VCTRL1)에 의해서 제 1 제어 회로(130)의 제 1 제어 트랜지스터(CTR1)가 턴 온 되고 제 1 바이어스 전류(IF1)가 흐른다. 제 1 및 제 2 제어 트랜지스터(CTR1, CTR2)와 출력 회로(120)의 풀 업 트랜지스터(PUTR) 및 풀 다운 트랜지스터(PDTR)는 전류 미러(current mirror)를 형성한다.

따라서, 풀 다운 트랜지스터(PDTR)의 사이즈가 제 2 제어 트랜지스터(CTR2)의 n 배라면 출력 회로(120)에 흐르는 정지 전류(IQ)는 제 1 바이어스 전류(IF1)의 n 배가된다.

바이어스 전압(BV4)에 의해서 트랜지스터들(ITR13, ITR14)이 턴 온 되면 입력 회로(110)의 트랜지스터(ITR8)를 통하여 전류(ISUM)가 흐른다. 전류(ISUM)는 제 1 출력 노드(NOUT1)에서 제 1 전류 경로로 흐르는 제 1 제어 전류(IA)와 제 2 전류 경로로 흐르는 제 2 제어 전류(IB)로 나뉜다.

제 2 제어 전압(VCTRL2)에 의해서 제 2 제어 회로(140)의 제 5 제어 트랜지스터(CTR5)가 턴 온 되고 제 2 바이어스 전류(IF2)가 흐른다. 이 때, 제 2 제어 전압(VCTRL2)의 전압 레벨은 제 2 바이어스 전류(IF2)의 전류량이 제 1 바이어스 전류(IF1)의 전류량보다 적도록 만드는 전압 레벨이다.

만일 제 2 바이어스 전류(IF2)의 전류량이 제 1 바이어스 전류(IF1)의 전류량보다 매우 적다면 제 2 제어 회로(140)의 제 4 제어 트랜지스터(CTR4)와 제 5 제어 트랜지스터(CTR5)를 통하여 제 2 바이어스 전류(IF2)가 거의 흐르지 아니함을 의미한다.

그러면, 제 2 노드(N2)의 전압 레벨은 거의 전원 전압(VDD) 레벨과 같아진다. 제 2 노드(N2)의 전압 레벨이 거의 전원 전압(VDD) 레벨이면 제 6 제어 트랜지스터(CTR6)는 거의 턴 오프 상태가 되고 제 2 전류 경로를 흐르는 제 2 제어 전류(IB)의 전류량도 "0"이 된다. 따라서,

제 1 전류 경로를 흐르는 제 1 제어 전류(IA)의 전류량은 입력 회로(110)의 트랜지스터(ITR8)를 통하여 전류(ISUM)의 전류량과 거의 유사해진다.

이와 같이, 본 발명의 실시예에 따른 증폭 회로(100)가 스태틱(static) 상태에 있는 경우, 정지 전류(IQ)는 제 1 바이어스 전류(IF1)에 비례하게 흐른다. 제 1 바이어스 전류(IF)의 전류량은 제 1 제어 전압(VCTRL1)에 의해서 제어되므로 정지 전류(IQ)는 제 1 제어 전압(VCTRL1)에 의해서 제어되는 것이다.

도 2는 도 1의 증폭 회로의 동작(operating) 상태를 설명하는 회로도이다.

입력 신호(INP)의 전압 레벨이 입력 신호(INN)의 전압 레벨보다 높으면 트랜지스터(ITR3)는 트랜지스터(ITR4)보다 전류를 더 많이 접지 전압(VSS)으로 흘러 보낸다. 전류(ID)에 의해서 제 4 출력 노드(NOUT4)의 전압 레벨이 약간 낮아진다.

제 6 제어 트랜지스터(CTR6)가 거의 턴 오프 상태이므로 제 1 출력 노드(NOUT1)의 저항이 매우 큰 상태가 된다. 따라서 제 4 출력 노드(NOUT4)의 전압 레벨이 약간 낮아지더라도 제 1 출력 노드(NOUT1)의 전압 레벨은 매우 크게 낮아진다.

그러면, 풀 업 트랜지스터(PUTR)가 턴 온 되고 전원 전압(VDD)으로부터 제 3 출력 노드(NOUT3)를 통하여 출력 전류(IOUT)가 출력된다.(소싱 전류(sourcing current) 발생) 만일 제 3 출력 노드(NOUT3) 외부에 커패시터(미도시)가 연결된다면 커패시터는 충전될 것이다.

도 3은 도 1의 증폭 회로의 다른 동작(operating) 상태를 설명하는 회로도이다.

입력 신호(INP)의 전압 레벨이 입력 신호(INN)의 전압 레벨보다 낮으면 트랜지스터(ITR3)는 트랜지스터(ITR4)보다 전류를 더 적게 접지 전압(VSS)으로 흘려 보낸다. 이것은 전류(ID)가 제 4 출력 노드(NOUT4) 방향으로 흐르는 것과 동일한 의미이며 제 4 출력 노드(NOUT4)의 전압 레벨이 약간 높아진다.

제 6 제어 트랜지스터(CTR6)가 거의 턴 오프 상태이므로 제 1 출력 노드(NOUT1)의 저항이 매우 큰 상태가 된다. 따라서 제 4 출력 노드(NOUT4)의 전압 레벨이 약간 높아지더라도 제 1 출력 노드(NOUT1)의 전압 레벨은 매우 크게 높아진다.

제 1 출력 노드(NOUT1)의 전압 레벨이 크게 높아지면 제 4 제어 트랜지스터(CTR4)가 턴 오프 상태에 있게되고 제 2 노드(N2)는 제 4 제어 트랜지스터(CTR4)의 큰 드레인 저항에 의해서 1 출력 노드(NOUT1)의 전압 레벨이 크게 높아지는 것에 반비례하여 크게 낮아진다.

제 2 노드(N2)의 전압 레벨이 낮아지면 제 6 제어 트랜지스터(CTR6)가 턴 온 되어 제 2 전류 경로로 제 2 제어 전류(IB)가 흐르기 시작한다. 그러면 제 6 제어 트랜지스터(CTR6)에 연결된 제 2 출력 노드(NOUT2)의 전압 레벨이 약간 상승한다.

제 2 출력 노드(NOUT2)의 전압 레벨이 약간 상승하면 제 2 출력 노드(NOUT2)에 연결된 제 2 제어 트랜지스터(CTR2)의 큰 드레인 저항에 의해서 제 1 노드(N1)의 전압 레벨이 크게 낮아진다.

제 1 노드(N1)의 전압 레벨이 크게 낮아지면 제 3 제어 트랜지스터(CTR3)는 완전히 턴 오프 되고 제 1 전류 경로로 흐르던 제 1 제어 전류(IA)는 제 2 전류 경로로 흐르는 제 2 제어 전류(IB)에 더해지며 제 1 전류 경로로 흐르던 제 1 제어 전류(IA)의 전류량은 거의 "0"이 된다.

제 3 제어 트랜지스터(CTR3)가 완전히 턴 오프 되고 제 2 제어 전류(IB)의 전류량도 "0"이 되면 제 2 출력 노드(NOUT2)의 저항이 증가되고 제 2 출력 노드(NOUT2)의 전압 레벨이 크게 상승한다.

그러면 풀 다운 트랜지스터(PDTR)가 턴 온 되고 출력 전류(IOUT)는 접지 전압(VSS)으로 흐르게 된다.(싱킹 전류(sinking current) 발생) 만일 제 3 출력 노드(NOUT3)의 외부에 커패시터(미도시)가 연결된다면 커패시터에 충전된 전하가 방전될 것이다.

본 발명의 실시예에 따른 증폭 회로(100)는 제 4 출력 노드(NOUT4)와 제 5 출력 노드(NOUT5) 사이에 커패시터들(C1, C2)을 더 구비할 수 있다. 커패시터들(C1, C2)은 증폭 회로(100)의 교류 특성을 제어하기 위한 것이다.

지금까지 제 2 바이어스 전류(IF2)의 전류량이 제 1 바이어스 전류(IF1)의 전류량보다 적게 제어한 후의 증폭 회로(100)의 동작을 설명하였으나 전류량의 크기를 반대로 제어할 수도 있다.

즉, 제 2 바이어스 전류(IF2)의 전류량이 제 1 바이어스 전류(IF1)의 전류량보다 많이 흐르도록 제 1 제어 전압(VCTRL1) 및 제 2 제어 전압(VCTRL2)의 크기를 조절하면 앞서 설명된 증폭 회로(100)의 동작과 반대로 동작될 것이다. 이 경우도 앞서 설명된 경우와 동작 원리는 동일하다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 발명의 효과

상술한 바와 같이 본 발명에 따른 증폭 회로는 정지 전류와 출력 전류의 제어가 용이하고 회로 변수가 적으므로 외부 공정 변화에 대하여 안정적인 장점이 있다.

### (57) 청구의 범위

#### 청구항 1.

입력 신호들의 전압 차이를 전류로 변환하여 제 1 및 제 2 출력 노드의 전압 레벨을 제어하는 입력 회로 ;

상기 제 1 및 제 2 출력 노드의 전압 레벨 변화에 응답하여 출력 전류를 외부로 출력하는 출력 회로 ;

제 1 제어 전압에 응답하여 제 1 바이어스 전류를 발생하고, 상기 제 1 바이어스 전류에 응답하여 내부의 제 1 전류 경로로 흐르는 제 1 제어 전류의 전류량을 제어하는 제 1 제어 회로 ; 및

제 2 제어 전압에 응답하여 상기 제 1 바이어스 전류의 전류량보다 적은 전류량을 가지는 제 2 바이어스 전류를 발생하고, 상기 제 2 바이어스 전류에 응답하여 내부의 제 2 전류 경로로 흐르는 제 2 제어 전류의 전류량을 제어하는 제 2 제어 회로를 구비하고,

상기 제 1 제어 회로 및 제 2 제어 회로는,

제 1 동작 모드에서 상기 제 1 바이어스 전류에 응답하여 상기 출력 회로에 흐르는 정지 전류(quiescent current)의 전류량을 제어하고, 제 2 동작 모드에서 상기 제 1 및 제 2 제어 전류의 전류량을 변화시켜 상기 출력 전류의 전류량을 제어하는 것을 특징으로 하는 (class AB) 증폭 회로.

## 청구항 2.

제 1항에 있어서, 상기 입력 회로는,

폴디드 캐스코드 OTA(Operational Transconductance Amplifier)인 것을 특징으로 하는 증폭 회로.

## 청구항 3.

제 1항에 있어서, 상기 제 1 제어 회로는,

상기 출력 회로와 전류 미러(current mirror)를 형성하며 상기 정지 전류의 전류량을 상기 제 1 바이어스 전류에 비례하도록 제어하는 것을 특징으로 하는 증폭 회로.

## 청구항 4.

제 1항에 있어서, 상기 제 1 동작 모드는,

상기 입력 신호들의 전압 레벨이 동일하여 상기 출력 회로에 정지 전류가 흐르는 동작 모드인 것을 특징으로 하는 증폭 회로.

## 청구항 5.

제 1항에 있어서, 상기 제 2 동작 모드는,

상기 입력 신호들의 전압 레벨이 서로 달라서 상기 출력 회로로부터 상기 출력 전류가 출력되거나 유입되는 동작 모드인 것을 특징으로 하는 증폭 회로.

## 청구항 6.



제 1항에 있어서, 상기 제 1 및 제 2 제어 전압은,

외부에서 인가되는 직류 전압이며,

상기 제 1 바이어스 전류의 전류량은 상기 제 1 제어 전압에 의해서 결정되고, 상기 제 2 바이어스 전류의 전류량은 상기 제 2 제어 전압에 의해서 결정되는 것을 특징으로 하는 증폭 회로.

### 청구항 7.

제 1항에 있어서, 상기 출력 회로는,

전원 전압에 제 1단이 연결되고 게이트가 상기 제 1 출력 노드에 연결되며 제 2 단이 제 3 출력 노드에 연결되는 풀 업 트랜지스터 ; 및

상기 제 3 출력 노드에 제 1단이 연결되고 게이트가 상기 제 2 출력 노드에 연결되며 제 2 단이 접지 전압에 연결되는 풀 다운 트랜지스터를 구비하는 것을 특징으로 하는 증폭 회로.

### 청구항 8.

제 7항에 있어서, 상기 제 1 제어 회로는,

상기 전원 전압에 제 1 단이 연결되고 게이트에 상기 제 1 제어 전압이 인가되며 제 2 단이 제 1 노드에 연결되는 제 1 제어 트랜지스터 ;

상기 제 1 노드에 제 1 단이 연결되고 게이트가 상기 제 2 출력 노드에 연결되며 제 2 단이 상기 접지 전압에 연결되는 제 2 제어 트랜지스터 ; 및

상기 제 1 출력 노드와 상기 제 2 출력 노드에 제 1 단 및 제 2 단이 각각 연결되며 게이트가 상기 제 1 노드에 연결되는 제 3 제어 트랜지스터를 구비하고,

상기 제 1 제어 트랜지스터로부터 상기 제 2 제어 트랜지스터로 상기 제 1 바이어스 전류가 흐르며, 상기 제 3 제어 트랜지스터를 통하여 상기 제 1 제어 전류가 흐르는 것을 특징으로 하는 증폭 회로.

### 청구항 9.

제 7항에 있어서,

상기 제 3 제어 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 하는 증폭 회로.

### 청구항 10.

제 7항에 있어서, 상기 제 2 제어 회로는,

상기 전원 전압에 제 1 단이 연결되고 게이트가 상기 제 1 출력 노드에 연결되며 제 2 단이 제 2 노드에 연결되는 제 4 제어 트랜지스터 ;

상기 제 2 노드에 제 1 단이 연결되고 게이트에 상기 제 2 제어 전압이 인가되며 제 2 단이 상기 접지 전압에 연결되는 제 5 제어 트랜지스터 ; 및

상기 제 1 출력 노드와 상기 제 2 출력 노드에 제 1 단 및 제 2 단이 각각 연결되며 게이트가 상기 제 2 노드에 연결되는 제 6 제어 트랜지스터를 구비하고,

상기 제 4 제어 트랜지스터로부터 상기 제 5 제어 트랜지스터로 상기 제 2 바이어스 전류가 흐르며, 상기 제 6 제어 트랜지스터를 통하여 상기 제 2 제어 전류가 흐르는 것을 특징으로 하는 증폭 회로.

### 청구항 11.

제 10항에 있어서,

상기 제 6 제어 트랜지스터는 피모스 트랜지스터인 것을 특징으로 하는 증폭 회로.

### 청구항 12.

제 1항에 있어서,

상기 제 1 바이어스 전류의 전류량이 상기 제 2 바이어스 전류의 전류량보다 적은 것을 특징으로 하는 증폭 회로.

### 청구항 13.

입력 신호들의 전압 차이를 전류로 변환하여 제 1 및 제 2 출력 노드의 전압 레벨을 제어하는 폴디드 캐스코드 OTA(Operational Transconductance Amplifier) ;

상기 제 1 및 제 2 출력 노드의 전압 레벨 변화에 응답하여 출력 전류를 외부로 출력하는 출력 회로 ;

상기 제 1 출력 노드와 상기 제 2 출력 노드 사이에 제 1 전류 경로를 형성하고, 제 1 제어 전압에 응답하여 상기 제 1 전류 경로로 흐르는 전류량을 제어하는 제 1 제어 회로 ; 및

상기 제 1 출력 노드와 상기 제 2 출력 노드 사이에 제 2 전류 경로를 형성하고, 제 2 제어 전압에 응답하여 상기 제 2 전류 경로로 흐르는 전류량을 제어하는 제 2 제어 회로를 구비하고,

상기 제 1 및 제 2 제어 회로는,

제 1 동작 모드에서는 상기 제 1 제어 전압에 응답하여 발생하는 제 1 바이어스 전류를 이용하여 상기 출력 회로에 흐르는 정지 전류(quiescent current)의 전류량을 제어하고, 제 2 동작 모드에서는 상기 제 1 및 제 2 전류 경로의 전류량에 의하여 상기 출력 전류의 전류량을 제어하는 것을 특징으로 하는 (class AB) 증폭 회로.

### 청구항 14.

제 13항에 있어서, 상기 제 1 제어 회로는,

상기 출력 회로와 전류 미러(current mirror)를 형성하고 상기 정지 전류의 전류량을 상기 제 1 바이어스 전류에 비례하도록 제어하는 것을 특징으로 하는 증폭 회로.

### 청구항 15.

제 13항에 있어서, 상기 제 1 동작 모드는,

상기 입력 신호들의 전압 레벨이 동일하여 상기 출력 회로에 정지 전류가 흐르는 동작 모드인 것을 특징으로 하는 증폭 회로.

### 청구항 16.

제 13항에 있어서, 상기 제 2 동작 모드는,

상기 입력 신호들의 전압 레벨이 서로 달라서 상기 출력 회로로부터 상기 출력 전류가 출력되거나 유입되는 동작 모드인 것을 특징으로 하는 증폭 회로.

### 청구항 17.

제 13항에 있어서, 상기 제 1 및 제 2 제어 전압은,

외부에서 인가되는 직류 전압이고,

상기 제 1 바이어스 전류의 전류량은 상기 제 1 제어 전압에 의해서 결정되는 것을 특징으로 하는 증폭 회로.

### 청구항 18.

제 13항에 있어서, 상기 출력 회로는,

전원 전압에 제 1단이 연결되고 게이트가 상기 제 1 출력 노드에 연결되며 제 2 단이 제 3 출력 노드에 연결되는 풀 업 트랜지스터; 및

상기 제 3 출력 노드에 제 1단이 연결되고 게이트가 상기 제 2 출력 노드에 연결되며 제 2 단이 접지 전압에 연결되는 풀 다운 트랜지스터를 구비하는 것을 특징으로 하는 증폭 회로.

### 청구항 19.

제 18항에 있어서, 상기 제어 회로는,

상기 전원 전압에 제 1 단이 연결되고 게이트에 상기 제 1 제어 전압이 인가되며 제 2 단이 제 1 노드에 연결되는 제 1 제어 트랜지스터;

상기 제 1 노드에 제 1 단이 연결되고 게이트가 상기 제 2 출력 노드에 연결되며 제 2 단이 상기 접지 전압에 연결되는 제 2 제어 트랜지스터; 및

상기 제 1 출력 노드와 상기 제 2 출력 노드 사이에 제 1 단 및 제 2 단이 각각 연결되며 상기 제 1 노드의 전압 레벨에 응답하여 상기 제 1 전류 경로로 흐르는 전류량을 제어하는 제 3 제어 트랜지스터를 구비하는 상기 제 1 전류 경로를 구비하고,

상기 제 1 제어 트랜지스터로부터 상기 제 2 제어 트랜지스터로 상기 제 1 바이어스 전류가 흐르는 것을 특징으로 하는 증폭 회로.

### 청구항 20.

제 19항에 있어서,

상기 제 3 제어 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 하는 증폭 회로.

### 청구항 21.

제 18항에 있어서, 상기 제 2 제어 회로는,

상기 전원 전압에 제 1 단이 연결되고 게이트가 상기 제 1 출력 노드에 연결되며 제 2 단이 제 2 노드에 연결되는 제 4 제어 트랜지스터 ;

상기 제 2 노드에 제 1 단이 연결되고 게이트에 상기 제 2 제어 전압이 인가되며 제 2 단이 상기 접지 전압에 연결되는 제 5 제어 트랜지스터 ; 및

상기 제 1 출력 노드와 상기 제 2 출력 노드 사이에 제 1 단 및 제 2 단이 각각 연결되며 상기 제 2 노드의 전압 레벨에 응답하여 상기 제 2 전류 경로로 흐르는 전류량을 제어하는 제 6 제어 트랜지스터를 구비하는 상기 제 2 전류 경로를 구비하고,

상기 제 4 제어 트랜지스터로부터 상기 제 5 제어 트랜지스터로 상기 제 1 바이어스 전류의 전류 량보다 적은 전류 량을 가지는 제 2 바이어스 전류가 흐르는 것을 특징으로 하는 증폭 회로.

### 청구항 22.

제 21항에 있어서,

상기 제 6 제어 트랜지스터는 피모스 트랜지스터인 것을 특징으로 하는 증폭 회로.

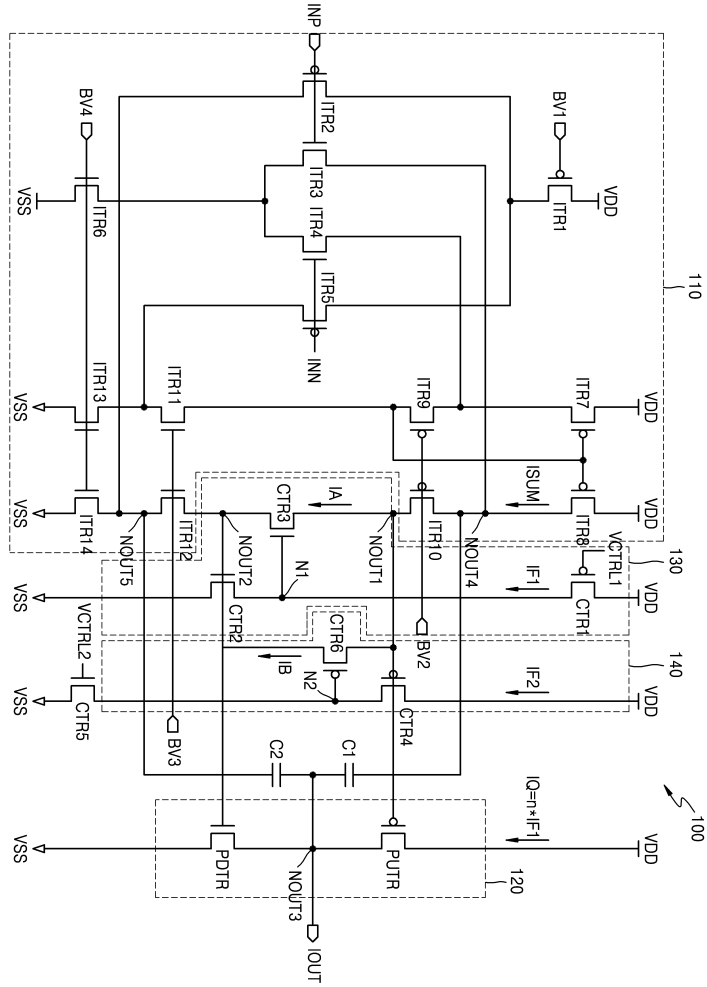
### 청구항 23.

제 21항에 있어서,

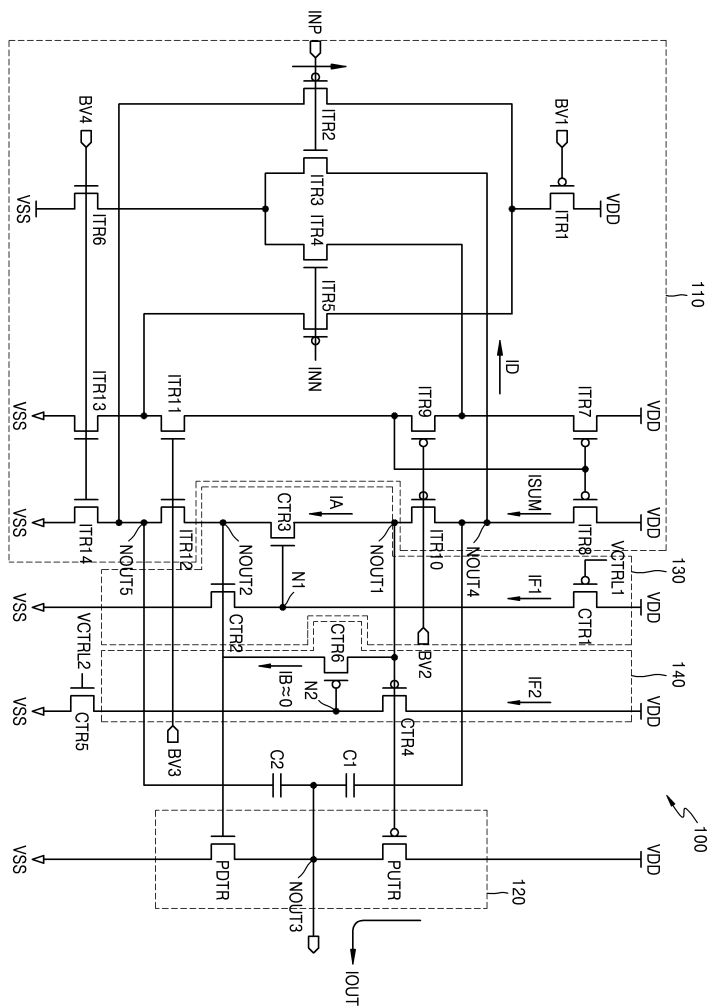
상기 제 1 바이어스 전류의 전류 량이 상기 제 2 바이어스 전류의 전류 량보다 적은 것을 특징으로 하는 증폭 회로.

도면

도면1



도면2



도면3

