

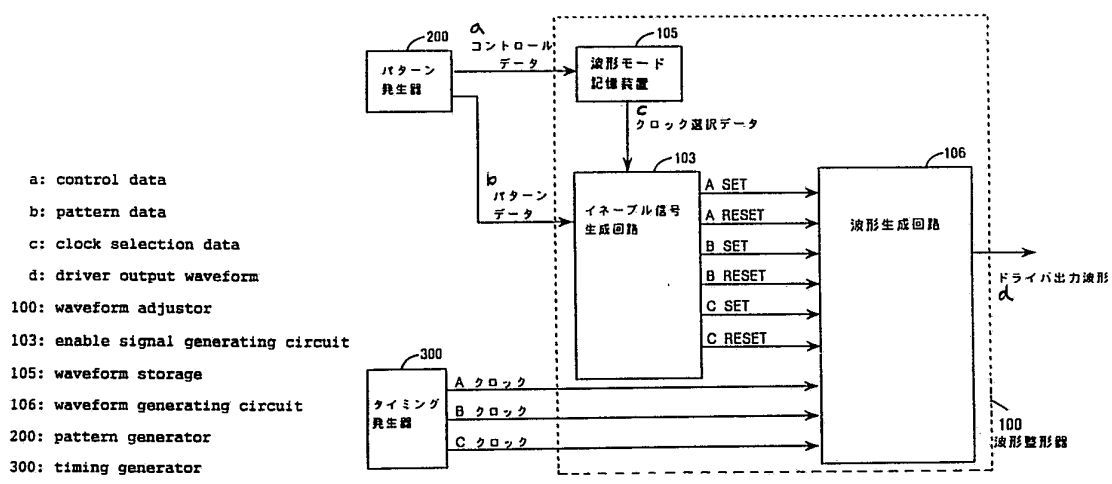


特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 5 G01R 31/318</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 93/14412</p> <p>(43) 国際公開日 1993年7月22日 (22.07.1993)</p>
<p>(21) 国際出願番号 PCT/JP93/00062 (22) 国際出願日 1993年1月20日(20. 01. 93)</p> <p>(30) 優先権データ 特願平4/8101 1992年1月21日(21. 01. 92) JP</p> <p>(71) 出願人(米国を除くすべての指定国について) 株式会社 アドバンテスタ(ADVANTEST CORPORATION)[JP/JP] 〒176 東京都練馬区旭町一丁目32番1号 Tokyo, (JP)</p> <p>(72) 発明者;および (75) 発明者/出願人(米国についてのみ) 宝迫孝弘(HOUSAKO, Takahiro)[JP/JP] 〒361 埼玉県行田市長野1-8-24 Saitama, (JP)</p> <p>(74) 代理人 弁理士 草野 卓, 外(KUSANO, Takashi et al.) 〒160 東京都新宿区新宿四丁目2番21号 相模ビル Tokyo, (JP)</p> <p>(81) 指定国 KR, US.</p> <p>添付公開書類 国際調査報告書</p>		

(54) Title: WAVEFORM SHAPING CIRCUIT FOR SEMICONDUCTOR TESTING DEVICE

(54) 発明の名称 半導体試験装置の波形整形器



- a: control data
- b: pattern data
- c: clock selection data
- d: driver output waveform
- 100: waveform adjustor
- 103: enable signal generating circuit
- 105: waveform storage
- 106: waveform generating circuit
- 200: pattern generator
- 300: timing generator
- A: clock
- B: clock
- C: clock

(57) Abstract

Clock signals for determining the edge timing of a driver output waveform are generated by a timing generator (300). Pattern data and control data for selecting a waveform mode in real time in synchronism with the pattern data are generated by a pattern generator (200). An enable data generating circuit (103) generates an enable data to determine whether the A, B, and C clock signals ACK, BCK, and CCK for determining the edge timing of the driver output waveform is used or not on the basis of selected one of the waveform modes stored in a storage (105), and of the pattern data. A waveform generating circuit (106) generates a driver output waveform in accordance with the enable data and the A, B, and C clock signals.

(57) 要約

ドライバ出力波形のエッジタイミングを決める複数のクロック信号をタイミング発生器(300)により発生し、パターンデータとパターンデータに同期して波形モードをリアルタイムに選択するコントロールデータとをパターン発生器(200)により発生する。イネーブルデータ生成回路(103)は複数の波形モードを格納する記憶装置(105)から選択した波形モードと、パターンデータとによりドライバ出力波形のエッジタイミングを決めるA, B, Cクロック信号ACK, BCK, CCKを使用するか否かを決めるイネーブルデータを生成する。波形生成回路(106)はイネーブルデータとドライバ出力波形のエッジタイミングを決めるA, B, Cクロック信号とによりドライバ出力波形を生成する。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MW	マラウイ
AU	オーストラリア	GA	ガボン	NL	オランダ
BB	バルバドス	GB	イギリス	NO	ノルウェー
BE	ベルギー	GN	ギニア	NZ	ニュージーランド
BF	ブルキナファソ	GR	ギリシャ	PL	ポーランド
BG	ブルガリア	HU	ハンガリー	PT	ポルトガル
BJ	ベナン	IE	アイルランド	RO	ルーマニア
BR	ブラジル	IT	イタリア	RU	ロシア連邦
CA	カナダ	JP	日本	SD	スーダン
CF	中央アフリカ共和国	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CG	コンゴ	KR	大韓民国	SK	スロヴァキア共和国
CH	スイス	KZ	カザフスタン	SN	セネガル
CI	コートジボワール	LI	リヒテンシュタイン	SU	ソヴィエト連邦
CM	カメルーン	LK	スリランカ	TD	チャード
CS	チェコスロヴァキア	LU	ルクセンブルク	TG	トーゴ
CZ	チェコ共和国	MC	モナコ	UA	ウクライナ
DE	ドイツ	MG	マダガスカル	US	米国
DK	デンマーク	ML	マリ	VN	ヴェトナム
FI	フィンランド	MN	モンゴル		
ES	スペイン	MR	モーリタニア		

## 明細書

## 半導体試験装置の波形整形器

## 技術分野

この発明は、半導体試験装置の波形整形器に関し、特に半導体試験装置において試験されるべき半導体に印加するドライバ波形を決める波形モードをリアルタイムに切り換える半導体試験装置の波形整形器に関する。

## 背景技術

従来の波形整形器の概略を図1のブロック図を参照して説明する。波形整形器100はその内部に波形モードレジスタ105を1個具備し、これに予め波形モードを設定しておく。波形モードレジスタ105は8ビットのビット幅を有しており、これら各ビットの意味するところは表1に記載される通りである。

表1 波形モードレジスタのビット毎の意味

名称	意味
SBL A	AクロックをSBT信号又はRESET信号として選択することを意味し、パターン発生器からのパターンデータが“0”の時RESBT信号、“1”の時SET信号として選択。
SBL SET B	BクロックをSBT信号として選択することを意味し、パターン発生器からのパターンデータが“1”の時選択し、“0”の時選択しない。
SBL RESET B	BクロックをRESET信号として選択することを意味し、パターン発生器からのパターンデータが“0”の時選択し、“1”の時選択しない。
SEL SET C	CクロックをSET信号として選択することを意味し、パターン発生器からのパターンデータが“1”の時選択し、“0”の時選択しない。
SEL RESET C	CクロックをRESET信号として選択することを意

- 味し、パターン発生器からのパターンデータが“0”の時選択し、“1”の時選択しない。
- INV A           SEL A におけるパターンデータと選択の関係を反転させる。
- INV B           SEL SET B と SEL RESET B におけるパターンデータと選択の関係を反転させる。
- INV C           SEL SET C と SEL RESET C におけるパターンデータと選択の関係を反転させる。

従来の位相変更回路の概略を図2のブロック図および図3のタイミングチャートを参照して説明する。位相変更回路101は、図1のパターン発生器200から発生されるパターンデータを、タイミング発生器300から発生されるMクロック信号（パターン・データサイクルに同期したクロック信号）MCKの位相から、波形のエッジタイミングをきめるA、B、Cクロック信号ACK, BCK, CCKのそれぞれに対応する位相に変更するものである。タイミング発生器300は各クロック信号ACK, BCK, CCKのクロックパルスをパターンデータのそれぞれのサイクルと対応付けて所望の位相で発生する。

位相変更回路101はパターンデータの高速処理およびA、B、Cクロック信号ACK, BCK, CCKの位相設定範囲をパターンデータサイクル周期より広くとることを可能にするためのものである。この位相変更回路101は、入力端子Dinから入力されるパターンデータを、Mクロック信号MCKの位相からクロック信号ACK, BCK, CCKの各位相に変更し、出力端子DA、DB、DCから出力する。即ち、パターン発生器200から入力されるパターン・データを周知のように4進カウンタC0とデコーダD0によりクロックMCK毎に4つのNANDゲートを順次循環して開くことにより図3行C, D, E, Fに示す4分周クロックを生成し、それぞれフリップ・フロップF0ないしF3に与えることにより、図3

において行 G, H, I, J に示される如くに行 A のパターンデータを 4 つの並列データに変換すると共に、それらのサイクル長を 4 倍に拡大する。

クロック A C K を計数する 4 進カウンタ C 1 の計数値が与えられるデコーダ D 1 により生成されるデコーダ D 1 の出力端子 0, 1, 2 および 3 の出力信号 ( 図 3 行 L, M, N, O ) によりこれら 4 列のデータの対応するサイクルからパターンデータを順次抽出して直列データに変換することにより、クロック A C K の位相に同期したパターンデータが端子 D A より出力される ( 行 P ) 。これにより、クロック信号 M C K と A C K との間に位相差が 1 サイクル以上であっても、高速処理しているデータの速度を低下させることなく位相変更をすることができる。同様に、A クロック信号 A C K のクロック  $n + 1$  のように、クロック信号 M C K の周期を超えたクロック信号 A C K に対しても 4 倍に拡大されたデータサイクル範囲内であれば位相変更をすることができる。クロック信号 B C K, C C K についても、A C K と同様に動作する。

イネーブル信号生成回路 1 0 3 は、A, B, C クロック信号 A C K, B C K, C C K の位相に変更されたパターンデータと波形モードレジスタ 5 の波形モードとにより A, B, C クロック信号を制御する A S E T, A R E S E T, B S E T, B R E S E T, C S E T, C R E S E T 信号を生成する。これらの信号を、以後、一括してイネーブルデータと称し、これらの意味は表 2 に記載される通りである。

表 2 イネーブルデータの内容

名称	意味
A S E T	A クロックを S E T 信号として使用するか否かを決める。
A R E S E T	A クロックを R E S E T 信号として使用するか否かを決める。
B S E T	B クロックを S E T 信号として使用するか否かを決

- める。
- B RESET            BクロックをRESET信号として使用するか否かを  
決める。
- C SET                CクロックをSET信号として使用するか否かを決  
める。
- C RESET            CクロックをRESET信号として使用するか否かを  
決める。

各信号とも信号が“0”の時使用禁止、“1”の時使用を意味する。

波形生成回路106はイネーブル信号生成回路103から出力するイネーブルデータとタイミング発生器300から発生されるA、B、Cクロック信号ACK, BCK, CCKとによりSET信号およびRESET信号を生成し、これらをR-SフリップフロップのSET、RESET端子に印加し、ドライバ出力波形を整形する。

波形整形器100は、要するに、波形モードレジスタ105に設定される固定の波形モードとパターン発生器200から発生されるパターンデータとにより、タイミング発生器300から発生されるA、B、Cクロック信号をSET信号或はRESET信号として選択し、ドライバ出力波形を整形するものである。

従来技術においてドライバ出力波形をリアルタイムに変化させる方式として次の2方式がある。

#### 方式1

タイミング発生器300から発生されるA、B、Cクロック信号の所望のクロックを所望のサイクルでタイミング発生器300において禁止することにより波形生成回路106の波形整形に使うSET信号またはRESET信号を禁止し、ドライバ出力波形を所望の波形にリアルタイムで切り換える。

#### 方式2

クロックのセレクトレジスタ107にA、B、Cクロック信号の

内の禁止したいクロック信号を予め設定しておく。セレクトレジスタ107に設定されたクロック信号を、禁止回路104においてパターン発生器200が発生するパターンデータに同期したリアルタイムに変化する禁止データ（A、B、Cクロック信号の禁止サイクルを示す信号）により禁止する。このようにして波形生成回路106で波形整形に使うSET信号又はRESET信号を禁止し、ドライバ出力波形の切り換えをリアルタイムに行う。

方式1は、A、B、Cクロック信号の一部を特定のサイクルだけタイミング発生器300において禁止するので、Mクロックの数とA、B、Cクロックの入力数とがパターンデータの位相変更回路101において一致しなくなり、出力するパターンデータのサイクルがずれるに到る（ $n+1$ のクロックを禁止した図4に示すタイミングチャート参照）。これにより、波形生成回路106においてイネーブル信号生成回路103から入力するA、B、Cクロック信号をSET信号、RESET信号として選択するイネーブル・データとA、B、Cクロック信号のサイクルがずれるのでドライバ出力波形の切り換えを正しく行えない。

また、図2のような位相変更回路101を使用しなければ、パターンデータのサイクルずれは起きないので、A、B、Cクロックパルスを制御することによりドライバ出力波形の切り換えは行える。しかし、Mクロック信号とA、B、Cクロック信号の位相差の分だけパターンデータの周期を広げないとパターンデータをA、B、Cクロック信号の位相で扱えない。よって、高速処理ができなくなり、さらには、Mクロック信号の周期を越えたA、B、Cクロック信号の設定もできなくなる。以上の事から、方式1は高速動作中にパターン発生器200から発生するパターンデータに依存する波形モード（XOR、NRZ波形）からの波形切り換えは行えない。

方式2は、波形生成回路106に入力するA、B、Cクロック信号の一部を禁止回路104により禁止するために、NRZ波形から

R Z 波形への切り換えのように波形生成回路 106 で S E T 信号又は R E S E T 信号を追加する必要がある波形切り換えは行えない。また、図 5 に示されるように X O R 波形（行 H）から R Z 波形（行 I）へ波形切り換えを行う場合には、行 B に示すパターンデータの“0”に対しては A, B, C クロック信号を全て禁止して行 F, G の S E T 信号及び R E S E T 信号の発生を禁止するが、データ“1”に対しては A クロックのみ禁止しなければならない。このように、パターンデータによって禁止するクロック信号を変更する必要があるが、パターンデータの発生中にセレクトレジスタ 107 の選択クロックの設定を変更することはできないので、この様な波形切り換えは行えない。

この発明の目的は、上述の通りの問題を解消した半導体試験装置の波形整形器を提供するものである。

#### 発明の開示

この発明による半導体試験装置の波形成形器は、ドライバ出力波形のエッジタイミングを決める複数のクロック信号を発生するタイミング発生器と、

複数の波形モードに対応して使用するクロック信号の選択データを格納する波形モード記憶装置と、

パターンデータとそのパターンデータに同期して波形モードをリアルタイムに選択するコントロールデータとを発生するパターン発生器と、

選択された上記波形モードに対応したクロック信号の選択データとパターンデータとによりドライバ出力波形の切り換えタイミングを決めるクロックを使用するか否かを決めるイネーブルデータを生成するイネーブルデータ生成回路と、

上記イネーブルデータとドライバ出力波形のエッジタイミングを決めるクロックとによりドライバ出力波形を生成する波形生成回路



とを含み、上記パターン発生器からの上記コントロールデータにより波形モードをリアルタイムに切り換えてドライバ出力波形の切り換えを可能とする。

#### 図面の簡単な説明

図1は波形整形器の従来例を示す図。

図2は図1における位相変更回路の従来例を説明するための図。

図3は位相変更回路の従来例の動作タイミングチャート。

図4はクロック信号ACKの一部を禁止した時の動作タイミングチャート。

図5はXORモードからRZモードに波形を切り換える場合の動作タイミングチャート。

図6はこの発明の波形整形器を示す図。

図7は図6における位相変更回路の構成を示す図。

図8は図6の波形整形器の動作タイミングチャート。

図9はこの発明の他の実施例を示すブロック図。

#### 発明を実施するための最良の形態

この発明の実施例を図6を参照して説明する。この実施例では、図6に示される如く、2個の波形モードレジスタ105A、105Bを具備することにより、2種類の波形モードAおよびBを記憶するようにした。波形モードレジスタ105Aおよび105Bに予め記憶させておいた波形モードAおよびBを、パターン発生器200の発生するパターンデータに同期してリアルタイムに変化するコントロールデータに従ってマルチプレクサMUXにより切り換えて選択出力する。勿論波形モードレジスタの数を更に増やして、選択できる波形モードの数を増しても良い。

選択された波形モードとパターン発生器200からのパターンデータとにより、イネーブル信号生成回路103において、タイミング発生器300から発生されるA、B、Cクロック信号ACK、BCK、CCKをSET信号またはRESET信号として使用するか

否かを決めるイネーブル・データを生成する。

位相変更回路 4 1 ~ 4 3 及び 4 1 ' ~ 4 3 ' は、イネーブルデータの位相を M クロック信号の位相から A、B、C クロック信号 A C K, B C K, C C K の位相に変更する。これら位相変更回路は全て同じ構成であり、その 1 つのブロック図を図 7 に示す。その動作、機能については図 2 に示す従来の位相変更回路と同様である。

波形生成回路 1 0 6 において、位相変更回路 4 1 ~ 4 3 及び 4 1 ' ~ 4 3 ' から出力したセットイネーブルデータ及びリセットイネーブルデータと、対応する A、B、C クロック信号 A C K, B C K, C C K とはそれぞれ A N D ゲート 6 1 ~ 6 3 及び 6 1 ' ~ 6 3 ' により論理積がとられ、イネーブルされた A、B、C クロック信号が S E T 信号および R E S E T 信号として生成される。これら A、B、C クロック信号のタイミングの S E T 信号および R E S E T 信号を O R ゲート 6 7 及び O R ゲート 6 8 をそれぞれ介して出力し、R-S フリップ・フロップ 6 9 の S E T 端子に S E T 信号、R E S E T 端子に R E S E T 信号として与えることによりドライバ出力波形を生成する。

例えば、X O R 波形と R Z B C 波形とを切り換えて使用する場合について説明する。この場合、波形モードレジスタ 1 0 5 A に X O R モードを、波形モードレジスタ 1 0 5 B に R Z B C モードを設定する。波形モードレジスタ 1 0 5 A、1 0 5 B の内容は表 3 に示される通りである。

表 3 波形モードレジスタ 1 0 5 A、1 0 5 B の内容

波形モード	105A	105B
	XOR モード	RZBC モード
SEL A	1	0
SEL SET B	1	1
SEL RESET B	1	0
SEL SET C	1	0

SBL RESET C	1	1
INV A	1	0
INV B	0	0
INV C	1	1

表 3 の波形モードの設定で、図 8 の行 C に示すパターンデータと、それを行 B に示す波形モードで出力するための行 A に示すコントロールデータとをパターン発生器 200 から発生した場合の動作タイムチャートを行 D ~ V に示す。図 6 および図 8 において、パターン発生器 200 の発生するコントロールデータ CD をマルチプレクサ MUX に供給すると、波形モード M が選択される。この波形モード M とパターン発生器 200 の発生するパターンデータ PD とをイネーブル信号生成回路 103 に入力すると、イネーブル信号生成回路 103 からは A、B、C クロック信号（行 K、L、M）を SET 信号又は RESET 信号として使用するか否かを決めるイネーブルデータ A SET, A RESET, B SET, B RESET, C SET および C RESET が出力される（行 D ~ I）。これらイネーブルデータをそれぞれの位相変更回路 41 ~ 43 及び 41' ~ 43' により M クロック（行 J）の位相から対応する A、B、C クロック信号 ACK, BCK, CCK の位相に変更する。位相変更回路 41 ~ 43 及び 41' ~ 43' の出力、即ち位相変更イネーブルデータ出力は行 N, O, P, 及び N', O', P' に示すようになる。

これら位相変更イネーブルデータ出力とタイミング発生器 300 の発生する A、B、C クロック信号とは、波形生成回路 106 におけるそれぞれの AND ゲート 61 ~ 63 及び 61' ~ 63' にそれぞれ送り込まれ、これらのゲートにおいてイネーブルされた A、B、C クロック信号が SET 信号及び RESET 信号として図 8 行 Q, R, S 及び Q', R', S' にそれぞれ示される通りに生成される。

これらの SET 信号および RESET 信号はそれぞれの OR ゲー

ト 6 7 及び 6 8 に通されて R - S フリップフロップ 6 9 に与えられる S E T 信号 (行 T) および R E S E T 信号 (行 U) とされる。これらの S E T 信号および R E S E T 信号を R - S フリップフロップの S E T 端子、R E S E T 端子に入力することにより図 8 の行 V に示されるドライバ出力波形を生成することができる。

このようにして、パターン発生器 2 0 0 の発生するコントロールデータ C D により選択した波形モード M がドライバ出力波形に現れることにより、X O R 波形と R Z B C 波形の切り換えが可能となる。前述のように波形モードを記憶するレジスタ或はメモリを 3 個以上具備することにより 3 種類以上の波形モード切り換えを同様に実施することができる。

図 6 の実施例においては複数の波形モードレジスタ 1 0 5 A , 1 0 5 B から波形モードをマルチプレクサ M U X により選択する場合を示したが、1 つの波形モード記憶装置の異なるアドレス位置にそれぞれ波形モードを書き込んでおき、コントロールデータをアドレスとして与えて所望の波形モードを読み出すようにしても良い。更に、タイミング発生器 3 0 0 で発生する A , B , C クロック信号の位相を M クロック信号の対応するサイクル内に限定して設定すれば、図 6 の実施例における位相変更回路 4 1 ~ 4 3 及び 4 1 ' ~ 4 3 ' を省略しても良い。その場合の実施例を図 9 にブロック図で示す。

図 9 の実施例においては上述のように波形モード記憶装置 1 0 5 の異なるアドレス位置に複数の波形モードが予め書き込まれてある。イネーブル信号生成回路 1 0 3 は図 6 の実施例におけるものと同じであり、その出力である A , B , C - セットイネーブルデータ及び A , B , C - リセットイネーブルデータは位相変更されず、直接に波形生成回路 1 0 6 に与えられる。波形生成回路 1 0 6 の構成は図 6 におけるものと同じであり、これら A , B , C - セットイネーブルデータ、A , B , C - リセットイネーブルデータと対応する A

、 B、 Cクロック信号とから同様にして S E T 信号と R E S E T 信号を生成し、フリップフロップのセット、リセット端子に与えられることにより所望の波形モードでパターンデータを、被試験半導体デバイスに対するドライブ波形として出力することができる。即ち、図 9 の構成によっても出力波形の切り換えを行うことができる。

上述説明したように、パターン発生器 2 0 0 から送り出されるコントロールデータにより波形モードをリアルタイムに切り換えることでドライバ出力波形の波形切り換えを可能にしている。そして、位相変更回路 4 1 ~ 4 3 及び 4 1 ' ~ 4 3 ' を介することによりデータの高速処理および A、 B、 Cクロック信号の位相設定範囲を Mクロック信号の周期（即ちパターンデータのサイクル周期）より広くとることも可能となる。

また、この発明によれば、 A、 B、 Cクロック信号を禁止することなく波形の切り換えを可能とするものであるので、従来のように位相変更回路においてサイクルずれを生ずることはない。

## 請求の範囲

1. ドライバ出力波形のエッジタイミングを決める複数のクロック信号を発生するタイミング発生手段と、

複数の波形モードに対応して使用するクロック信号の選択データを格納する波形モード記憶手段と、

パターンデータとそのパターンデータに同期して波形モードをリアルタイムに選択するコントロールデータとを発生するパターン発生手段と、

選択された上記波形モードに対応したクロック信号の選択データとパターンデータとによりドライバ出力波形の切り換えタイミングを決めるクロックを使用するか否かを決めるイネーブルデータを生成するイネーブルデータ生成手段と、

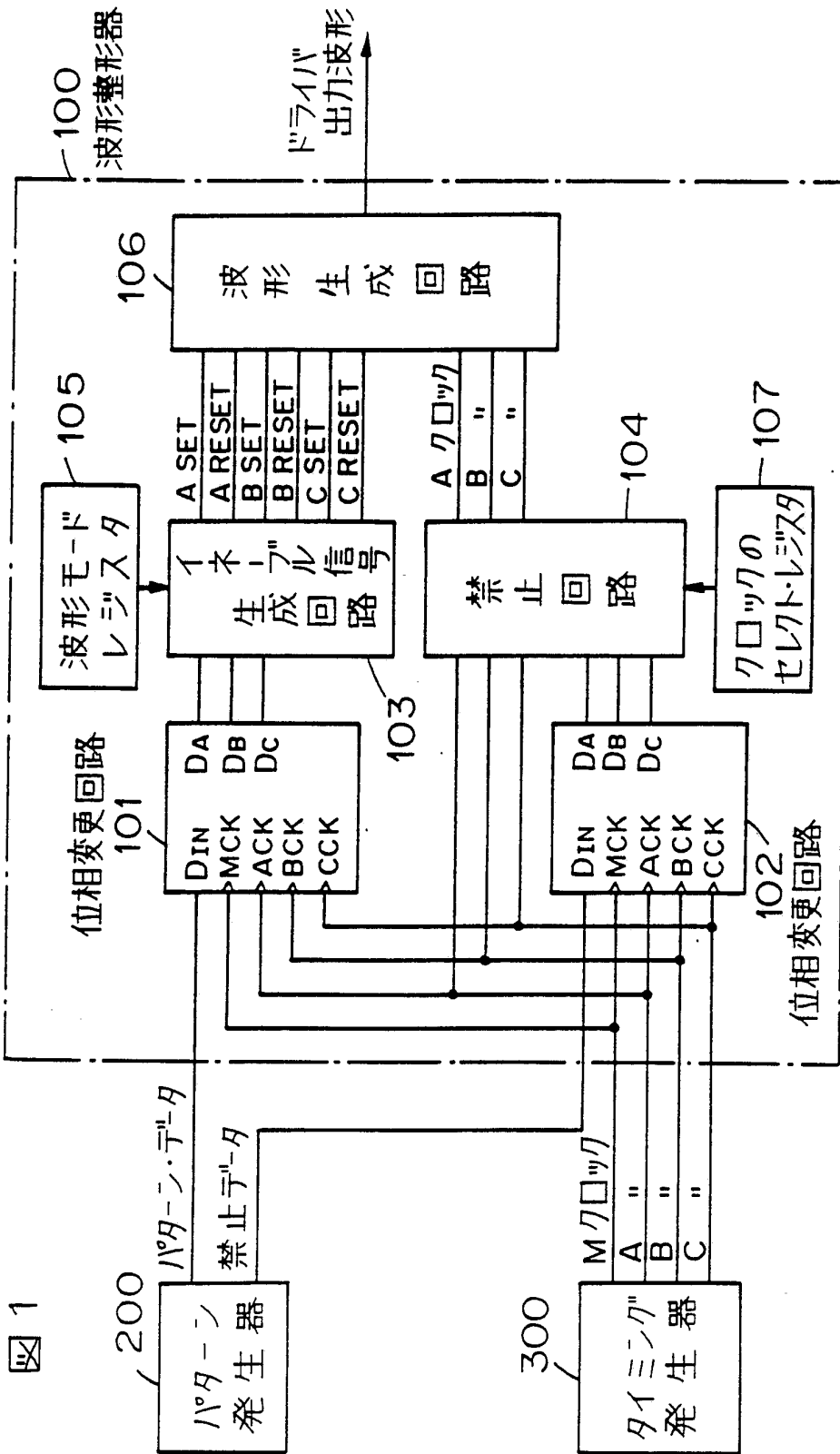
上記イネーブルデータとドライバ出力波形のエッジタイミングを決めるクロックとによりドライバ出力波形を生成する波形生成手段と、

とを含み、上記パターン発生手段からの上記コントロールデータにより波形モードをリアルタイムに切り換えてドライバ出力波形の切り換えを可能とする半導体装置の波形成形器。

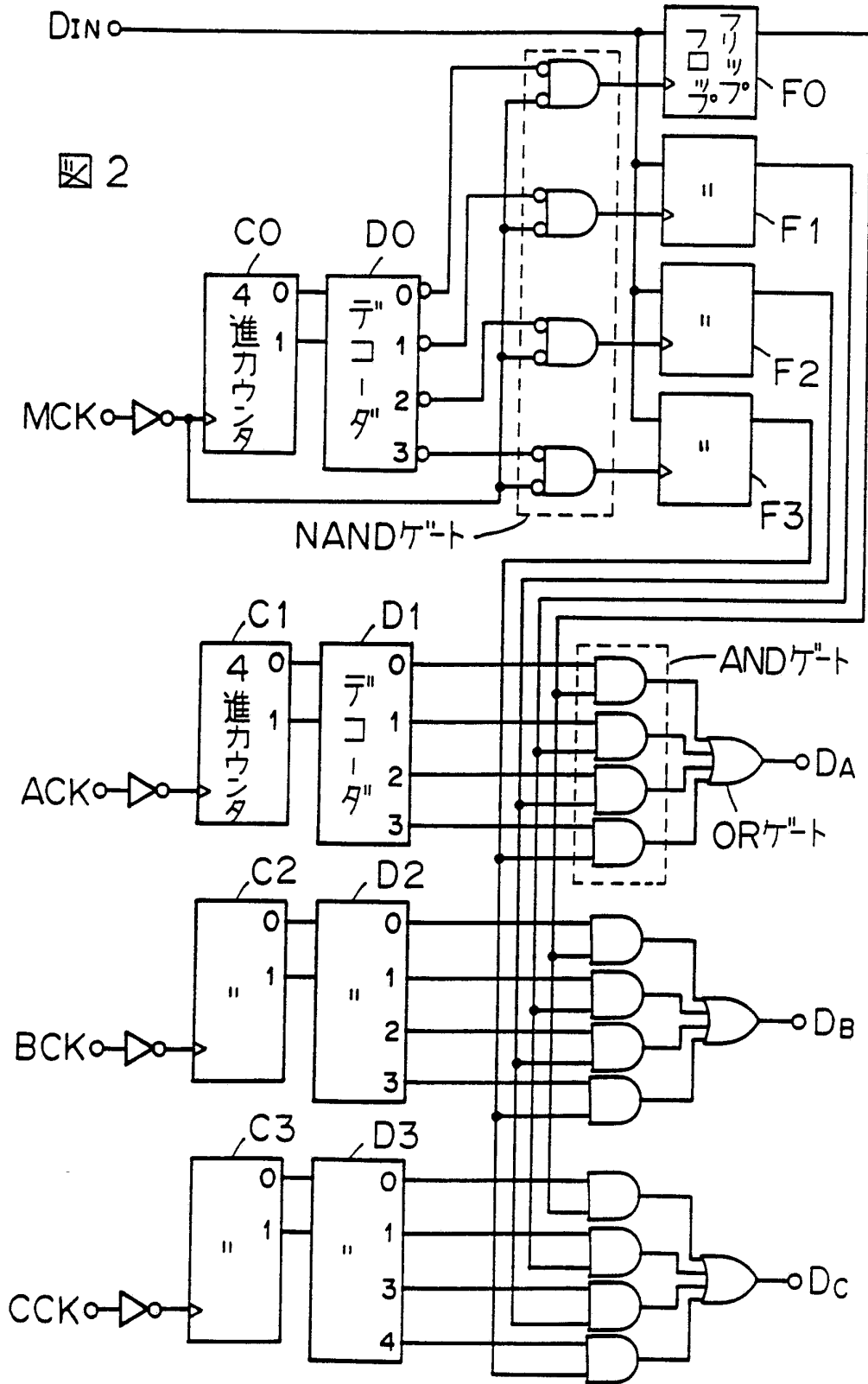
2. 請求項1に記載の波形成形器において、上記イネーブルデータ生成手段の出力イネーブルデータをそれぞれの上記クロック信号の位相に変更して上記波形生成手段に与える位相変更手段が更に設けられている。

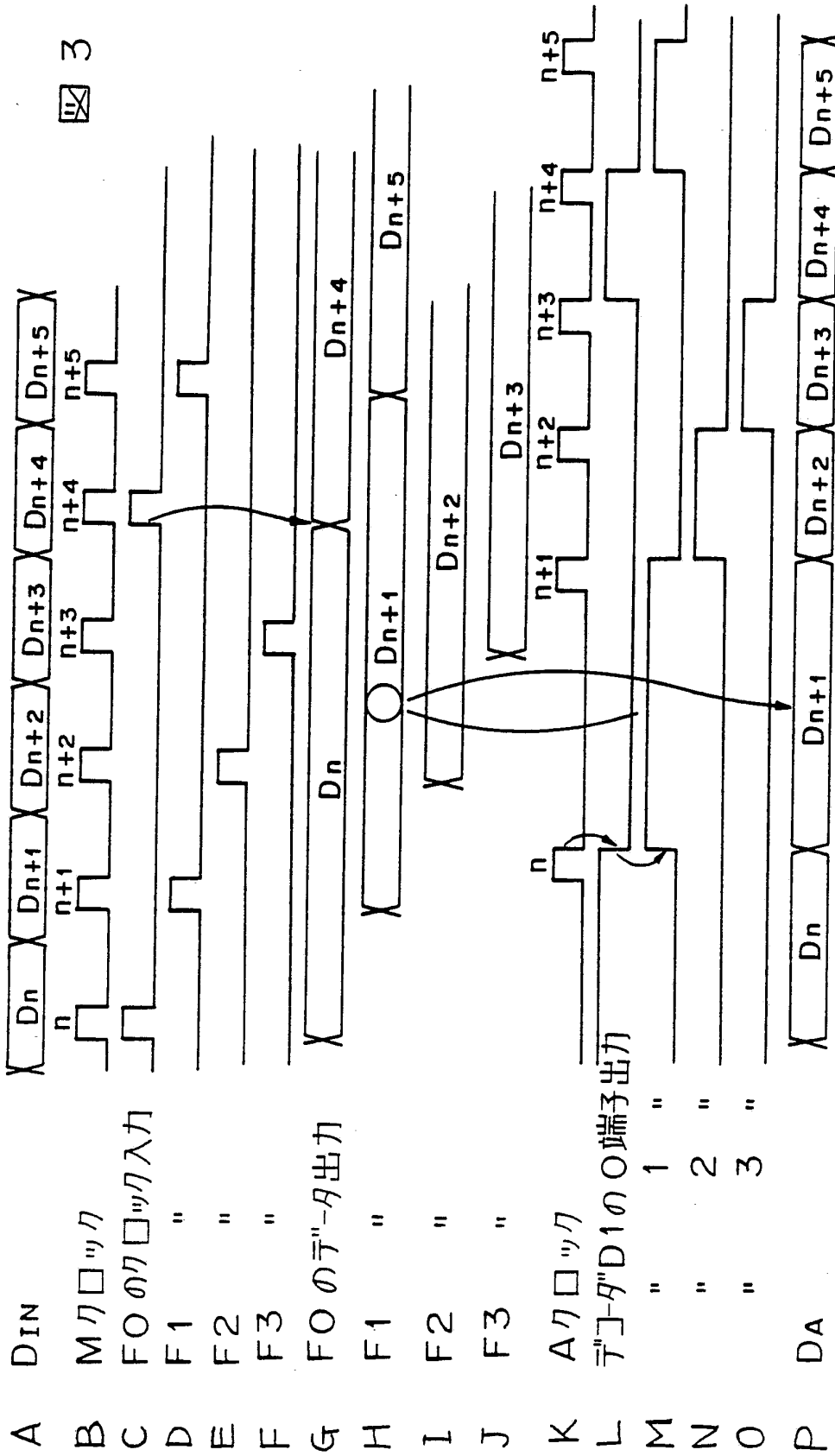
3. 請求項1または2に記載の波形成形器において、上記波形モード記憶手段は複数の上記波形モードを保持する複数のレジスタ手段と、上記複数のレジスタ手段から上記コントロールデータに従って1つの波形モードを選択して上記イネーブルデータ生成手段に与えるマルチプレクサ手段とを含む。

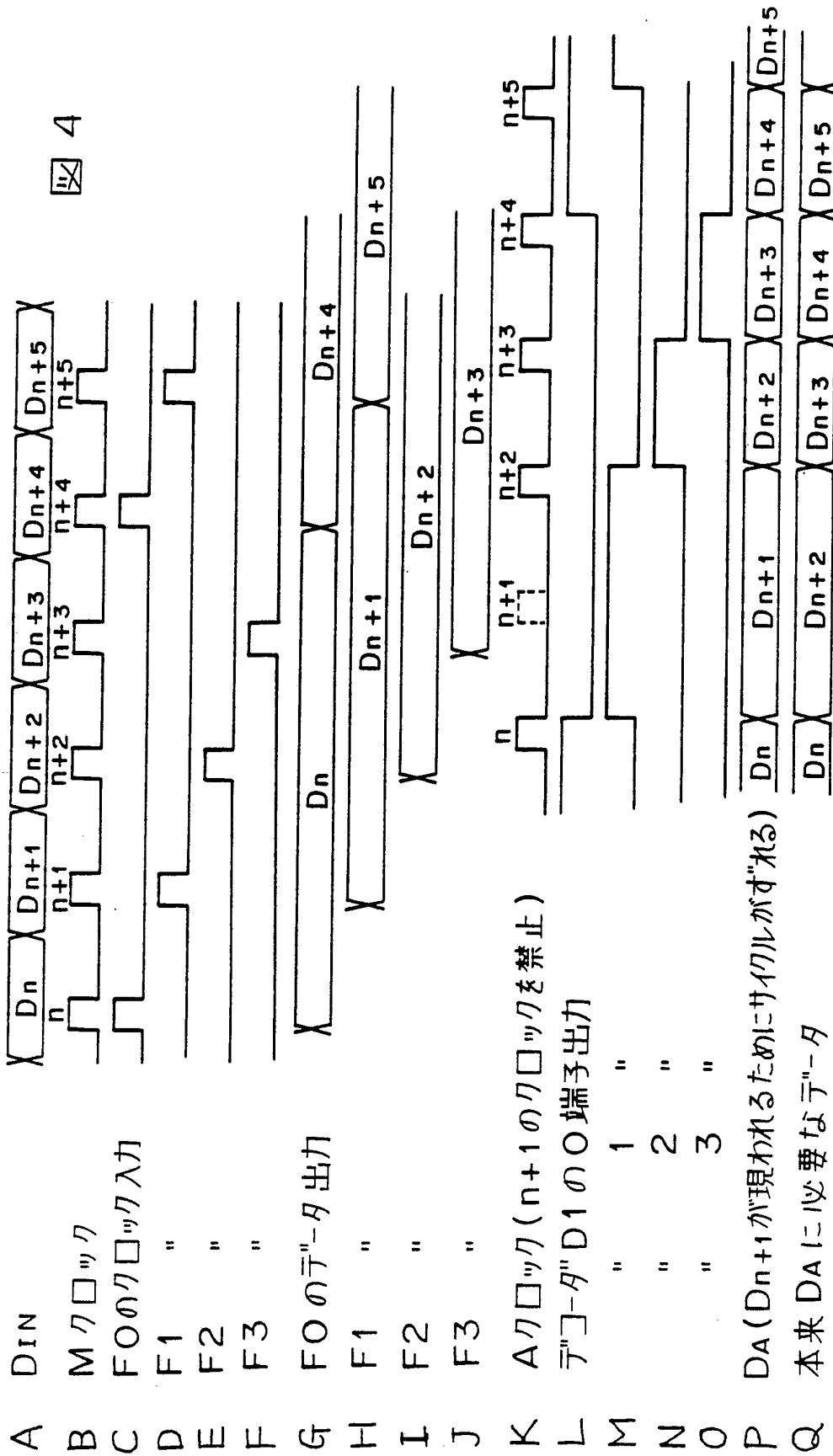
4. 請求項 1 または 2 に記載の波形成形器において、上記波形モード記憶手段は複数の上記波形モードを異なるアドレス位置に格納し、上記コントロールデータに対応するアドレス位置から波形モードを読み出して上記イネーブルデータ生成手段に与えるメモリを含む。

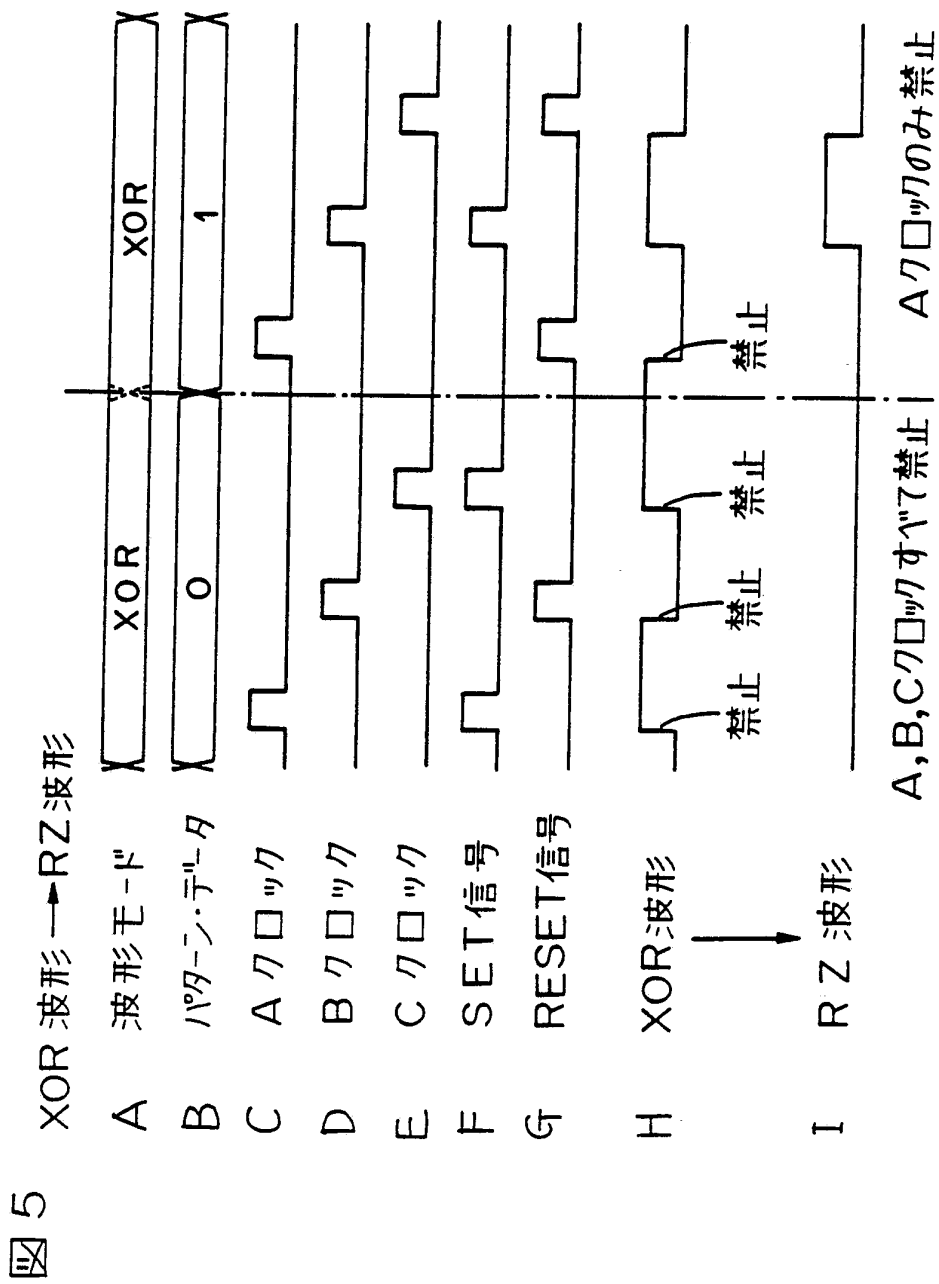


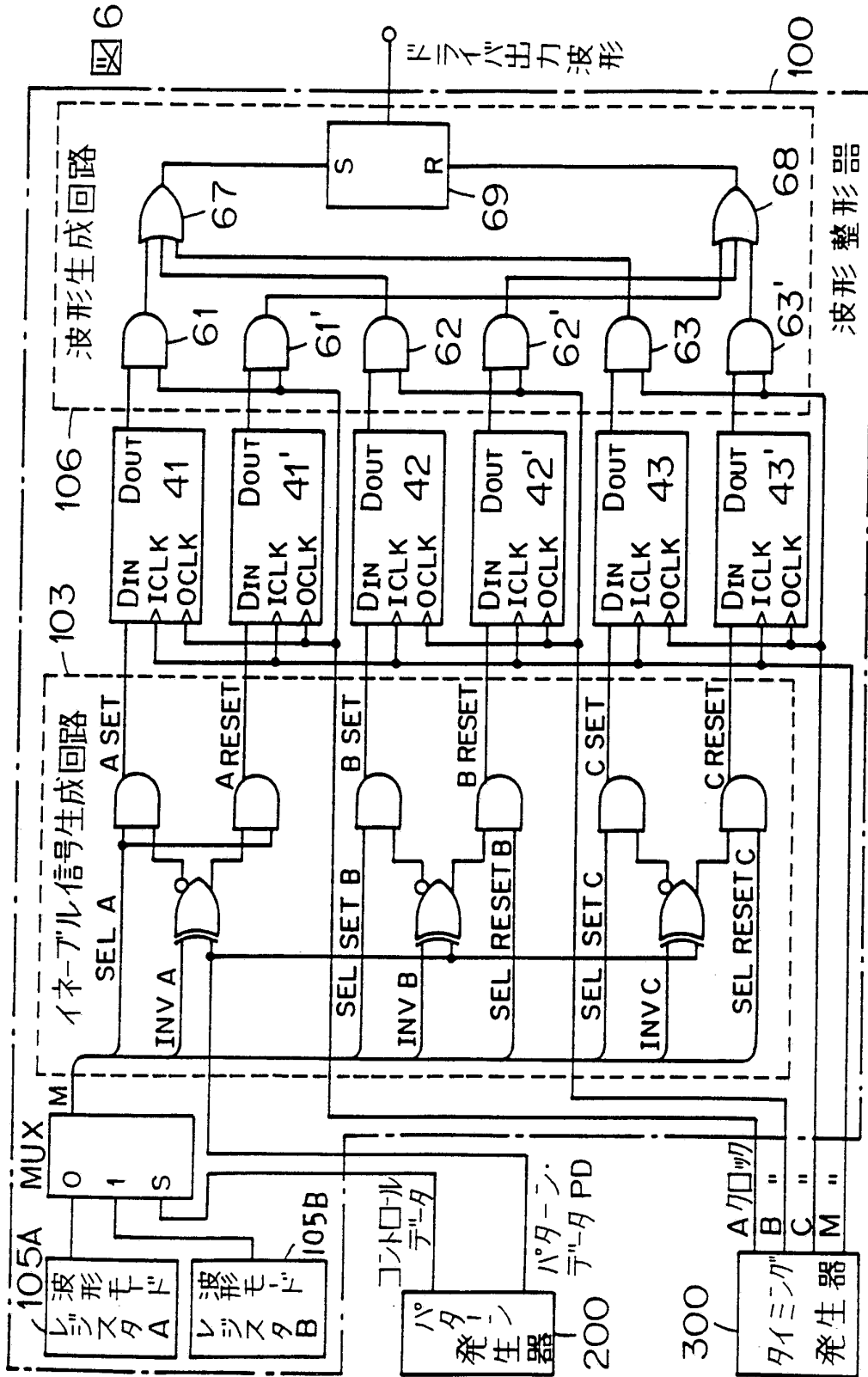


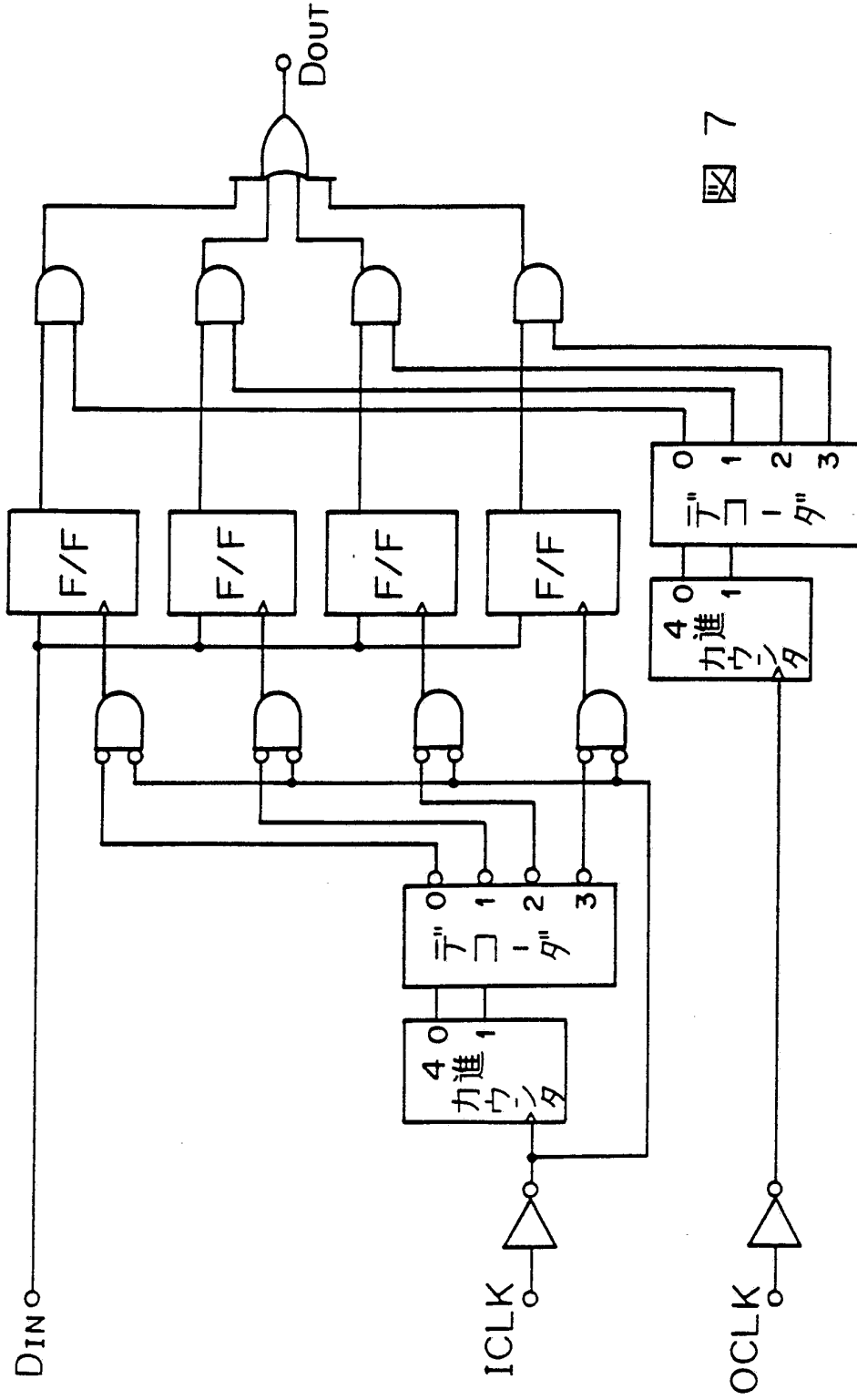


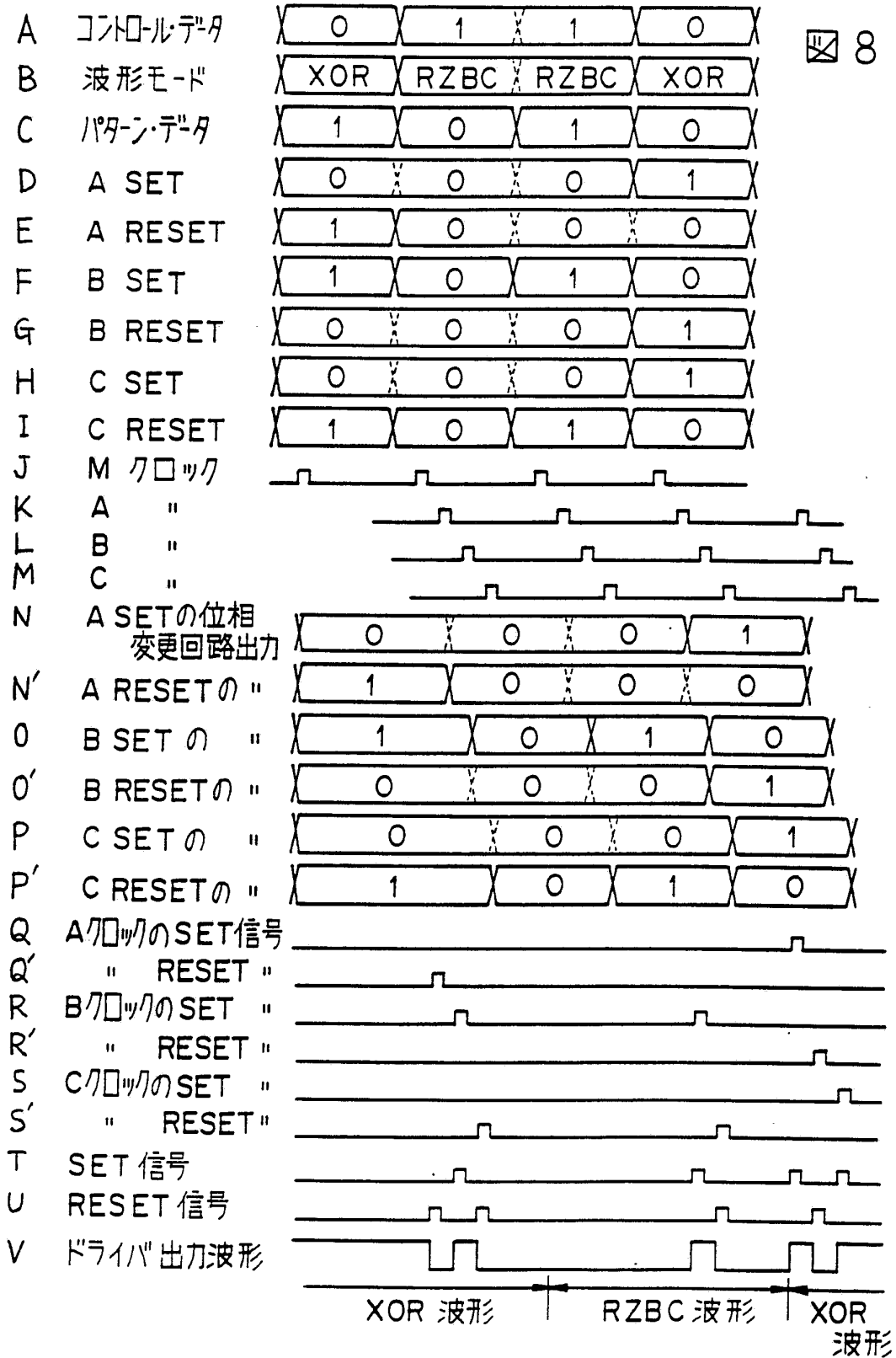


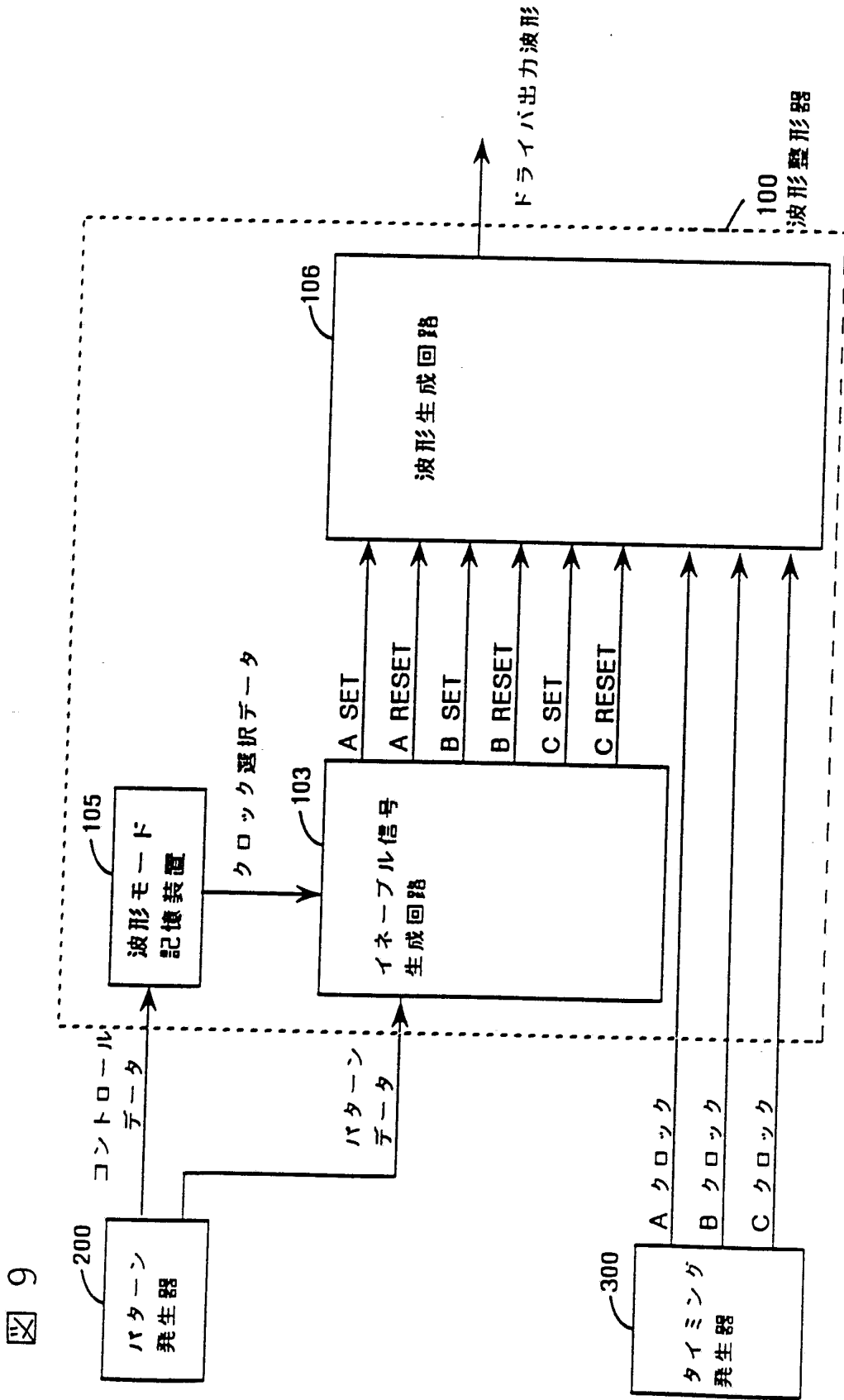














## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP93/00062

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl <sup>5</sup> G01R31/318 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl <sup>5</sup> G01R31/318 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926 - 1993 Kokai Jitsuyo Shinan Koho 1971 - 1993 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, A, 2-22577 (Advantest K.K.), January 25, 1990 (25. 01. 90), Line 6, column 2 to line 17, column 4, Fig. 3 (Family: none)	1
X	JP, B2, 63-19026 (Advantest K.K.), April 21, 1988 (21. 04. 88), (Family: none)	1
A	JP, A, 60-194375 (Takeda Riken Kogyo K.K.), October 2, 1985 (02. 10. 85), Line 17, column 2 to line 12, column 3 (Family: none)	1
A	JP, A, 1-172779 (Hitachi Electronics Engineering Co., Ltd.), July 7, 1989 (07. 07. 89), (Family: none)	1-4
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search April 6, 1993 (06. 04. 93)		Date of mailing of the international search report April 27, 1993 (27. 04. 93)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.		Authorized officer  Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl <sup>8</sup> G 0 1 R 3 1 / 3 1 8		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl <sup>8</sup> G 0 1 R 3 1 / 3 1 8		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報                      1926-1993年 日本国公開実用新案公報                1971-1993年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, A, 2-22577 (株式会社 アドバンテスト) 25. 1月. 1990 (25. 01. 90) 第2欄第6行-第4欄第17行, 第3図 (ファミリーなし)	1
X	JP, B2, 63-19026 (株式会社 アドバンテスト) 21. 4月. 1988 (21. 04. 88) (ファミリーなし)	1
A	JP, A, 60-194375 (タケダ理研工業株式会社) 2. 10月. 1985 (02. 10. 85)	1
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日に後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
06. 04. 93	27.04.93	
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 服 部 和 男                      ㊟	2 G 9 1 1 4
	電話番号 03-3581-1101 内線	3 2 2 6

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	第2欄第17行-第3欄第12行(ファミリーなし) JP, A, 1-172779(日立電子エンジニアリング株式会 社) 7. 7月. 1989(07. 07. 89)(ファミリーなし)	1-4