

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96128395

※ 申請日期： 96.8. ✓

※IPC 分類： H01L 27/115 (2006.01)

一、發明名稱：(中文/英文)

記憶體之佈局和結構 / LAYOUT AND STRUCTURE OF
MEMORY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

南亞科技股份有限公司 / NANYA TECHNOLOGY CORP.

代表人：(中文/英文)

連日昌 / LIEN, JIH

住居所或營業所地址：(中文/英文)

桃園縣龜山鄉華亞科技園區復興三路六六九號 / Hwa-Ya Technology

Park 669, Fuhsing 3 Rd., Kueishan, Tao-Yuan Hsien, Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 黃信斌 / HUANG, SHIN-BIN

2. 蕭清南 / HSIAO, CHING-NAN

3. 黃仲麟 / HUANG, CHUNG-LIN

國 籍：(中文/英文)

1. 中華民國 / TWN
2. 中華民國 / TWN
3. 中華民國 / TWN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是關於一種記憶體，特別是一種 NAND 型快閃記憶體的佈局及結構，可提昇記憶體的積集度。

【先前技術】

近年來，隨著可攜式電子產品的需求增加，快閃記憶體或可電子抹除可編碼唯讀記憶體(electrically erasable programmable read-only memory，以下簡稱為 EEPROM)的技術以及市場應用也日益成熟擴大。這些可攜式電子產品包括有數位相機的底片、手機、遊戲機(video game apparatus)、個人數位助理(personal digital assistant, PDA)之記憶體、電話答錄裝置以及可程式 IC 等等。

快閃記憶體係為一種非揮發性記憶體(non-volatile memory)，其運作原理乃藉由改變電晶體或記憶單元的臨界電壓(threshold voltage)來控制相對應閘極通道的開啟或關閉以達到記憶資料的目的，使儲存在記憶體中的資料不會因電源中斷而消失。

一般而言，快閃記憶體可區分為 NOR 型及 NAND 型兩種架構，其中 NOR 型快閃記憶體讀取快速，適合用在以程式轉換為主的程式碼快閃記憶體(code flash)產品，而 NAND 型快閃記憶體密度較高，適合用在以存取資料為主的資料快閃記憶體(data flash)。

隨著電子產品日漸縮小，快閃記憶體的積集度也必須隨之提升，因此，本發明提供一種快閃記憶體之佈局和結構，可提升快閃記憶體，其利用特殊設計的選擇閘極之導線佈局，可以使快閃記憶體之體積更加縮小。

【發明內容】

本發明提供一種可提升元件積集度的快閃記憶體之佈局，包含：一基底、一第一主動區域，位於基底內，其中第一主動區域上設有串接在同一列上的一第一記憶體單元串包含複數個第一儲存電晶體、一第一選擇閘極電晶體包含一第一閘極長度以及一第二選擇閘極電晶體包含一第二閘極長度，其中，第一選擇閘極電晶體包含一第一水平式閘極通道，第二選擇閘極電晶體包含一第一凹入式閘極通道，其中，該等儲存電晶體分別具有一第三閘極長度。

此外，上述之快閃記憶體之佈局更包含一第二主動區域，位於基底內，其中第二主動區域上設有串接在同一列上的一第二記憶體單元串包含複數個第二儲存電晶體、一第三選擇閘極電晶體包含一第四閘極長度以及一第四選擇閘極電晶體包含一第五閘極長度，其中，第三選擇閘極電晶體包含一第二凹入式閘極通道，第四選擇閘極電晶體包含一第二水平式閘極通道，其中，該等儲存電晶體分別具有一第六閘極長度；其中，第一選擇閘極電晶體和該第三選擇閘極電晶體排列在同一行上，而第二選擇閘極電晶

體和該第四選擇閘極電晶體排列在同一行上。

根據本發明之較佳實施例，第一閘極長度、第二閘極長度、第三閘極長度、第四閘極長度、第五閘極長度以及第六閘極長度為等長。

本發明之選擇閘極電晶體具有凹入式閘極通道，因此在淺溝渠隔離製程時可提供更大的製程寬裕度並且可以使元件積集度提升。

【實施方式】

本發明 NAND 型快閃記憶體為一種雙選擇閘極電晶體(dual SG)之記憶體架構，意即，在各個記憶體單元串的兩端均設有兩個串聯的選擇閘極電晶體。此外，在各個記憶體單元串內的每一個記憶體電晶體均為一雙位元儲存電晶體。

請參考第 1 圖，第 1 圖為本發明 NAND 型快閃記憶體之佈局示意圖。如第 1 圖所示，NAND 型快閃記憶體 50 包含：一基底 52、主動區域 54、66、78、90，位於基底 52 內，其中主動區域 54 上依序設有在同一列(row)上的選擇閘極電晶體 58、60、一記憶體單元串 56 以及選擇閘極電晶體 62、64。此外，選擇閘極電晶體 58 串接選擇閘極電晶體 60；選擇閘極電晶體 62 串接選擇閘極電晶體 64。

其中，記憶體單元串 56 中包含複數個雙位元儲存電晶體單元，例如具有一閘極長度 L_1 的雙位元儲存電晶體單元 114、116。此外，選擇閘極電晶體 60、62 具有凹入式閘極通道(recessed channel)(圖未示);選擇閘極電晶體 58、64 具有水平式閘極通道(圖未示)。選擇閘極電晶體 58、60、62、64 各具有相同的一閘極長度 L_2 。

於主動區域 66 上依序設有在同一列上的選擇閘極電晶體 70、72、一記憶體單元串 68 以及選擇閘極電晶體 74、76。選擇閘極電晶體 70 串接選擇閘極電晶體 72;選擇閘極電晶體 74 串接選擇閘極電晶體 76。

其中，記憶體單元串 68 中包含複數個雙位元儲存電晶體單元，例如具有閘極長度 L_1 的雙位元儲存電晶體單元 118、120。此外，選擇閘極電晶體 70、76 具有凹入式閘極通道;選擇閘極電晶體 72、74 具有水平式閘極通道，選擇閘極電晶體 70、72、74、76 各具有相同的閘極長度 L_2 。

於主動區域 78 上依序設有在同一列上的選擇閘極電晶體 82、84、一記憶體單元串 80 以及選擇閘極電晶體 86、88。其中選擇閘極電晶體 82 串接選擇閘極電晶體 84;選擇閘極電晶體 86 串接選擇閘極電晶體 88。其中記憶體單元串 80 中包含複數個雙位元儲存電晶體單元，例如具有閘極長度 L_1 的雙位元儲存電晶體單元 122、124。此外，選擇閘極電晶體 84、86 具有凹入式閘極通道;

選擇閘極電晶體 82、88 具有水平式閘極通道，選擇閘極電晶體 82、84、86、88 各具有相同的閘極長度 L_2 。

另外，主動區域 90 上依序設有在同一列上的選擇閘極電晶體 94、96、一記憶體單元串 92 以及選擇閘極電晶體 98、100。其中選擇閘極電晶體 94 串接選擇閘極電晶體 96；選擇閘極電晶體 98 串接選擇閘極電晶體 100。此外，記憶體單元串 92 中包含複數個雙位元儲存電晶體單元，例如具有閘極長度 L_1 的雙位元儲存電晶體單元 126、128。此外，選擇閘極電晶體 94、100 具有凹入式閘極通道；選擇閘極電晶體 96、98 具有水平式閘極通道，選擇閘極電晶體 94、96、98、100 各具有相同的閘極長度 L_2 。

根據本發明之較佳實施例，以上所述之閘極長度 L_1 等於閘極長度 L_2 ，但不限於此，閘極長度 L_1 和閘極長度 L_2 亦可為不同長度。此外，具有水平式閘極通道的選擇閘極電晶體 58、64、72、74、82、88、96、98 在操作的時候永遠處於空乏模式(depletion mode)，意即，選擇閘極電晶體 58、64、72、74、82、88、96、98，在操作時，永遠處於開啟狀態。

於 NAND 型快閃記憶體 50 中，在同一行上的選擇閘極電晶體 58、70、82、94 依序以閘極導線 102 電連接。同樣地，在同一行上的選擇閘極電晶體 60、72、84、96 依序以閘極導線 104 電連接、選擇閘極電晶體 62、74、86、98 依序以閘極導線 106 電連接、

選擇閘極電晶體 64、76、88、100 依序以閘極導線 108 電連接。此外，在閘極導線 102、108 之一側分別有數個位元接觸墊 110、112，用來傳送位元線電壓訊號。

本發明之選擇閘極電晶體具有凹入式閘極通道，因此在淺溝渠隔離製程時可提供更大的製程寬裕度並且可以使元件積集度提升。例如，閘極導線的線寬(width)可縮小到 $0.09\ \mu\text{m}$ ，而閘極導線的線距(space) 亦可縮小到 $0.09\ \mu\text{m}$ ，因此閘極導線所佔的空間較習知技術之閘極導線所佔的空間為小。

請參考第 2a 圖，其繪示的是本發明之 NAND 型快閃記憶體沿著第 1 圖中的主動區域 54 所視的剖面示意圖。

如第 2a 圖所示，快閃記憶體 50 包含有一基底 52、一記憶體單元串 56，設於基底 52 上、一具有凹入式閘極通道且包含一閘極長度 L_2 的選擇閘極電晶體 60、一具有水平式閘極通道且包含一閘極長度 L_2 的選擇閘極電晶體 58、一具有凹入式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 62 以及一具有水平式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 64，此外記憶體單元串 56 中包含複數個雙位元儲存電晶體單元，例如具有一閘極長度 L_1 的雙位元儲存電晶體單元 114、116，其中記憶體單元串 56 所包含的雙位元儲存電晶體單元數量可以為 16 個或是 32 個，且為 PMOS 電晶體。

其中，選擇閘極電晶體 60 直接串聯記憶體單元串 56 之一端，選擇閘極電晶體 58 直接串聯選擇閘極電晶體 60;選擇閘極電晶體 62 直接串聯記憶體單元串 56 之另一端，選擇閘極電晶體 64 直接串聯選擇閘極電晶體 62。

在本發明之較佳實施例中，具有水平式閘極通道之選擇閘極電晶體 58、64 永遠處於空乏模式，意即，在操作時，永遠處於開啟狀態。

第 2b 圖所繪示的為本發明 NAND 型快閃記憶體沿著第 1 圖中的主動區域 66 所視的剖面示意圖。快閃記憶體 50 包含有一基底 52、一記憶體單元串 68，設於基底 52 上、一具有水平式閘極通道且包含一閘極長度 L_2 的選擇閘極電晶體 72、一具有凹入式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 70、一具有水平式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 74、一具有凹入式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 76。此外記憶體單元串 68 中包含複數個雙位元儲存電晶體單元，例如具有一閘極長度 L_1 的雙位元儲存電晶體單元 118、120，其中記憶體單元串 68 所包含的雙位元儲存電晶體單元數量可以為 16 個或是 32 個，且為 PMOS 電晶體。其中，選擇閘極電晶體 72 直接串聯記憶體單元串 68 之一端，選擇閘極電晶體 70 直接串聯選擇閘極電晶體 72;選擇閘極電晶體 74 直接串聯記憶體單元串 68 之另一端，選擇閘極電晶體 76 直接串聯選擇閘極電晶體 74。

在本發明之較佳實施例中，具有水平式閘極通道之選擇閘極電晶體 72、74 永遠處於空乏模式，意即，在操作時，永遠處於開啟狀態。

第 2c 圖所繪示的為本發明 NAND 型快閃記憶體沿著第 1 圖中的主動區域 78 所視的剖面示意圖。快閃記憶體 50 包含有一基底 52、一記憶體單元串 80，設於基底 52 上、一具有凹入式閘極通道且包含一閘極長度 L_2 的選擇閘極電晶體 84、一具有水平式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 82、一具有凹入式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 86、一具有水平式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 88。此外記憶體單元串 80 中包含複數個雙位元儲存電晶體單元，例如具有一閘極長度 L_1 的雙位元儲存電晶體單元 122、124，其中記憶體單元串 80 所包含的雙位元儲存電晶體單元數量可以為 16 個或是 32 個，且為 PMOS 電晶體。其中，選擇閘極電晶體 84 直接串聯記憶體單元串 80 之一端，選擇閘極電晶體 82 直接串聯選擇閘極電晶體 84；選擇閘極電晶體 86 直接串聯記憶體單元串 80 之另一端，選擇閘極電晶體 88 直接串聯選擇閘極電晶體 86。

在本發明之較佳實施例中，具有水平式閘極通道之選擇閘極電晶體 82、88 永遠處於空乏模式，意即，在操作時，永遠處於開啟狀態。

第 2d 圖所繪示的為本發明 NAND 型快閃記憶體沿著第 1 圖中的主動區域 92 所視的剖面示意圖。快閃記憶體 50 包含有一基底 52、一記憶體單元串 92，設於基底 52 上、一具有水平式閘極通道且包含一閘極長度 L_2 的選擇閘極電晶體 96、一具有凹入式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 94、一具有水平式閘極通道且包含一閘極長度 L_2 的選擇閘極電晶體 98、一具有凹入式閘極通道且包含閘極長度 L_2 的選擇閘極電晶體 100。此外記憶體單元串 92 中包含複數個雙位元儲存電晶體單元，例如具有一閘極長度 L_1 的雙位元儲存電晶體單元 126、128，其中記憶體單元串 92 所包含的雙位元儲存電晶體單元數量可以為 16 個或是 32 個，且為 PMOS 電晶體。其中，選擇閘極電晶體 96 直接串聯記憶體單元串 92 之一端，選擇閘極電晶體 94 直接串聯選擇閘極電晶體 96；選擇閘極電晶體 98 直接串聯記憶體單元串 92 之另一端，選擇閘極電晶體 100 直接串聯選擇閘極電晶體 98。在本發明之較佳實施例中，具有水平式閘極通道之選擇閘極電晶體 96、98 永遠處於空乏模式，意即，在操作時，永遠處於開啟狀態。

請參閱第 3 圖至第 5 圖，其分別繪示本發明 NAND 型快閃記憶體 50 之操作方式。

如第 3 圖所示，其繪示同時讀取(read)記憶體單元串 68、92 之操作方式。

首先，於記憶體單元串 56、68、80、92 上施加電壓 1 伏特，於位元接觸墊 110 上施加電壓 0 伏特，於位元接觸墊 112 上施加電壓 2.5 伏特，於基底 52 上施加電壓 0 伏特 (圖未示)，並且使閘極導線 102、108 呈現關閉狀態，以及使閘極導線 104、106 呈現開啟狀態。

值得注意的是，如上述選擇閘極電晶體 58、64、72、74、82、88、96、98，在操作時，因為是在空乏模式下，所以永遠處於開啟狀態，因此閘極導線 102、104、106、108 的開啟和關閉只影響到選擇閘極電晶體 60、62、70、76、84、86、94、100 的開啟和關閉。

第 3 圖中所繪示圓圈符號的選擇閘極電晶體為開啟，繪示叉符號的選擇閘極電晶體為關閉，如此一來，即可讀取記憶體單元串 68 和 92 中所儲存的資料。

以下第 4 圖至第 5 圖中所繪示圓圈符號的選擇閘極電晶體皆為開啟，繪示叉符號的選擇閘極電晶體皆為關閉。

如第 4 圖所示，其繪示寫入(program)記憶體單元串 68、92 之操作方式，於記憶體單元串 56、68、80、92 上施加電壓 6 伏特，於位元接觸墊 110 上的電壓為浮置(floating)，於位元接觸墊 112 上施加電壓-3 伏特，於基底 52 上施加電壓 0 伏特(圖未示)，並且使

閘極導線 102、108 呈現關閉狀態，以及使閘極導線 104、106 呈現開啟狀態，如此一來，即可將資料個別寫入包含於記憶體單元串 68、92 內的雙位元儲存電晶體單元，例如，雙位元儲存電晶體單元 114、116，126、128。

如第 5 圖所示，其繪示區塊抹除(block erase)記憶體單元串 56、68、80、92 之操作方式，於記憶體單元串 56、68、80、92 上施加電壓-7 伏特，於位元接觸墊 110 上施加電壓 8 伏特，於位元接觸墊 112 上施加電壓 8 伏特，於基底 52 上施加電壓 8 伏特(圖未示)，本實施例使閘極導線 102、104、106、108 皆呈現開啟狀態，如此一來，即可抹除記憶體單元串 56、68、80、92 之中該區塊所儲存的資料。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖繪示本發明 NAND 型快閃記憶體之佈局圖。

第 2a 圖所繪示的本發明之 NAND 型快閃記憶體沿主動區域 54 所視的剖面示意圖。

第 2b 圖所繪示的為本發明之 NAND 型快閃記憶體沿主動區域 68 所視的的剖面示意圖。

第 2c 圖所繪示的為本發明之 NAND 型快閃記憶體沿主動區域 80

所視的的剖面示意圖。

第 2d 圖所繪示的本發明之 NAND 型快閃記憶體沿主動區域 92 的所視的剖面示意圖。

第 3 圖至第 5 圖，其分別繪示本發明 NAND 型快閃記憶體之操作方式。

【主要元件符號說明】

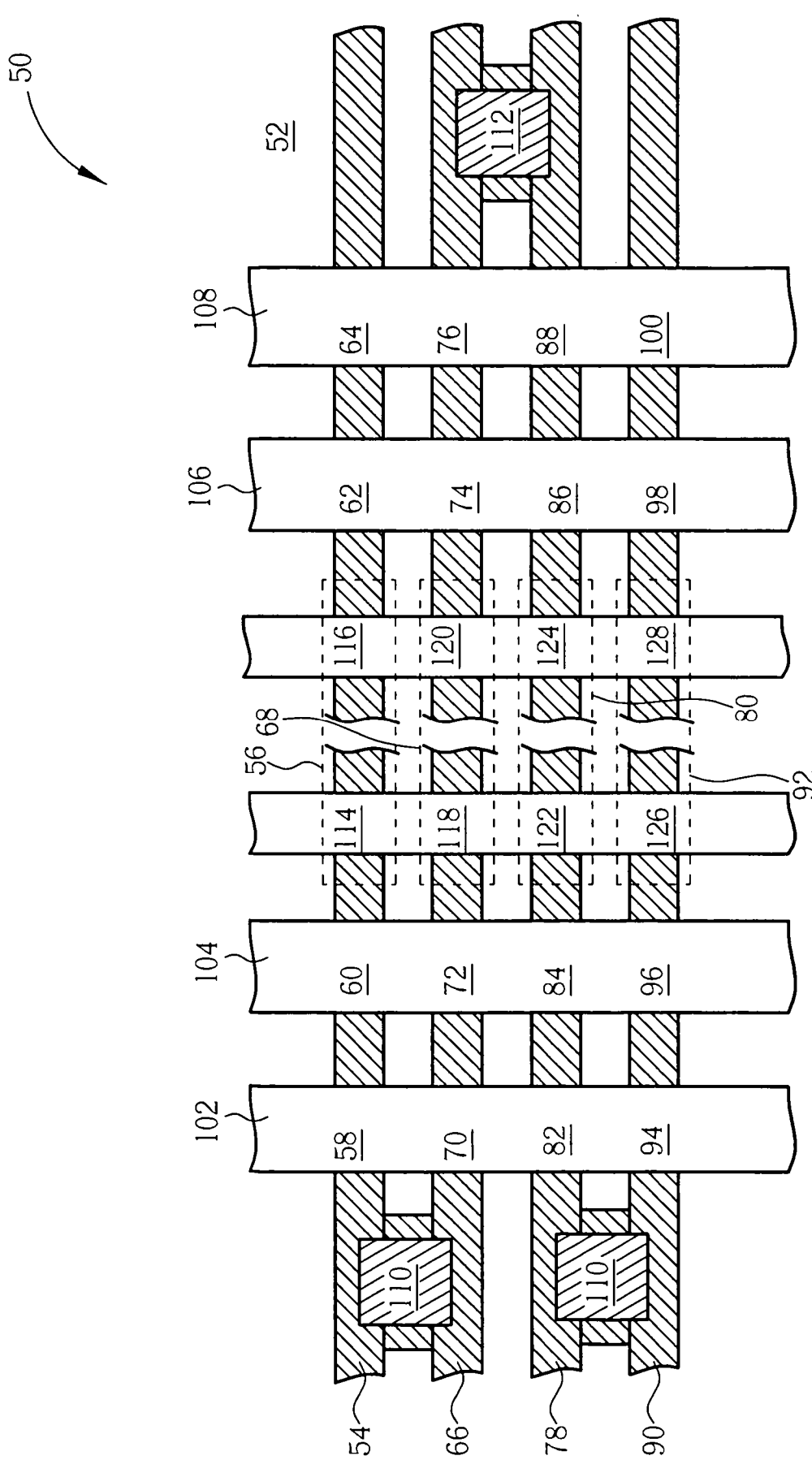
50	NAND 型快閃記憶體	52	基底
54、66、 78、90	主動區域	56、68、 80、92	記憶體單元串
58、60、 62、64	選擇閘極電晶體	70、72、 74、76	選擇閘極電晶體
82、84、 86、88	選擇閘極電晶體	94、96、 98、100	選擇閘極電晶體
102、104、 106、108	閘極導線	110、112	位元接觸墊
114、116、 118、120	雙位元儲存電晶體單元	122、124、 126、128	雙位元儲存電晶體單元

五、中文發明摘要：

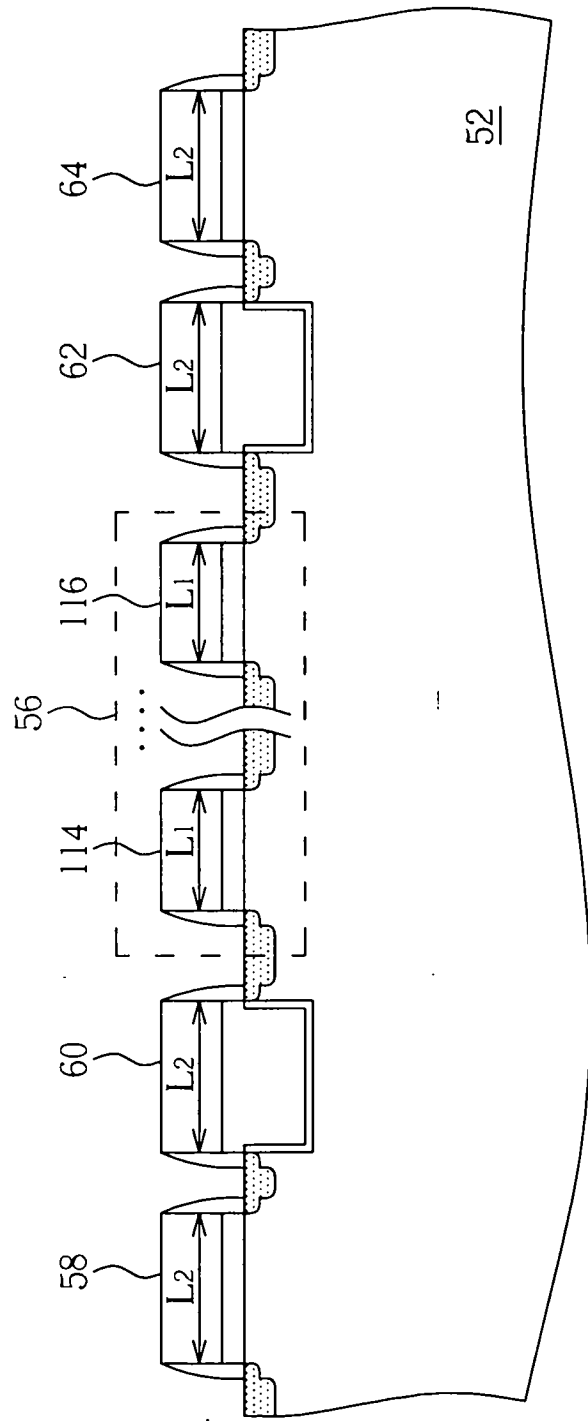
本發明提供一種記憶體佈局和結構，其特徵在於記憶體單元串之二側的選擇閘極電晶體分別具有凹入式閘極通道和水平式閘極通道兩種不同的結構。由於採用凹入式閘極通道的設計，使連結選擇閘極電晶體的閘極導線之線距縮小，因此使元件積集度提升，同時提高淺溝渠隔離製程的寬裕度。此外，在記憶體單元串之一側，構成至少一選擇閘極通道為開啟狀態的空乏元件。

六、英文發明摘要：

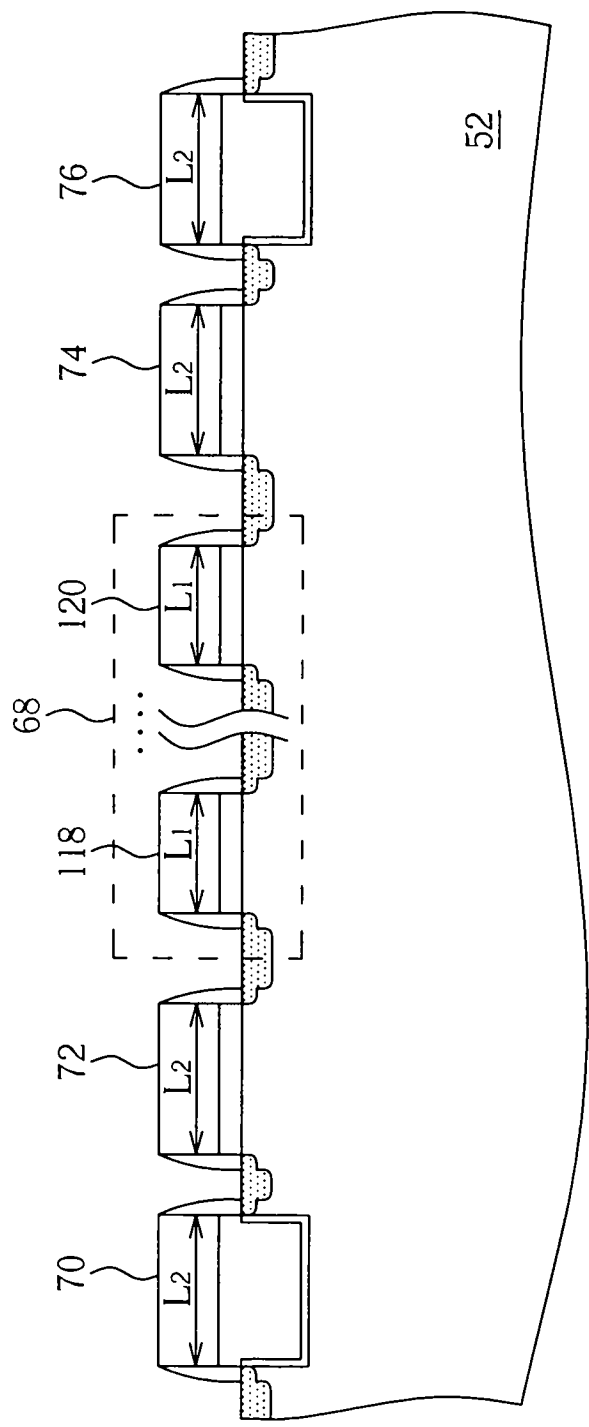
A flash memory is provided. The present invention features that the select gate transistors comprise two different channel structures, which are recessed channel structure and horizontal channel. Because of the design of the recessed channel structure the space the between the gate conductor lines, which interconnect the select gates of the select gate transistors arranged on the same column can be shortened. Therefore the integration of the flash memory can be increased and the process window of the STI process can be increased as well. In addition, at least one depletion-mode select gate transistor is at one side of the memory cell string. The select gate transistor of the depletion-mode is always turned on.



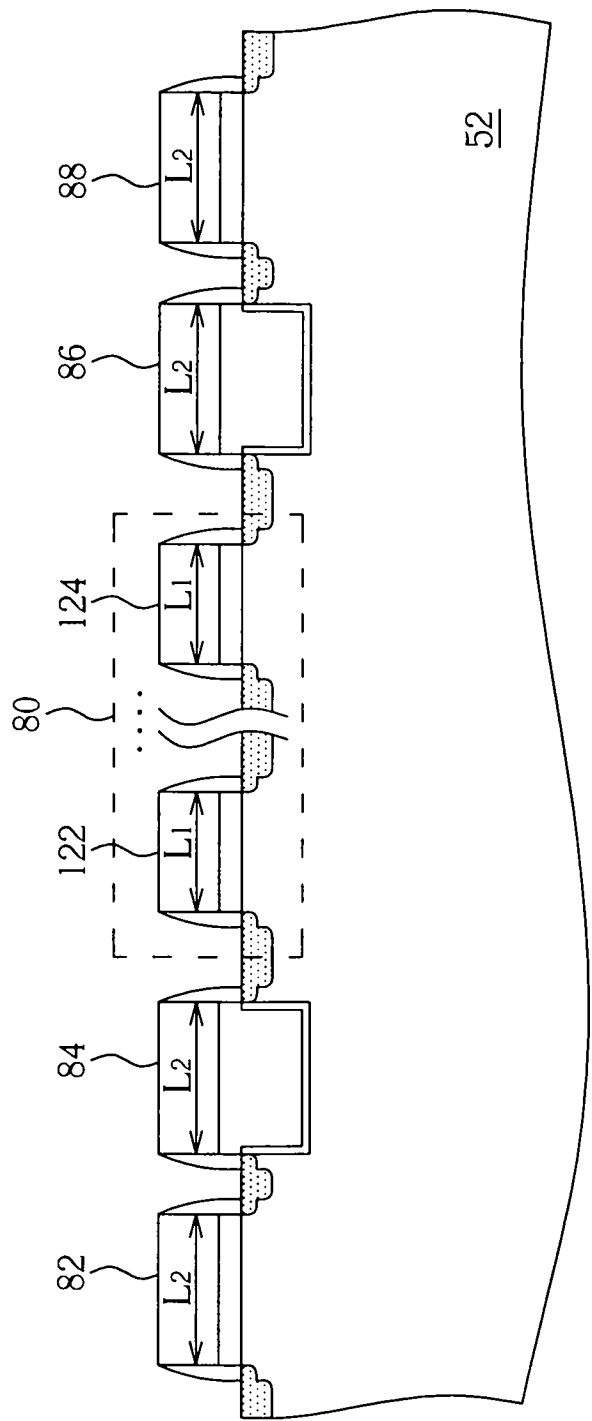
第1圖



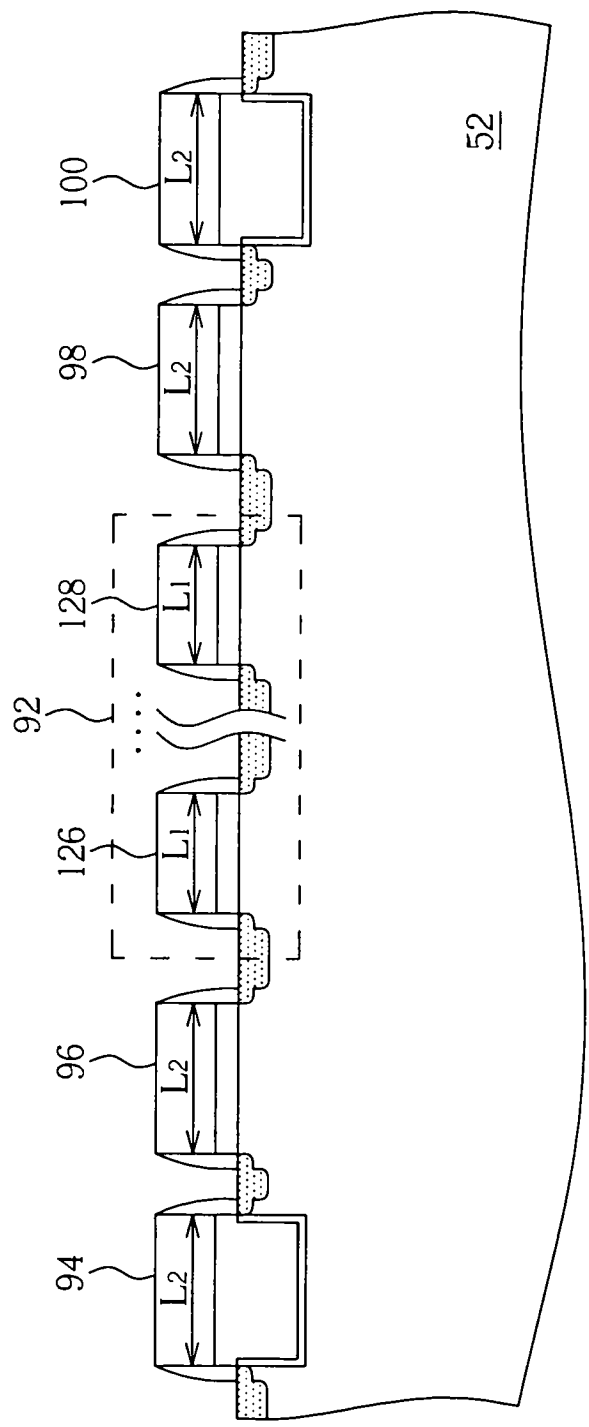
第2a圖



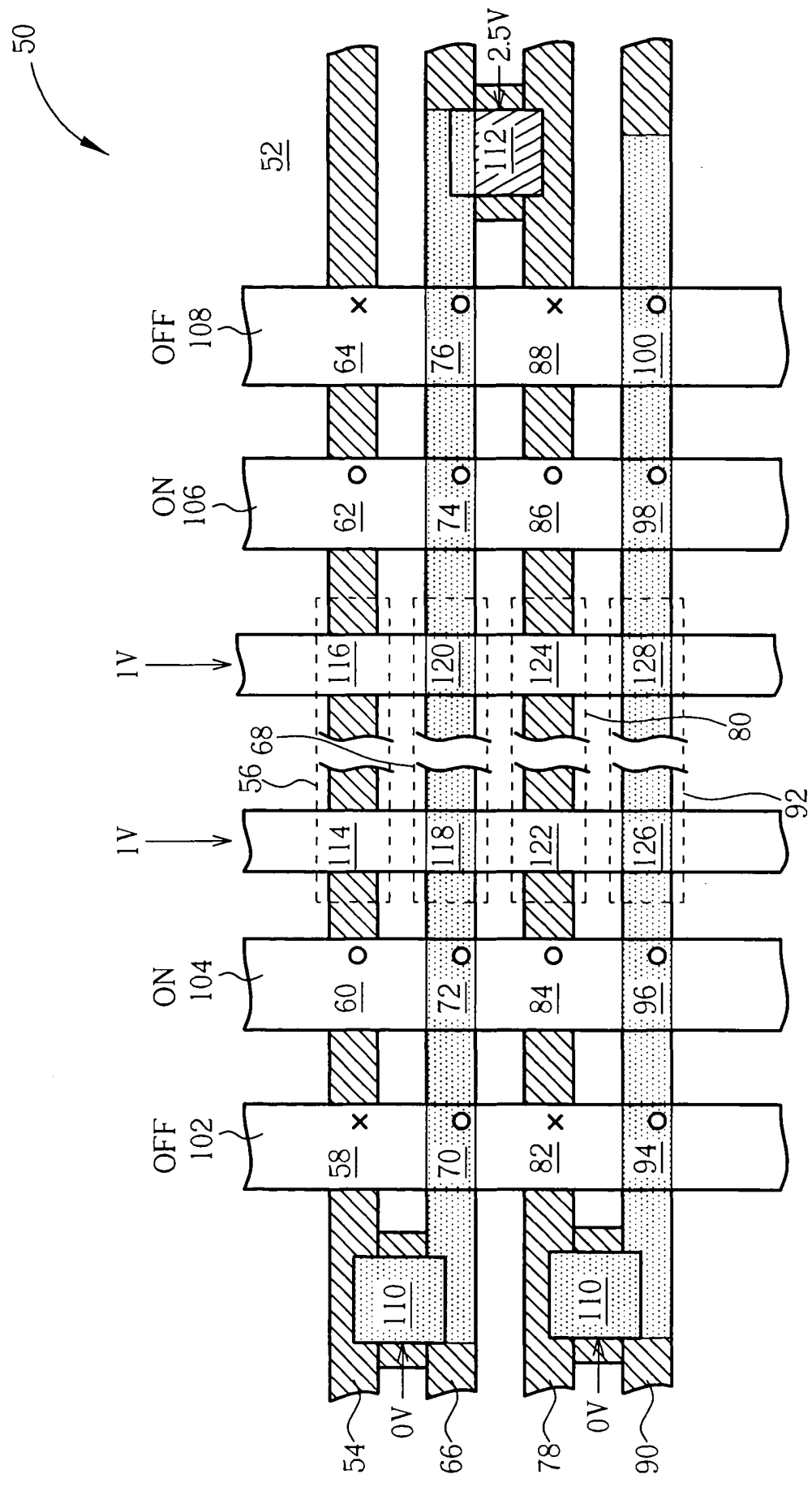
第2b圖



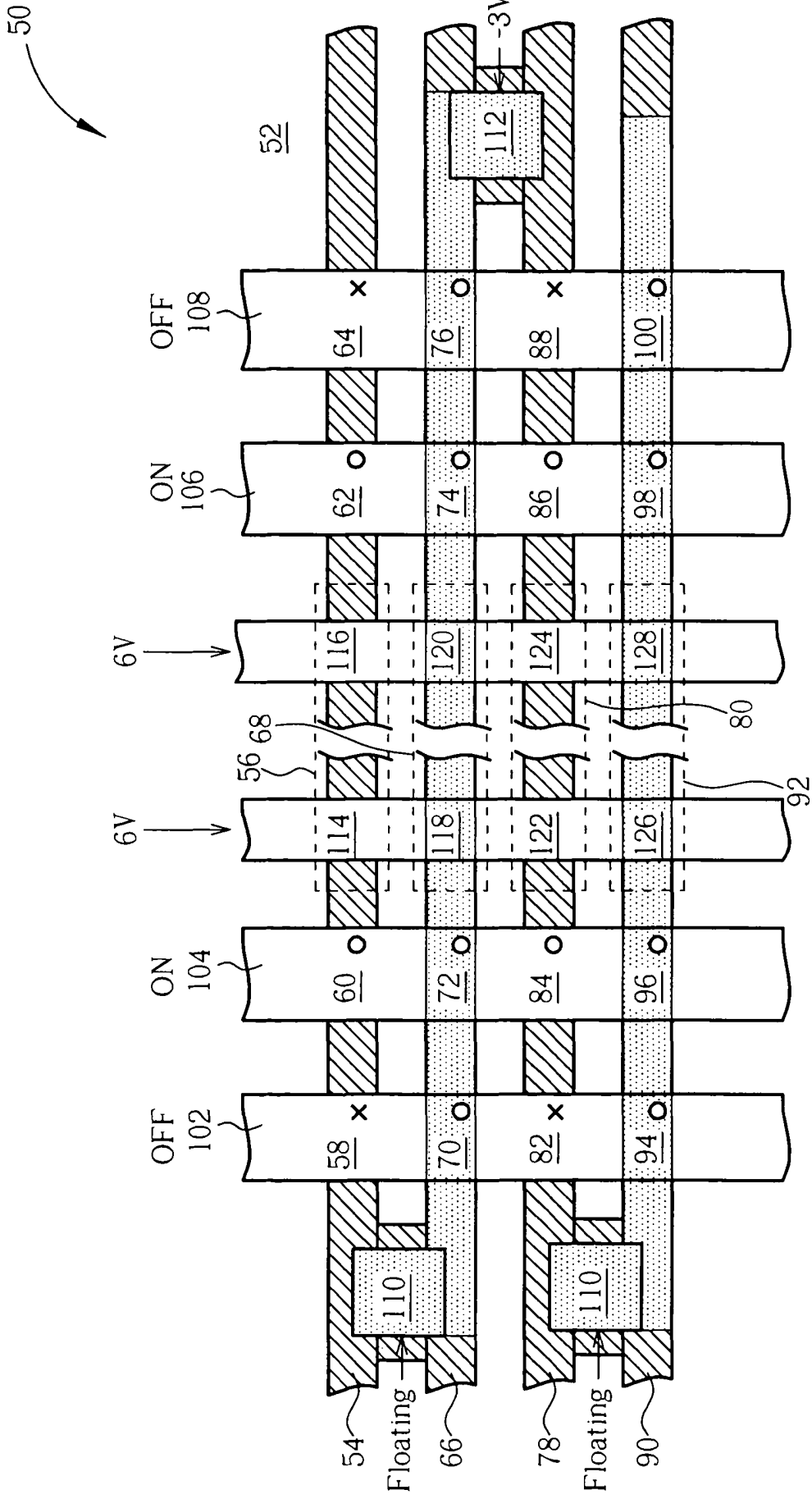
第2C圖



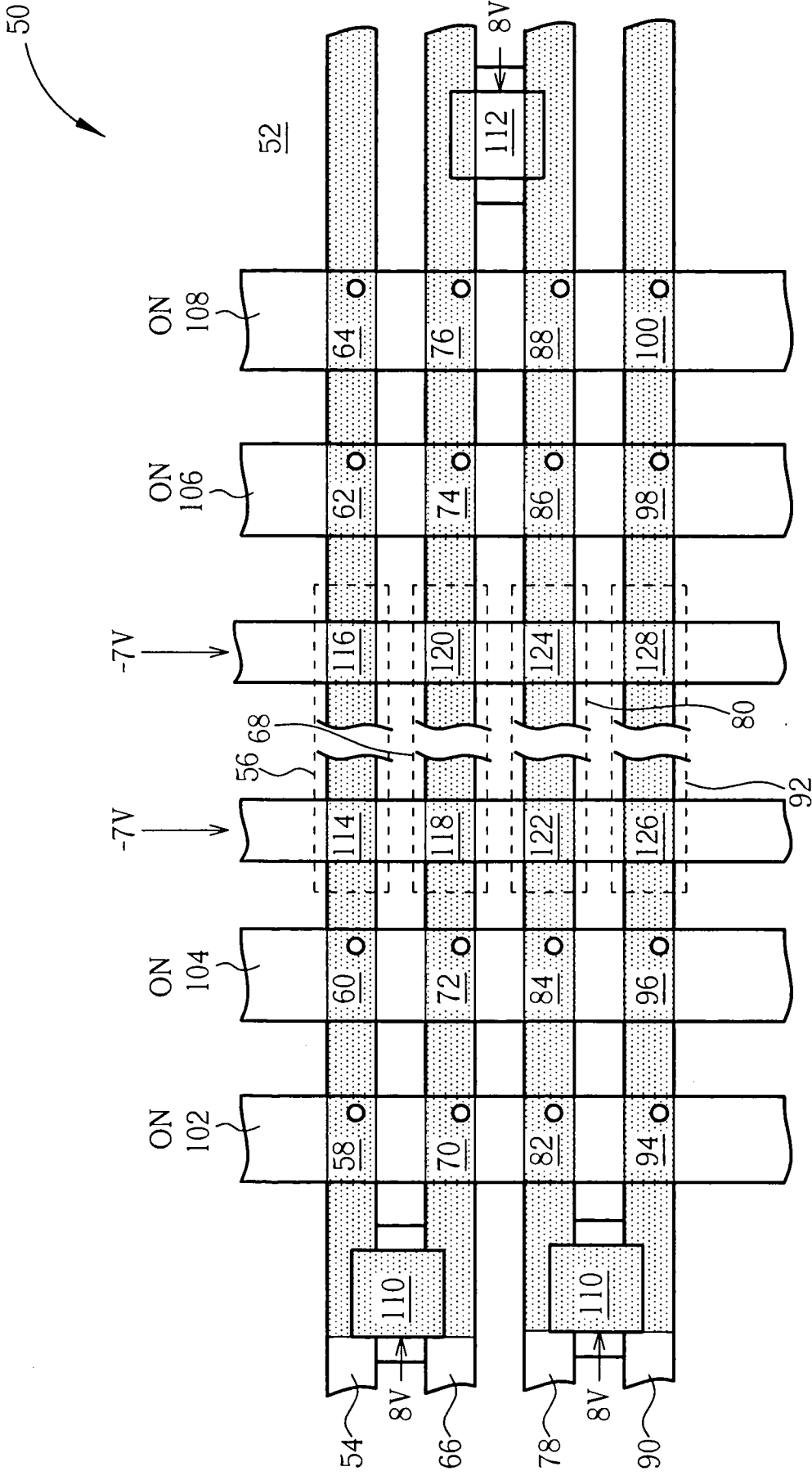
第2d圖



第3圖



第4圖



第5圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

50	NAND 型快閃記憶體	52	基底
54、66、 78、90	主動區域	56、68、 80、92	記憶體單元串
58、60、 62、64	選擇閘極電晶體	70、72、 74、76	選擇閘極電晶體
82、84、 86、88	選擇閘極電晶體	94、96、 98、100	選擇閘極電晶體
102、104、 106、108	閘極導線	110、112	位元接觸墊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種快閃記憶體，包含：

一基底；

一記憶體單元串包含複數個儲存電晶體，設於該基底上，其中該等儲存電晶體分別具有一第一閘極長度；

一第一選擇閘極電晶體包含一第二閘極長度，串接於該記憶體單元串，其中該第一選擇閘極電晶體包含一水平式閘極通道；以及

一第二選擇閘極電晶體包含一第三閘極長度，串接於該第一選擇閘極電晶體，其中該第二選擇閘極電晶體包含一凹入式閘極通道。

2. 如申請專利範圍第 1 項所述之快閃記憶體，其中該記憶體單元串包含複數個雙位元儲存電晶體。

3. 如申請專利範圍第 1 項所述之快閃記憶體，其中該第一閘極長度、第二閘極長度以及第三閘極長度相等。

4. 一種快閃記憶體，包含：

一基底；

一第一主動區域，位於該基底內，其中該第一主動區域上設有串接在同一列上的一第一記憶體單元串包含複數個第一儲存電晶體、一第一選擇閘極電晶體包含一第一閘極長度以及一第二選擇

閘極電晶體包含一第一閘極長度，其中，該第一選擇閘極電晶體包含一第一水平式閘極通道(horizontal channel)，該第二選擇閘極電晶體包含一第一凹入式閘極通道，其中，該等第一儲存電晶體分別具有一第三閘極長度；以及

一第二主動區域，位於該基底內，其中該第二主動區域上設有串接在同一列上的一第二記憶體單元串包含複數個第二儲存電晶體、一第三選擇閘極電晶體包含一第四閘極長度以及一第四選擇閘極電晶體包含一第五閘極長度，其中，該第三選擇閘極電晶體包含一第二凹入式閘極通道，該第四選擇閘極電晶體包含一第二水平式閘極通道，其中，該等第二儲存電晶體分別具有一第六閘極長度；

其中，該第一選擇閘極電晶體和該第三選擇閘極電晶體排列在同一行上，而該第二選擇閘極電晶體和該第四選擇閘極電晶體排列在同一行上。

5. 如申請專利範圍第4項所述之快閃記憶體，其中該第一選擇閘極電晶體緊鄰該第三選擇閘極電晶體。

6. 如申請專利範圍第4項所述之快閃記憶體，其中該第二選擇閘極電晶體緊鄰該第四選擇閘極電晶體。

7. 如申請專利範圍第4項所述之快閃記憶體，其中該第一記憶體單元串包含複數個第一雙位元儲存電晶體單元。

8. 如申請專利範圍第4項所述之快閃記憶體，其中該第二記憶體單元串包含複數個第二雙位元儲存電晶體單元。
9. 如申請專利範圍第4項所述之快閃記憶體，其中該第四閘極長度、第五閘極長度以及第六閘極長度相等。
10. 如申請專利範圍第4項所述之快閃記憶體，其中該第一閘極長度、第二閘極長度以及第三閘極長度相等。

十一、圖式：