

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97127655

※申請日期：97. 7. 21

※IPC 分類：H01L²¹/₃₇₆ / ²⁹/₇₈₆
(2006.01)

一、發明名稱：(中文/英文)

薄膜電晶體陣列基板及其製作方法 / THIN FILM
TRANSISTOR ARRAY SUBSTRATE AND METHOD
FOR FABRICATING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

友達光電股份有限公司/AU OPTRONICS CORPORATION

代表人：(中文/英文) 李焜耀 / LEE, KUEN-YAO

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行二路一號/NO. 1, LI-HSIN RD. II,
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共 5 人)

姓名：(中文/英文)

1. 李明賢 / LEE, MING-HSIEN

2. 石靖節 / SHIH, CHING-CHIEH

3. 卓恩宗 / CHO, AN-THUNG

4. 彭佳添 / PENG, CHIA-TIEN

5. 林昆志 / LIN, KUN-CHIH

國籍：(中文/英文) 1-5. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種薄膜電晶體陣列基板的製作方法，其包括下列步驟。首先，提供具有畫素區以及光感測區的基板。之後，形成圖案化第一導電層於基板上，其中圖案化第一導電層包括位於畫素區的閘極以及位於光感測區內的第一電極，並且於第一電極上形成光敏介電層。繼之，形成閘極絕緣層於基板上，以覆蓋閘極、光敏介電層以及第一電極。接著，形成圖案化半導體層於閘極上方的閘極絕緣層上。之後，形成源極以及汲極於閘極兩側的圖案化半導體層上，而閘極、源極與汲極構成薄膜電晶體。接著，形成第二電極於光敏介電層。

六、英文發明摘要：

A method for fabricating a thin film transistor array substrate is provided. The method includes providing a substrate having a pixel region and a photo sensitive region, forming a first patterned conductive layer on the substrate so that the first patterned conductive layer includes a gate electrode formed on the pixel region and a first electrode formed on the photo sensitive region. Then, a photosensitive dielectric layer is formed on the first electrode. A gate insulator layer is formed on the substrate to cover the gate electrode, the photosensitive dielectric layer and the first electrode. Then, a patterned semiconductor layer is formed

on the gate insulator layer above the gate electrode. After that, a source and a drain electrodes are formed on the patterned semiconductor layer at two sides of the gate electrode respectively, and the gate electrode, the source and the drain electrodes constitute a thin film transistor. Then, a second electrode is formed on the photosensitive dielectric layer.

七、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

130：畫素區

140：光感測區

310：基板

320：圖案化第一導電層

322：閘極

324：第一電極

330：光敏介電層

340：閘極絕緣層

360：圖案化半導體層

362：通道層

364：歐姆接觸層

370S：源極

370D：汲極

375：保護層

380：第二電極

382：畫素電極

H1：第一開口

H2：第二開口

P：畫素單元

T：薄膜電晶體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種薄膜電晶體陣列基板及其製作方法，且特別是有關於一種具有光感測器的薄膜電晶體陣列基板及其製作方法。

【先前技術】

隨著科技的進步，顯示器的技術也不斷地發展且其需求與日俱增。早期由於陰極射線管（Cathode Ray Tube，CRT）具有優異的顯示品質與技術成熟性，因此長年獨佔顯示器市場。然而，近來由於綠色環保概念的興起，基於陰極射線管的能源消耗較大與產生輻射量較大之特性，加上其產品扁平化空間有限，故陰極射線管無法滿足市場對於輕、薄、短、小、美以及低消耗功率的市場趨勢。因此，輕薄的平面顯示器（Flat Panel Display，FPD）逐漸取代傳統厚重的陰極映像管顯示器，其中尤以具有高畫質、空間利用效率佳、低消耗功率、低輻射等優越特性的液晶顯示器為市場之主流。

近年來，為了提昇使用者與平面顯示器之間顯示介面的操作便利性，或者基於提昇平面顯示器顯示品質的考量，光感測器的設置被整合於平面顯示器中。詳細來說，光感測器可作為光學式觸控面板（optical touch panel）的輸入裝置，當使用者以手指或是其他物品碰觸光學式觸控面板時，整合於液晶顯示面板上的光感測器可以感應光線的變化並輸出對應的訊號以執行各種功能。在另一種應用

中，光感測器整合於平面顯示器內作為環境光線(ambient light)感測器，其主要是在平面顯示器中內建光感測器，藉以偵測環境光線的強弱。

更詳細來說，在選擇光感測器中的光感測材料時，由於非晶矽材料對於光線具有高度的靈敏度，亦即非晶矽材料中的光電流量隨著光線強弱而具有較大的變化範圍，因此當光感測器整合於非晶矽薄膜電晶體陣列基板上時，通常在二電極之間設置非晶矽材料而構成光感測器。

然而，以非晶矽材料作為光感測器的光感測材料時，面臨下述問題：即使未施加電壓於非晶矽兩側的電極上，只要非晶矽材料受到光線的照射，光感測器會產生光電流衰減的問題，進而影響光感測器的信賴性表現。

因此，如何妥善設計光感測器中光感測材料的結構，以及設置位置，使得光感測器具有較高的信賴度，並且將光感測器的製程相容地整合於非晶矽薄膜電晶體製程中，實為目前光感測器應用於薄膜電晶體陣列基板上亟待克服的課題。

【發明內容】

本發明提供一種薄膜電晶體陣列基板的製作方法，其可將具有光感測元件的製程整合於薄膜電晶體製程中，並且光感測元件具有良好的光電流信賴度。

本發明提供一種薄膜電晶體陣列基板，其光感測元件具有良好信賴度。

本發明在第一導電層形成之後，便開始形成光敏介電

材料層，因此光敏介電材料層的成膜溫度得以較高溫進行製作，這將有助於提昇光敏介電層的光電流，增加光感測器的光電特性表現。

本發明提出一種薄膜電晶體陣列基板的製作方法，其包括下列步驟。首先，提供具有畫素區以及光感測區的基板。之後，形成圖案化第一導電層於基板上，其中圖案化第一導電層包括位於畫素區的閘極以及位於光感測區內的第一電極，並且於第一電極上形成光敏介電層。之後，形成閘極絕緣層於基板上，以覆蓋閘極、光敏介電層以及第一電極。接著，形成圖案化半導體層於閘極上方的閘極絕緣層上。之後，形成源極以及汲極於閘極兩側的圖案化半導體層上，而閘極、源極與汲極構成薄膜電晶體。接著，形成第二電極於光敏介電層，其中第一電極、光敏介電層與第二電極構成光感測器。

在本發明之一實施例中，在形成上述源極以及汲極後，薄膜電晶體陣列基板的製作方法另包括於基板上全面形成保護層。另外，薄膜電晶體陣列基板的製作方法還可以包括下列步驟。首先，移除部份薄膜電晶體上方之保護層，以形成第一開口，其中第一開口暴露出部分源極或汲極。之後，移除部份光感測區之保護層及保護層下對應之部分閘極絕緣層，以形成暴露出部分光敏介電層的第二開口。

在本發明之一實施例中，於光敏介電層上形成第二電極的步驟中另包括形成一與薄膜電晶體電性連接的畫素電

極，而形成第二電極以及畫素電極之方法包括下列步驟。首先，形成透明導電層於保護層上。之後，圖案化透明導電層，以形成畫素電極以及第二電極，其中畫素電極經由第一開口電性連接於源極或汲極，第二電極經由第二開口與光敏介電層連接。

在本發明之一實施例中，上述光敏介電層例如為富矽之介電層，其中富含矽之介電層包括富矽之氧化矽層、富矽之氮化矽層或富矽之碳化矽層。同時，富矽之氧化矽層之分子式例如為 SiO_x ，其中 $0.1 \leq x \leq 1.9$ 。

在本發明之一實施例中，上述光敏介電層之折射率介於 1.8 至 3.7 之間。

在本發明之一實施例中，形成上述閘極、第一電極以及光敏介電層的方法包括下列步驟。首先，依序於基板上全面形成第一導電層、光敏介電材料層。之後，於光敏介電材料層上形成圖案化光阻層，其中圖案光阻層包括第一光阻區塊以及第二光阻區塊，第一光阻區塊位於畫素區，第二光阻區塊位於光感測區，且第二光阻區塊的厚度大於第一光阻區塊的厚度。接著，以圖案光阻層為罩幕，移除被暴露的第一導電層以及光敏介電材料層，以使光感測區內剩餘的第一導電層以及光敏介電材料層構成第一電極以及光敏介電層。之後，縮減圖案化光阻層的厚度，直到第一光阻區塊被移除。接著，以剩餘的圖案光阻層為罩幕，移除被暴露的光敏介電材料層，以使畫素區內剩餘的第一導電層構成閘極。上述第二光阻區塊還可以包括一中央區

塊以及二側區塊，而中央區塊位於側區塊之間，且中央區塊的厚度大於側區塊的厚度。此外，縮減圖案化光阻層的厚度的方法可以是進行灰化製程。

在本發明之一實施例中，上述位於畫素區內的圖案化半導體層包括一通道層以及位於通道層上的歐姆接觸層。並且，在形成上述源極以及汲極時，另包括移除源極以及汲極所暴露的歐姆接觸層以及部分的通道層。

在本發明之一實施例中，形成上述圖案化半導體層的方法例如包括下列步驟。首先，形成半導體層覆蓋閘極絕緣層。之後，圖案化半導體層。

在本發明之一實施例中，形成上述源極以及汲極的方法包括下列步驟。首先，形成第二導電層覆蓋圖案化半導體層與閘極絕緣層。之後，圖案化第二導電層，以形成源極以及汲極。

在本發明之一實施例中，上述閘極絕緣層、圖案化半導體層、源極以及汲極為同時形成，而同時形成圖案化半導體層、源極以及些汲極的方法例如包括下列步驟。首先，依序於基板上全面形成閘極絕緣層、半導體層、第二導電層以及圖案化光阻層，其中圖案化光阻層包括第一光阻區塊與位於第一光阻區塊兩側的第二光阻區塊，且第一光阻區塊的厚度小於第二光阻區塊的厚度。接著，以圖案化光阻層為罩幕對第二導電層與半導體層進行第一蝕刻製程。之後，減少圖案化光阻層的厚度，直到第一光阻區塊完全被移除。接著，以剩餘之第二光阻區塊為罩幕對第二導電

層進行第二蝕刻製程，以使第二導電層構成源極以及汲極，而半導體層構成圖案化半導體層。

在本發明之一實施例中，上述保護層的材質為有機絕緣材質。

在本發明之一實施例中，上述保護層的材質為無機絕緣材質以及有機絕緣材質所構成的疊層。

在本發明之一實施例中，薄膜電晶體陣列基板的製作方法另包括下列步驟。首先，於源極以及汲極形成後，形成保護層覆蓋源極、汲極以及閘極絕緣層。接著，形成光阻層以覆蓋保護層。之後，對該光阻層進行圖案化而形成一圖案化光阻層，圖案化光阻層暴露出薄膜電晶體上方之部分保護層以及光敏介電層上方之保護層。接著，以圖案化光阻層作為罩幕，進行蝕刻製程，以移除位於薄膜電晶體上方之部分保護層，並且移除位於光感測區之部分保護層以及部分閘極絕緣層，以暴露出汲極或源極，以及暴露出光敏介電層。繼之，於基板上形成透明導電層，全面覆蓋於基板上。之後，進行剝離製程，以同時移除圖案化之光阻層與位於光阻層之上之透明導電層，以使剩餘的透明導電層中與汲極或源極連接的部分構成畫素電極，而剩餘的透明導電層中與光敏介電層連接的部分構成第二電極。

在本發明之一實施例中，上述光感測區可以位於這些畫素區的外圍。當然，上述光感測區的數目例如為多個，且每一光感測區也可以對應地形成於每一畫素區的範圍內。

本發明提出一種薄膜電晶體陣列基板，此薄膜電晶體陣列基板包括基板、圖案化第一導電層、光敏介電層、閘極絕緣層、圖案化半導體層、源極與汲極以及第二電極。基板上具有畫素區以及光感測區。圖案化第一導電層位於基板上，其中第一導電層包括一位於畫素區的閘極以及一位於光感測區的第一電極。光敏介電層位於第一電極上。閘極絕緣層覆蓋閘極、光敏介電層以及第一電極。圖案化半導體層位於閘極上方的閘極絕緣層上。源極與汲極分別於閘極兩側的圖案化半導體層上，閘極、源極與汲極構成薄膜電晶體。第二電極位於光敏介電層上，其中第一電極、光敏介電層與第二電極構成光感測器。

在本發明之一實施例中，上述薄膜電晶體陣列基板另包括覆蓋源極以及汲極的保護層，保護層例如具有第一開口及第二開口，其中第一開口暴露出部分源極或汲極，且第二開口暴露出部分光敏介電層。薄膜電晶體陣列基板還可以包括畫素電極，畫素電極之材質與第二電極之材質相同，且畫素電極經由第一開口電性連接於源極或汲極，而第二電極經由第二開口與光敏介電層連接。

在本發明之一實施例中，上述光敏介電層為富矽之介電層。

在本發明之一實施例中，上述富含矽之介電層包括富矽之氧化矽層、富矽之氮化矽層或富矽之碳化矽層。富矽之氧化矽層之分子式為 SiO_x ，其中 $0.1 \leq x \leq 1.9$ 。

在本發明之一實施例中，上述光敏介電層之折射率介

於 1.8 至 3.7 之間。

由於本發明之薄膜電晶體陣列基板的製作方法是在進行閘極的形成步驟後便開始進行光敏介電層的形成步驟，可以讓光敏介電層在容許製程溫度較高的情況下成膜，提昇光敏介電層的光電流特性。光敏介電層與閘極、第一電極可以使用同一道光罩製程進行製作，且與薄膜電晶體陣列基板的製程相容性高，不會額外增加光罩製作費用，可以節省製作成本。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

請參考圖 1A 與圖 1B，其分別繪示依據本發明之一實施例的一種整合了光感測器的薄膜電晶體陣列基板的佈局。請參照圖 1A，薄膜電晶體陣列基板 100 至少具有一顯示區 110 以及位於顯示區 110 外圍的一周邊電路區 120。顯示區 110 內具有多個陣列排列的畫素區 130。當薄膜電晶體陣列基板 100 應用於液晶顯示器上時，畫素區 130 中的多個畫素單元 P 用以顯示一畫面。周邊電路區 120 內可配置驅動元件，如掃描驅動器(Scan Driver)或資料驅動器(Data Driver)等(未繪示)。光感測區 140 則用以配置光感測器 150，並且可以依據不同的應用層面，而將光感測區 140 設計於薄膜電晶體陣列基板 100 上的不同位置。

更詳細而言，請參照圖 1A，光感測區 140 的數目為多個，並且在本實施例中，每一光感測區 140 對應地配置

於每一畫素區 130 的範圍內。當然，光感測器 150 配置方式也可以將多個畫素區 130 歸類為一組，而每一光感測區 140 對應地配置於每一組畫素區中，本發明並不限定光感測區 140 與對應之畫素區 130 的數量及其相互配置方式。在實際的操作上，使用者將手指或是其他物體置放於光感測器 150 上方而使光線產生強度的變化，而當施加一操作電壓於光感測器 150 上的二電極時，可以使得光感測器 150 依據光線強度的變化量產生並輸出對應的訊號以執行各種功能。詳言之，在本實施例中，光感測器 150 屬於一種遮光感測模式，手指或物體的碰觸會將光感測器 150 上方的光線遮蔽，其將於後進行說明。因此，光感測器 150 會輸出對應的訊號以達到觸控控制的作用。換言之，遮光感測模式是以感測外界光線被遮蔽情形以進行觸控感測。而多個應用此種型態之薄膜電晶體陣列基板 100 的顯示器，可以將觸控面板直接內建(built-in)於顯示面板中，進而使得人機介面(Man-Machine Interface, MMI)的設計具有更高便利性。

請參照圖 1B，光感測區 140 還可以選擇性地配置於畫素區 130 整體的外圍；換言之，光感測區 140 亦可以選擇性地配置於周邊電路區 120 的適當位置，本發明並不以此為限。如圖 1B 所示，在應用此種型態之薄膜電晶體陣列基板 200 的顯示器中，光感測器 150 藉以偵測環境光線的強弱，並將環境光線的變化轉為光電訊號，在藉由此光電訊號回授背光源的輸出，藉此可以調節顯示器背光源

(back-light)的亮度，達到省電的效果。同時，藉由偵測環境光線的強弱，也可以自動調節液晶顯示面板的亮度和對比度，不僅能減緩高亮度和反光帶來的眼睛疲勞，還能降低液晶顯示面板的能量消耗。

圖 2 進一步繪示圖 1A 或圖 1B 之薄膜電晶體陣列基板的局部剖面結構示意圖。如圖 2 所示，其中為使圖式表達較為簡明，數量可能為多個的元件在圖 2 中可能僅繪示一個來表示。請參照圖 2，薄膜電晶體陣列基板 300 包括基板 310、圖案化第一導電層 320、光敏介電層 330、閘極絕緣層 340、圖案化半導體層 360、源極 370S 與汲極 370D 以及第二電極 380。如前述，基板 310 上具有畫素區 130 以及光感測區 140，且本發明並不限定光感測區 140 與畫素區 130 的相對位置。

請參照圖 2，圖案化第一導電層 320 位於基板 310 上，其中圖案化第一導電層 320 包括一位於畫素區 130 的閘極 322 以及一位於光感測區 140 的第一電極 324。光敏介電層 330 位於第一電極 324 上，且光敏介電層 330 之折射率例如是介於 1.8 至 3.7 之間的材質，其例如是富矽之介電層。這裡要說明的是，所謂富矽是指在介電層中，矽含量超過正當化學比例(化學當量)，也就是在介電層中，矽含量達到過量；更詳細而言，富矽之氧化矽層的分式為 SiO_x ，其中 $0.1 \leq x \leq 1.9$ 。實際適用的材質例如可為富矽之氧化矽 (silicon rich oxide; SiO_x)、富矽之氮化矽 (silicon rich nitride; SiN_y) 或富矽之碳化矽 (silicon rich oxynitride; SiC_z)

等，其中 x 例如介於 0.01 至 2 之間，較佳的是介於 0.1 至 1.9 之間， y 例如介於 0.01 至 1.33 之間，而 z 例如介於 0.01 至 1 之間。本發明並不限於上述材質，亦可選用其他富矽化合物替代。

請繼續參照圖 2，閘極絕緣層 340 覆蓋閘極 322、光敏介電層 330 以及第一電極 324，其中閘極絕緣層 340 之材質例如是氧化矽、氮化矽、氮氧化矽或其疊層等介電材料。圖案化半導體層 360 位於閘極 322 上方的閘極絕緣層 340 上，在本實施例中，圖案化半導體層 360 包括通道層 362 以及位於通道層 362 上的歐姆接觸層 364，而通道層 362 以及歐姆接觸層 364 的材質例如是非晶矽以及 N 型重摻雜之非晶矽。源極 370S 與汲極 370D 分別於閘極 322 兩側的圖案化半導體層 360 上，並且源極 370S 與汲極 370D 可依電性需求，彼此互換其命名。

位於畫素區 130 內的閘極 322、源極 370S 與汲極 370D 構成薄膜電晶體 T，這些薄膜電晶體 T 在基板 310 上的排列方式如圖 1A 與圖 1B 所示，呈現陣列排列而構成薄膜電晶體陣列基板 300。此外，第二電極 380 位於光敏介電層 330 上，如此，位於光感測區 140 內的第一電極 324、光敏介電層 330 以及第二電極 380 構成光感測器 390。值得注意的是，在本實施例中，第一電極 324 與第二電極 380 例如分別為金屬材質以及透明導電材質，因此當外界光線透過第二電極 380 而照射在光敏介電層 330 上時，光敏介電層 330 中產生電子電洞對(electron-hole pair)，當施加電壓

於第一電極 324 與第二電極 380 上時，這些電子電洞對中的電子與電洞彼此分離，依其電性而往第一電極 324 與第二電極 380 流動，進而產生光電流變化。

此外，如圖 2 所示，薄膜電晶體陣列基板 300 還可以包括覆蓋源極 370S 以及汲極 370D 的保護層 375，其中保護層 375 具有第一開口 H1 及第二開口 H2，而第一開口 H1 暴露出部分源極 370S 或汲極 370D，且第二開口 H2 暴露出部分光敏介電層 330。此外，薄膜電晶體陣列基板 300 還可以包括畫素電極 382，且畫素電極 382 經由第一開口 H1 電性連接於汲極 370D；當然，在其他實施例中，汲極 370D 與源極 370S 亦可以互換，使得畫素電極 382 電性連接於源極 370S。每一畫素區 130 中的畫素電極 382 與薄膜電晶體 T 可構成一畫素單元 P，而且在可能的情況下，每一畫素區 130 內的薄膜電晶體 T 會結合一儲存電容(未繪示)，以提供較佳的顯示效果。第二電極 380 經由第二開口 H2 與光敏介電層 330 連接，且第二電極 380 之材質與畫素電極 382 之材質相同；換言之，第二電極 380 之材質例如為透明導電材料，使得光感測器 390 具有較大的感光面積，可以提高感光效能。

在本實施例中，薄膜電晶體陣列基板 300 的其中一個技術特點是在於畫素區 130 中的畫素單元 P 與光感測區 140 中的光感測器 390 可以整合於相同的製程中製作。例如，畫素區 130 中的畫素單元 P 可以與光感測區 140 中的光感測器 390 同時製作，而形成閘極 322 與第一電極 324、

畫素電極 382 與第二電極 380。進一步而言，閘極 322 與第一電極 324 例如是由相同的第一導電層 320 圖案化而成，畫素電極 382 與第二電極 380 例如是由相同的第二導電層圖案化而成，而光敏介電層 330 例如是在進行閘極 322 以及第一電極 324 的圖案化製程時，以相同的半調式光罩 (halftone mask) 進行製作。

為進一步說明本發明的技術內容，下文更搭配圖示列舉幾種本發明之薄膜電晶體陣列基板 300 的製作方法，其中圖 3A 至圖 3F 為利用五道光罩製程的製程流程圖，圖 4A 至圖 4F 為利用四道光罩製程的製程流程圖，而圖 5A 至圖 5H 為利用三道光罩製程的製程流程圖。

首先，請參考圖 3A 至圖 3G，其依序繪示本發明之一實施例的一種薄膜電晶體陣列基板的製程。請同時參照圖 3A 與圖 3B，提供基板 310，其中基板 310 例如是玻璃、石英或塑膠等透光基板 310，其上至少劃分畫素區 130 以及光感測區 140，相關配置如上文所述。如圖 3B 所示，於基板 310 上形成圖案化第一導電層 320，而圖案化第一導電層 320 包括位於畫素區 130 的閘極 322 以及位於光感測區 140 內的第一電極 324，並於第一電極 324 上形成光敏介電層 330。

更進一步而言，如圖 3A 所示，形成閘極 322、第一電極 324 以及光敏介電層 330 的方法例如先於基板 310 上依序全面形成第一導電層 320'、光敏介電材料層 330'，其中第一導電層 320' 例如是藉由濺鍍 (sputtering)、蒸鍍

(evaporation)或是其他薄膜沈積技術所形成之後。之後，於光敏介電材料層 330'上形成圖案化光阻層 332，其中圖案化光阻層 332 包括第一光阻區塊 332A 以及第二光阻區塊 332B，第一光阻區塊 332A 位於畫素區 130，第二光阻區塊 332B 位於光感測區 140，且第二光阻區塊 332B 具有厚度大於第一光阻區塊 332A 的厚度之部分，形成上述圖案化光阻層 332 的方法例如是經由一半調式光罩製程或一灰調式光罩製程。值得一提的是，在本實施例中，第二光阻區塊 332B 還可以進一步劃分為具有較厚之厚度的中央區塊 334 以及厚度約略等於第一光阻區塊 332A 的二側區塊 336，中央區塊 334 位於二側區塊 336 之間，且中央區塊 334 的厚度大於側區塊 336 的厚度。當然，第二光阻區塊 332B 也可以僅具有一種厚度，本發明並不以此為限。

接著，如圖 3A 所示，以圖案化光阻層 332 為罩幕，以移除未被圖案化光阻層 332 所覆蓋的第一導電層 320'以及光敏介電材料層 330'。之後，縮減圖案化光阻層 332 的厚度，直到第一光阻區塊 332A 被移除，其中縮減圖案化光阻層 332 厚度的方法可以是利用氧電漿進行灰化製程。在本實施例中，厚度與第一光阻區塊 332A 約略相同的二側區塊 336 在此時亦同時被移除。接著，以剩餘的第二光阻區塊 332B 為罩幕，在本實施例中，此時剩餘的圖案化光阻層 332 為中央區塊 334，移除被暴露的光敏介電材料層 330'，以使畫素區 130 內閘極 322 上方的光敏介電材料層 330'被移除，而形成如圖 3B 所示之閘極 322、第一電極

324 以及光敏介電層 330。

更詳細而言，光敏介電層 330 的材質可依光感測器 390 的感光靈敏度、信賴度等需求而調整材質，例如為富矽之介電層，且光敏介電層 330 的折射率例如是介於 1.8 至 3.7 之間。實際適用的材質例如可為富矽之氧化矽 SiO_x 、富矽之氮化矽 SiN_y 或富矽之碳化矽 SiC_z 等，其中 $0.1 \leq x \leq 1.9$ ， $0.1 \leq y \leq 1.33$ ， $0.1 \leq z \leq 1$ ，本發明並不限於上述材質，亦可選用其他富矽化合物替代。

值得一提的是，光敏介電材料層 330' 例如是藉由電漿加強型化學氣相沈積 (plasma enhanced chemical vapor deposition, PECVD) 或其他合適的薄膜沈積技術所形成，並在成膜過程中，增加膜中的矽含量。增加膜中矽含量的可能手段例如為增加反應氣體中矽元素的含量、增加施加於基板 310 上的製程偏壓 (bias)、或者是調變成膜時基板 310 的溫度等。並且，研究中發現，光敏介電層 330 所構成之光感測器 390 的光電流特性會受成膜溫度的影響。詳言之，以較高溫 (例如 370°C) 所沈積之光敏介電層 330 的光電流表現較佳，相較於以較低溫 (例如 280°C) 沈積之光敏介電層 330 的光電流，較高成膜溫度之光敏介電層 330 的光電流約略為較低成膜溫度之光敏介電層 330 的 7.68 倍，相關數據將於圖 6 中進行說明。

當光感測器 390 整合於薄膜電晶體陣列基板 300 的製程中時，光感測器 390 中作為感光材料的光敏介電層 330 之製程溫度受限於薄膜電晶體 T 製程的製程容許溫度。值

得注意的是，實際上因為製程限制，薄膜電晶體陣列基板 300 之後段製程的容許製程溫度低於薄膜電晶體陣列基板 300 之前段製程的容許製程溫度，因此，形成光敏介電層 330 之製程若能提前於前段製程中製作，則光敏介電層 330 之成膜溫度越能提高，有助於光感測器 390 整體的光電表現。本發明在第一導電層 320' 形成之後，便開始形成光敏介電材料層 330'，因此光敏介電材料層 330' 的成膜溫度得以較高溫進行製作，這將有助於提昇光敏介電層 330 的光電流，增加光感測器 390 的光電特性表現。

之後，如圖 3C 所示，於基板 310 上形成閘極絕緣層 340，以覆蓋閘極 322、光敏介電層 330 以及第一電極 324。接著，形成圖案化半導體層 360 於閘極 322 上方的閘極絕緣層 340 上。閘極絕緣層 340 的材質例如是氧化矽、氮化矽、氮氧化矽或其疊層等介電材料，而形成閘極絕緣層 340 之方法例如是藉由化學氣相沈積法或其他合適的薄膜沈積技術。此外，在本實施例中，形成圖案化半導體層 360 之方法例如是藉由化學氣相沈積法全面性地沈積一半導體層 360'，接著，再圖案化該半導體層 360' 以形成圖案化半導體層 360。在本實施例中，圖案化半導體層 360 包括通道層 362 以及位於通道層 362 上的歐姆接觸層 364，而通道層 362 以及歐姆接觸層 364 的材質例如是非晶矽以及 N 型重摻雜之非晶矽，其形成方法例如是化學氣相沈積法。

接著，如圖 3D 所示，於閘極 322 兩側的圖案化半導體層 360 上形成源極 370S 以及汲極 370D，其中形成源極

370S 以及汲極 370D 的方法包括先形成第二導電層 370 覆蓋圖案化半導體層 360 與閘極絕緣層 340，接著再對第二導電層 370 進行圖案化，而第二導電層 370 之材質例如為鋁(Al)、鉬(Mo)、鈦(Ti)、釹(Nd)、上述氮化物如氮化鉬(MoN)、氮化鈦(TiN)、其疊層、上述合金或是其他導電材料。閘極 322、源極 370S 與汲極 370D 構成薄膜電晶體 T。

另外，在本實施例中，歐姆接觸層 364 用以降低通道層 362 與源極 370S 之間以及通道層 362 與汲極 370D 之間的接觸阻抗，為了避免位於通道層 362 上方之歐姆接觸層 364 造成源極 370S 與汲極 370D 之間產生短路現象，影響薄膜電晶體 T 的元件開關特性，因此在形成源極 370S 以及汲極 370D 時，更移除源極 370S 以及汲極 370D 所暴露的歐姆接觸層 364，實務上在移除源極 370S 以及汲極 370D 所暴露的歐姆接觸層 364 時，位於其下方之通道層 362 亦會被移除部分。

在本實施例中，如圖 3E 所示，於源極 370S 以及汲極 370D 形成後，還可以於薄膜電晶體 T 上方全面覆蓋一保護層 375，以保護形成於基板 310 上的元件。當然，薄膜電晶體陣列基板 300 更可以視其應用範圍而增加後續元件的搭配，例如在本實施例中，薄膜電晶體陣列基板 300 是應用於液晶顯示器，因此薄膜電晶體 T 例如是與畫素電極 382 共同構成顯示用的畫素單元 P(繪示於圖 2)。

如圖 3E 所示，薄膜電晶體陣列基板 300 的製作方法另包括移除部份薄膜電晶體 T 上方之保護層 375，以形成第

一開口 H1，其中第一開口 H1 暴露出部分源極 370S 或汲極 370D，端視薄膜電晶體 T 的種類而定。之後，移除部份光感測區 140 之保護層 375 及保護層 375 下對應之部分閘極絕緣層 340，以形成暴露出部分光敏介電層 330 的第二開口 H2。保護層 375 的材質可以是例如是由氧化矽、氮化矽或氮氧化矽等無機絕緣材質所組成，而形成保護層 375 的方法例如是藉由合適的薄膜沈積技術，如化學氣相沈積法所形成。在其他實施例中，保護層 375 的材質也可以是例如是如壓克力樹脂的有機絕緣材質，此有機絕緣材質通常具有感光性質，且有機絕緣材質之保護層 375 的形成方法通常是先藉由旋轉塗佈法進行塗佈後，再經過軟烤、曝光、顯影、硬烤等步驟。

接著，如圖 3F 所示，更可以在第二電極 380 的形成步驟中，一併形成與薄膜電晶體 T 電性連接的畫素電極 382。形成第二電極 380 以及畫素電極 382 之方法例如先於保護層 375 上形成透明導電層(圖未示)，並對透明導電層進行圖案化，以形成畫素電極 382 以及第二電極 380。透明導電層之材質例如是銦錫氧化物(ITO)、銦鋅氧化物(IZO)或是其他透明導電材質。畫素電極 382 藉由所對應的第一開口 H1 耦接到所對應的源極 370S 或汲極 370D，而第二電極 380 藉由第二開口 H2 堆疊於光敏介電層 330 上，並與光敏介電層 330 接觸。如此，由第一電極 324、光敏介電層 330 以及第二電極 380 便可形成光感測器 390，用以感測使用者觸控時的光線變化，或者感測環境的光線變化。

承上述，由於光感測器 390 的第二電極 380 為透明導電層，因此外界光線可直接通過第二電極 380 照射光敏介電層 330。在光感測器 390 的運作上，有助於大幅增加光感測器 390 的感光面積，並提升其光感測效能。此外，由於第一電極 324 可以為金屬電極，因此當薄膜電晶體 T 應用於液晶顯示器時，可有效阻擋背光源直接照射光敏介電層 330，因而避免可能的雜訊影響。值得一提的是，如圖 3F 所示，保護層 375 的材質可以是由無機絕緣材質 375 所構成的單一膜層，而圖 3F' 繪示本發明另一實施例之薄膜電晶體陣列基板。請參照圖 3F'，薄膜電晶體陣列基板 300' 中保護層 375 的材質也可以是無機絕緣材質 375A 以及有機絕緣材質 375B 所構成的疊層，如圖 3F' 所示，本發明並不用以限定保護層 375 的型態與組成。

上述實施例為利用五道光罩製程來進行薄膜電晶體陣列基板 300 的製作，實務上設計者可因應光罩製作考量、成本考量或線上製程能力的需求，可進一步簡化薄膜電晶體陣列基板 300 的流程，下文再分別列舉一種四道光罩製程以及三道光罩製程之製作流程為例作說明，進一步降低製作成本。

圖 4A 與圖 4F 進一步繪示本發明之一實施例的薄膜電晶體陣列基板之製作流程，其依序繪示本發明之一種薄膜電晶體陣列基板 400 利用四道光罩製程的製程流程圖。為簡化說明，本實施例不再對該些與圖 3A 至圖 3F 所示之製作流程類似的部份加以說明。如圖 4C 與 4D 所示，與前述

實施例之薄膜電晶體陣列基板 300 相較，本實施例之薄膜電晶體陣列基板 400 的製作方法中，圖案化半導體層 360、源極 370S 以及汲極 370D 為同時形成。詳言之，請先參照圖 4C，於閘極 322、第一電極 324 以及光敏介電層 330 形成之後，依序於基板 310 上全面形成閘極絕緣層 340、半導體層 360'、第二導電層 370 以及圖案化光阻層 332，其中半導體層 360' 例如是由通道層 362 以及歐姆接觸層 364 所構成的疊層，且圖案化光阻層 332 包括第一光阻區塊 332A 與位於第一光阻區塊兩側的第二光阻區塊 332B，且第一光阻區塊 332A 的厚度小於第二光阻區塊 332B 的厚度。形成上述圖案化光阻層 332 之第一光阻區塊 332A 與第二光阻區塊 332B 的方法例如是經由一半調式光罩製程或一灰調式光罩製程。接著，以圖案化光阻層 332 為罩幕對第二導電層 370 與半導體層 360' 進行第一蝕刻製程。之後，減少圖案化光阻層 332 的厚度，直到第一光阻區塊 332A 完全被移除，其中減少圖案化光阻層 332 厚度的方法例如是採用灰化的方式。接著，如圖 4D 所示，以剩餘之第二光阻區塊 332B 為罩幕對第二導電層 370 進行第二蝕刻製程，以使第二導電層 370 構成源極 370S 以及汲極 370D，而半導體層 360' 構成圖案化半導體層 360。

承接上述實施例，圖 4A~圖 4F 為利用四道光罩製程來進行薄膜電晶體陣列基板 400 的製作。此外，本發明之薄膜電晶體陣列基板更可進一步利用三道製程完成上述具有光感測器之薄膜電晶體陣列基板的製作，下文列舉一種

利用三道光罩製程的製作流程為例作說明，可以進一步縮短製作時效，降低製造成本。

圖 5A 與圖 5H 為進一步繪示本發明之一實施例的薄膜電晶體陣列基板之製作流程，其依序繪示本發明之一種薄膜電晶體陣列基板 500 利用三道光罩製程的製程流程圖。為簡化說明，本實施例不再對該些與圖 4A 至圖 4F 所示之製作流程類似的部份加以說明。如圖 5E~圖 5H 所示，與圖 4A 至圖 4F 所示之前述實施例之薄膜電晶體陣列基板 400 相較，本實施例之薄膜電晶體陣列基板 500 的製作方法中，可以省略習知之第二電極 380 以及畫素電極 382 的光罩圖案化製程。詳言之，如圖 5E 所示，於源極 370S 以及汲極 370D 形成後，形成一覆蓋源極 370S、汲極 370D 以及閘極絕緣層 340 的保護層 375。接著，於保護層 375 上形成光阻層，並對此光阻層進行圖案化而形成圖案化光阻層 332，其中圖案化光阻層 332 暴露出薄膜電晶體 T 上方之部分保護層 375 以及光敏介電層 330 上方之部分保護層 375，其中暴露出薄膜電晶體 T 上方之部分保護層 375 位於汲極或源極上方，而暴露出光敏介電層 330 上方之保護層 375 為第二電極 380 的預定形成區域 380R，且在本實施例中，圖案化光阻層 332 具有厚度較薄的第一光阻區塊 332A 以及厚度較厚的第二光阻區塊 332B，其中厚度較薄的第一光阻區塊 332A 為畫素電極 382 的預定形成區域 382R。

之後，如圖 5F 所示，以圖案化光阻層 332 作為罩幕，進行蝕刻製程，以移除位於薄膜電晶體 T 上方之部分保護層

375，並且移除位於光感測區 140 之部分保護層 375 以及部分閘極絕緣層 340，以暴露出汲極 370D 或源極 370S，以及暴露出光敏介電層 330。之後，在本實施例中，進行一灰化製程，以縮減圖案化光阻層 332 的厚度，直到第一光阻區塊 332A 被完全移除，暴露出畫素電極 382 之預定形成區域 382R。接著，如圖 5G 所示，於基板 310 上形成透明導電層 388，其全面覆蓋於基板 310 上，而形成透明導電層 388 的方法例如是藉由濺鍍形成一銦錫氧化物層或一銦鋅氧化物層。由於作為透明導電層 388 底層之圖案化光阻層 332 具有一適當厚度，並利用透明導電層 388 之沈積製程的非等向性特性，使得在形成透明導電層 388 時會形成電性絕緣的二部分 388A、388B，其一位於第二光阻區塊 332B 上的部分透明導電層 388A，另一為位於保護層 375 上方的部分透明導電層 388B。

接著，如圖 5H 所示，進行剝離製程，以同時移除圖案化光阻層 332 與位於圖案化光阻層 332 之上之部分透明導電層 388A，以使剩餘的透明導電層 388B 中與汲極 370D 或源極 370S 連接的部分構成畫素電極 382，而剩餘的透明導電層 388 中與光敏介電層 330 連接的部分構成第二電極 380。值得注意的是，不同於習知，本實施例利用適當的圖案化光阻層 332 圖案，於形成透明導電層 388 時同步圖案化該透明導電層 388，而完成畫素電極 382 以及第二電極 380 的製作，因此本發明可以減少一道光罩製程，並降低製程的複雜度，節省成本。

圖 6 繪示本發明所形成之一種光感測器在實際操作

時，其光強度相對於光電流的特性曲線。在此舉例的實施例中，光感測器 590 中之光敏介電層的成膜溫度約略為 370°C，而光感測器 490 中之光敏介電層的成膜溫度約略為 280°C，由圖 6 的光電流的特性曲線得知，以成膜溫度為 370°C 之光敏介電層作為光感測器 590 時，其具有較大的光電流，且其光電流約略為以成膜溫度為 280°C 之光敏介電層作為光感測器 490 時的 7.68 倍。換言之，由於本發明之光敏介電層可以提前至形成第一個光罩製程中同時製作，不但不會額外增加光罩的費用，並且由於前段製程的容許溫度高，可以提高光敏介電層的成膜溫度，進而提昇光感測器的光電效率。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 與圖 1B 分別繪示依據本發明之一實施例的一種整合了光感測器的薄膜電晶體陣列基板的佈局。

圖 2 進一步繪示圖 1A 或圖 1B 之薄膜電晶體陣列基板 300 的局部剖面結構示意圖。

圖 3A 至圖 3F 繪示本發明之一實施例的薄膜電晶體陣列基板之製作流程

圖 3F' 繪示本發明之另一實施例的薄膜電晶體陣列基板示意圖。

圖 4A 與圖 4F 進一步繪示本發明之一實施例的薄膜電晶體陣列基板之製作流程。

圖 5A 與圖 5H 為進一步繪示本發明之一實施例的薄膜電晶體陣列基板之製作流程。

圖 6 繪示本發明所形成之一種光感測器在實際操作時，其光強度相對於光電流的特性曲線。

【主要元件符號說明】

100、200、300、400、500：薄膜電晶體陣列基板

110：顯示區

120：周邊電路區

130：畫素區

132：畫素單元

140：光感測區

150：光感測器

310：基板

320：圖案化第一導電層

320'：第一導電層

322：閘極

324：第一電極

330：光敏介電層

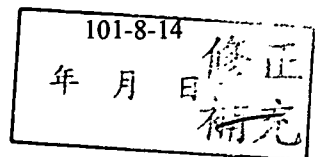
330'：光敏介電材料層

332：圖案化光阻層

332A：第一光阻區塊

332B：第二光阻區塊

- 334：中央區塊
- 336：側區塊
- 340：閘極絕緣層
- 360：圖案化半導體層
- 362：通道層
- 364：歐姆接觸層
- 370S：源極
- 370D：汲極
- 375：保護層
- 380：第二電極
- 380R：第二電極 380 預定形成區域
- 382：畫素電極
- 382R：畫素電極預定形成區域
- 388：透明導電層
- 388A、388B：部分透明導電層
- H1：第一開口
- H2：第二開口
- P：畫素單元
- T：薄膜電晶體



十、申請專利範圍：

1. 一種薄膜電晶體陣列基板的製作方法，包括：

提供一基板，該基板上具有一畫素區以及一光感測區；

形成一圖案化第一導電層於該基板上，其中該圖案化第一導電層包括一位於該畫素區的閘極以及一位於該光感測區內的第一電極，並且於該第一電極上形成一光敏介電層，其中該光敏介電層包含一富矽之介電層，而該富矽之介電層包括一富矽之氧化矽層、一富矽之氮化矽層或一富矽之碳化矽層，且該富矽之氧化矽層的分子式為 SiO_x ，該富矽之氮化矽的分子式為 SiN_y ，該富矽之碳化矽的分子式為 SiC_z ，其中 $0.1 \leq x \leq 1.9$ ， $0.01 \leq y \leq 1.33$ 以及 $0.01 \leq z \leq 1$ ；

形成一閘極絕緣層於該基板上，以覆蓋該閘極、該光敏介電層以及該第一電極；

形成一圖案化半導體層於該閘極上方的該閘極絕緣層上；

形成一源極以及一汲極於該閘極兩側的該圖案化半導體層上，而該閘極、該源極與該汲極構成一薄膜電晶體；

形成一第二電極於該光敏介電層，其中該第一電極、該光敏介電層與該第二電極構成一光感測器。

2. 如申請專利範圍第 1 項所述之薄膜電晶體陣列基板的製作方法，其中在形成該源極以及該汲極後，另包括於該基板上全面形成一保護層。

3. 如申請專利範圍第 2 項所述之薄膜電晶體陣列基板的製作方法，另包括：

移除部份該薄膜電晶體上方之該保護層，以形成一第一開口，其中該第一開口暴露出部分該源極或該汲極，以及

移除部份該光感測區之該保護層及該保護層下對應之部分該閘極絕緣層，以形成一暴露出部分該光敏介電層的第二開口。

4.如申請專利範圍第3項所述之薄膜電晶體陣列基板的製作方法，於該光敏介電層上形成該第二電極的步驟中，另包括形成一畫素電極與該薄膜電晶體電性連接，其中形成該第二電極以及該畫素電極之步驟包括：

形成一透明導電層於該保護層上；以及

圖案化該透明導電層，以形成該畫素電極以及該第二電極，其中該畫素電極經由該第一開口電性連接於該源極或該汲極，該第二電極經由該第二開口與該光敏介電層連接。

5.如申請專利範圍第1項所述之薄膜電晶體陣列基板的製作方法，其中該光敏介電層之折射率介於1.8至3.7之間。

6.如申請專利範圍第1項所述之薄膜電晶體陣列基板的製作方法，其中形成該閘極、該第一電極以及該光敏介電層的步驟包括：

依序於基板上全面形成一第一導電層、一光敏介電材料層；

於該光敏介電材料層上形成一圖案化光阻層，其中該圖案光阻層包括一第一光阻區塊以及一第二光阻區塊，該

第一光阻區塊位於該畫素區，該第二光阻區塊位於該光感測區，且該第二光阻區塊的厚度大於該第一光阻區塊的厚度；

以該圖案光阻層為罩幕，移除被暴露的該第一導電層以及該光敏介電材料層，以使該光感測區內剩餘的該第一導電層以及該光敏介電材料層構成該第一電極以及該光敏介電層；

縮減圖案化光阻層的厚度，直到該第一光阻區塊被移除；以及

以剩餘的該圖案光阻層為罩幕，移除被暴露的該光敏介電材料層，以使該畫素區內剩餘的該第一導電層構成該閘極。

7.如申請專利範圍第 6 項所述之薄膜電晶體陣列基板的製作方法，其中該第二光阻區塊包括一中央區塊以及二側區塊，該中央區塊位於該些側區塊之間，且該中央區塊的厚度大於該些側區塊的厚度。

8.如申請專利範圍第 6 項所述之薄膜電晶體陣列基板的製作方法，其中縮減該圖案化光阻層的厚度的步驟包括進行一灰化製程。

9.如申請專利範圍第 1 項所述之薄膜電晶體陣列基板的製作方法，其中位於該畫素區內的該圖案化半導體層包括一通道層以及位於該通道層上的一歐姆接觸層。

10.如申請專利範圍第 9 項所述之薄膜電晶體陣列基板的製作方法，其中在形成該源極以及該汲極時，更移除該源極以及該汲極所暴露的該歐姆接觸層以及部分的該通

道層。

11.如申請專利範圍第 1 項所述之薄膜電晶體陣列基板的製作方法，其中形成該圖案化半導體層的步驟包括：

形成一半導體層覆蓋該閘極絕緣層；以及
圖案化該半導體層。

12.如申請專利範圍第 1 項所述之薄膜電晶體陣列基板的製作方法，其中形成該源極以及該汲極的步驟包括：

形成一第二導電層覆蓋該圖案化半導體層與該閘極絕緣層；以及

圖案化該第二導電層，以形成該源極以及該汲極。

13.如申請專利範圍第 1 項所述之薄膜電晶體陣列基板的製作方法，其中該閘極絕緣層，該圖案化半導體層、該些源極以及該些汲極為同時形成。

14.如申請專利範圍第 13 項所述之薄膜電晶體陣列基板的製作方法，其中同時形成該圖案化半導體層、該源極以及些汲極的步驟包括：

依序於基板上形成一閘極絕緣層、一半導體層、一第二導電層以及一圖案化光阻層，其中該圖案化光阻層包括一第一光阻區塊與位於該第一光阻區塊兩側的一第二光阻區塊，且該第一光阻區塊的厚度小於該第二光阻區塊的厚度；

以該圖案化光阻層為罩幕對該第二導電層與該半導體層進行一第一蝕刻製程；

減少該圖案化光阻層的厚度，直到該第一光阻區塊完全被移除；以及

以剩餘之該第二光阻區塊為罩幕對該第二導電層進行一第二蝕刻製程，以使該第二導電層構成該源極以及該汲極，而該半導體層構成該圖案化半導體層。

15.如申請專利範圍第 3 項所述之薄膜電晶體陣列基板的製作方法，其中該保護層的材質包含有機絕緣材質。

16.如申請專利範圍第 3 項所述之薄膜電晶體陣列基板的製作方法，其中該保護層的材質包含無機絕緣材質以及有機絕緣材質所構成的疊層。

17.如申請專利範圍第 1 項所述之薄膜電晶體陣列基板的製作方法，另包括：

於該源極以及該汲極形成後，形成一保護層覆蓋該源極、該汲極以及該閘極絕緣層；

形成一光阻層以覆蓋該保護層；

對該光阻層進行圖案化，而形成一圖案化光阻層，該圖案化光阻層暴露出該薄膜電晶體上方之部分該保護層以及該光敏介電層上方之該保護層；以及

以該圖案化光阻層作為罩幕，進行一蝕刻製程，以移除位於該薄膜電晶體上方之部分該保護層，並且移除位於該光感測區之部分該保護層以及部分該閘極絕緣層，以暴露出該汲極或該源極，以及暴露出該光敏介電層；

於該基板上形成一透明導電層，全面覆蓋於該基板上；
以及

進行一剝離製程，以同時移除圖案化之該光阻層與位於該光阻層之上之該透明導電層，以使剩餘的透明導電層中與該汲極或該源極連接的部分構成一畫素電極，而剩餘的透明導電

層中與該該光敏介電層連接的部分構成該第二電極。

18.如申請專利範圍第 1 項所述之薄膜電晶體陣列基板的製作方法，其中該光感測區位於該些畫素區的外圍。

19.如申請專利範圍第 1 項所述之薄膜電晶體陣列基板的製作方法，其中該光感測區的數目為多個，且每一該光感測區對應地形成於每一畫素區的範圍內。

20.一種薄膜電晶體陣列基板，包括：

一基板，該基板上具有一畫素區以及一光感測區；

一圖案化第一導電層，位於該基板上，其中該第一導電層包括一位於該畫素區的閘極以及一位於該光感測區的第一電極；

一光敏介電層，位於該第一電極上，其中該光敏介電層包含一富矽之介電層，而該富矽之介電層包括一富矽之氧化矽層、一富矽之氮化矽層或一富矽之碳化矽層，且該富矽之氧化矽層之分子式為 SiO_x ，該富矽之氮化矽之分子式為 SiN_y ，該富矽之碳化矽之分子式為 SiC_z ，其中 $0.1 \leq x \leq 1.9$ ， $0.01 \leq y \leq 1.33$ 以及 $0.01 \leq z \leq 1$ ；

一閘極絕緣層，覆蓋該閘極、該光敏介電層以及該第一電極；

一圖案化半導體層，位於該閘極上方的該閘極絕緣層上；

一源極與一汲極，分別於該閘極兩側的該圖案化半導體層上，該閘極、該源極與該汲極構成一薄膜電晶體；以及

一第二電極，位於該光敏介電層上，其中該第一電極、該光敏介電層與該第二電極構成一光感測器。

21.如申請專利範圍第 20 項所述之薄膜電晶體陣列基

板，另包括一保護層，覆蓋該源極以及該汲極。

22.如申請專利範圍第 21 項所述之薄膜電晶體陣列基板，其中該保護層具有一第一開口及一第二開口，其中該第一開口暴露出部分該源極或該汲極，且該第二開口暴露出部分該光敏介電層。

23.如申請專利範圍第 22 項所述之薄膜電晶體陣列基板，另包括一畫素電極，該畫素電極之材質與該第二電極之材質相同，且該畫素電極經由該第一開口電性連接於該源極或該汲極，而該第二電極經由該第二開口與該光敏介電層連接。

24.如申請專利範圍第 20 項所述之薄膜電晶體陣列基板，其中該光敏介電層之折射率介於 1.8 至 3.7 之間。

27929TW_1

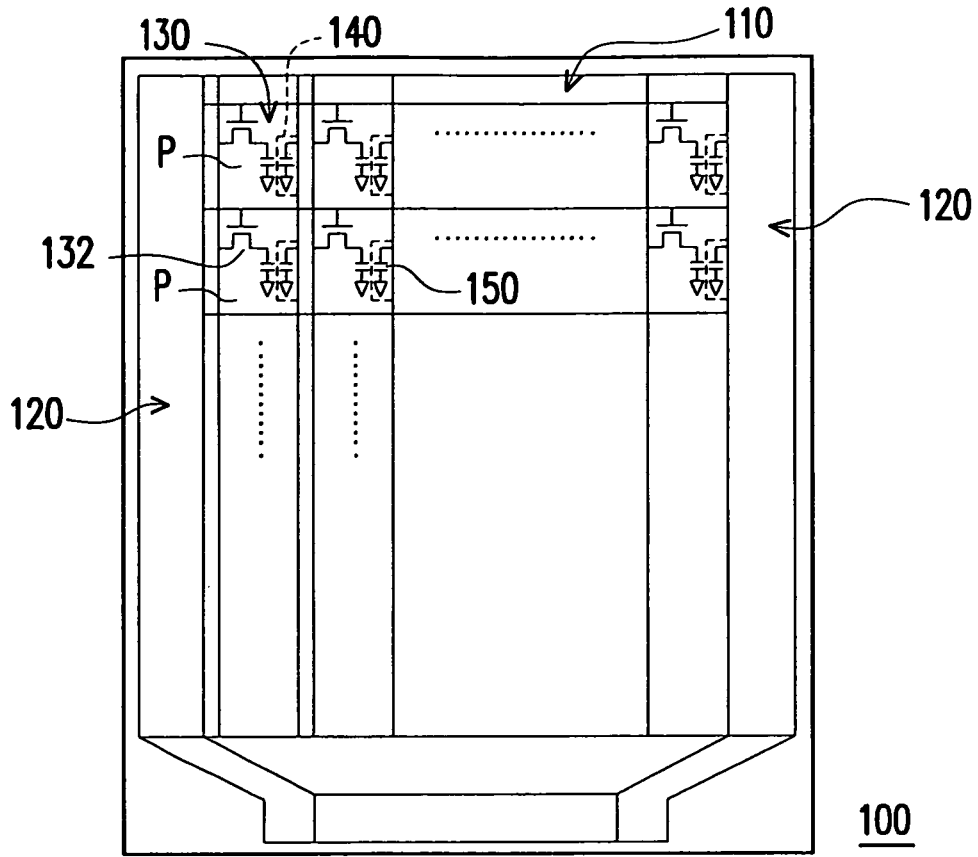


圖 1A

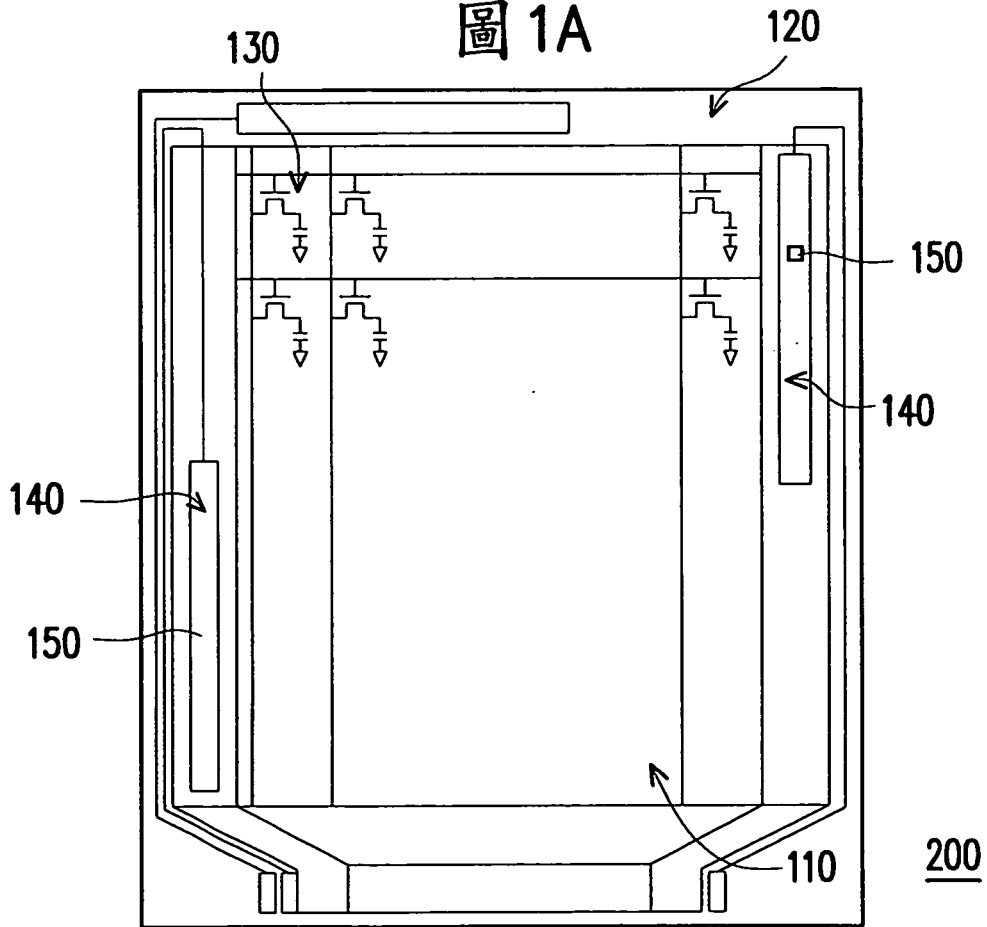


圖 1B

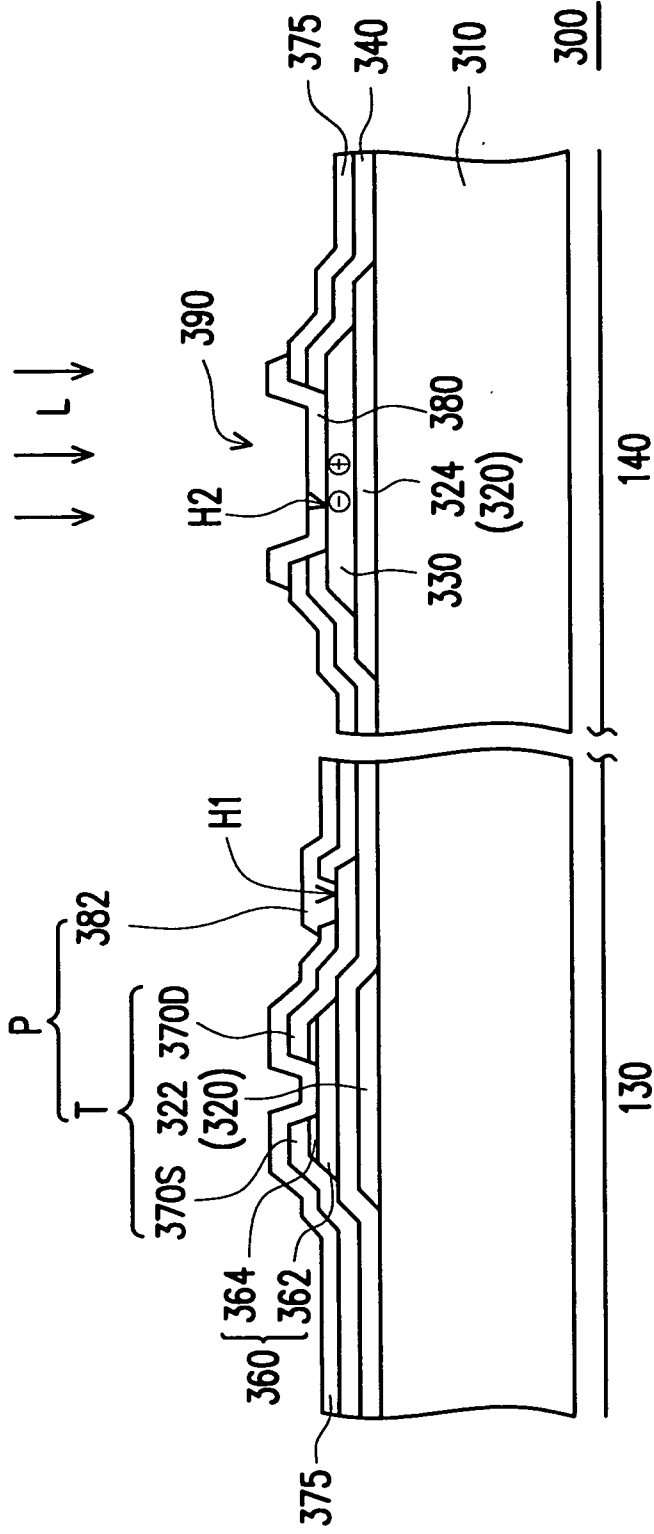


圖 2

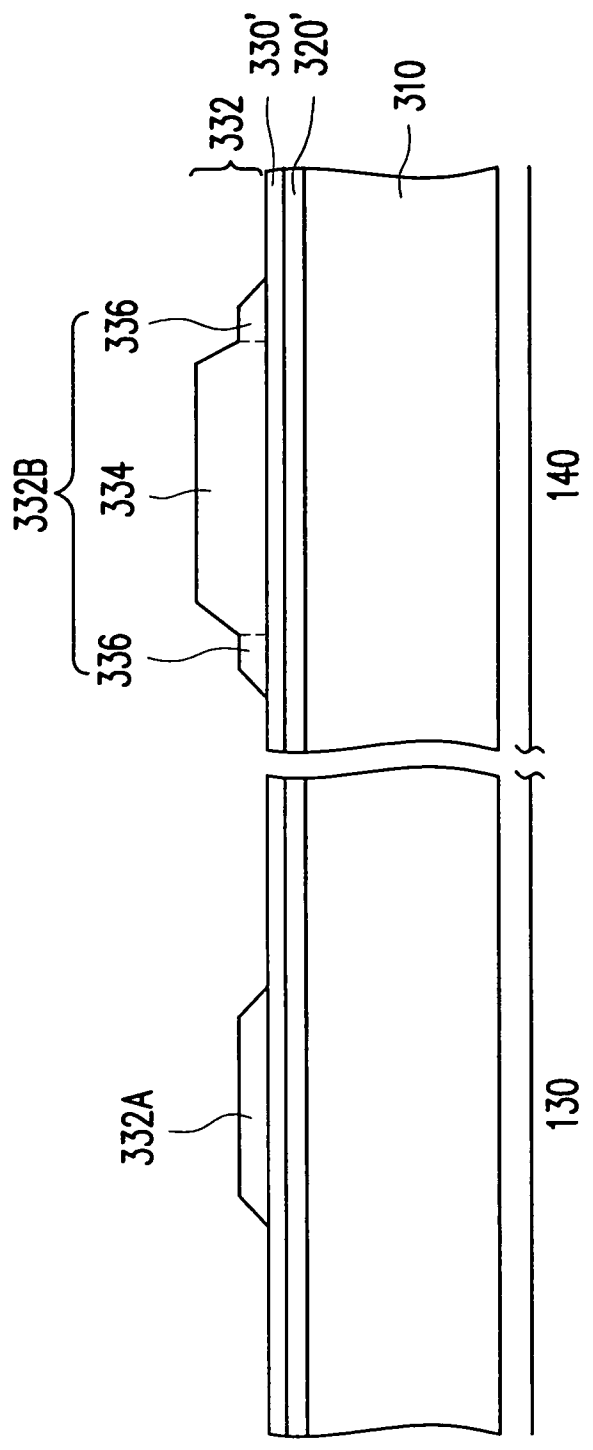


圖 3A

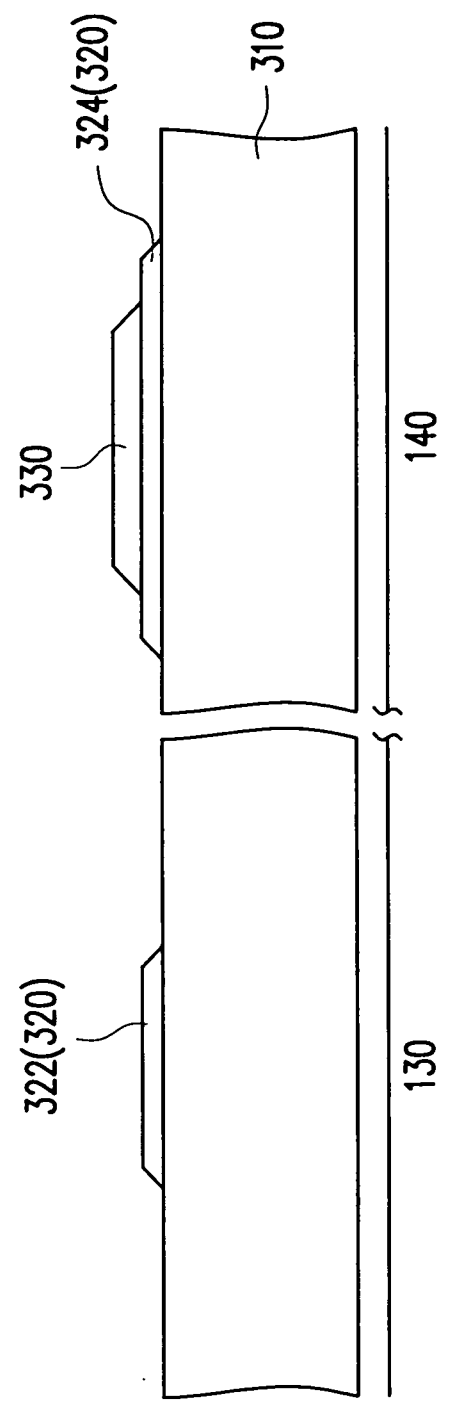


圖 3B

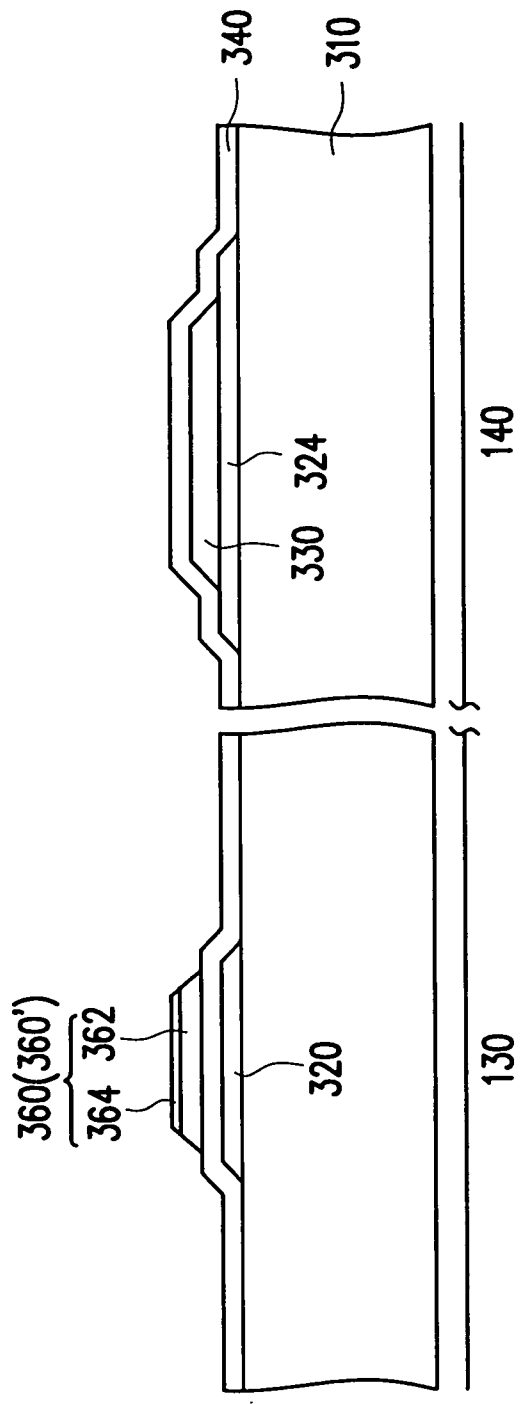


圖 3C

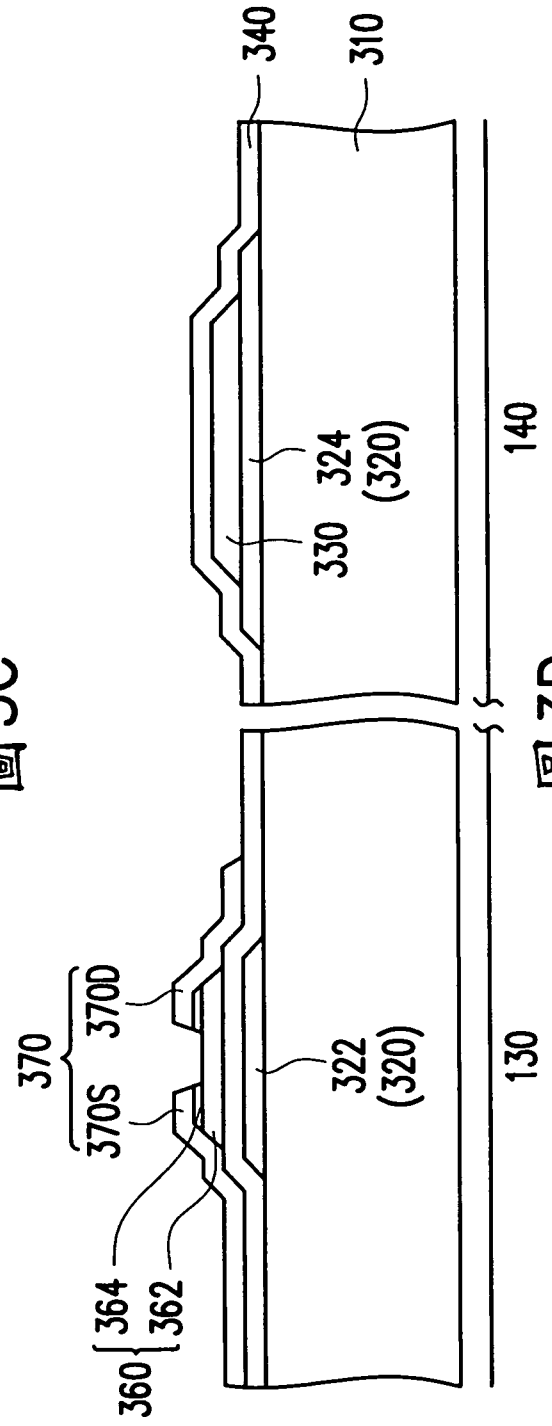


圖 3D

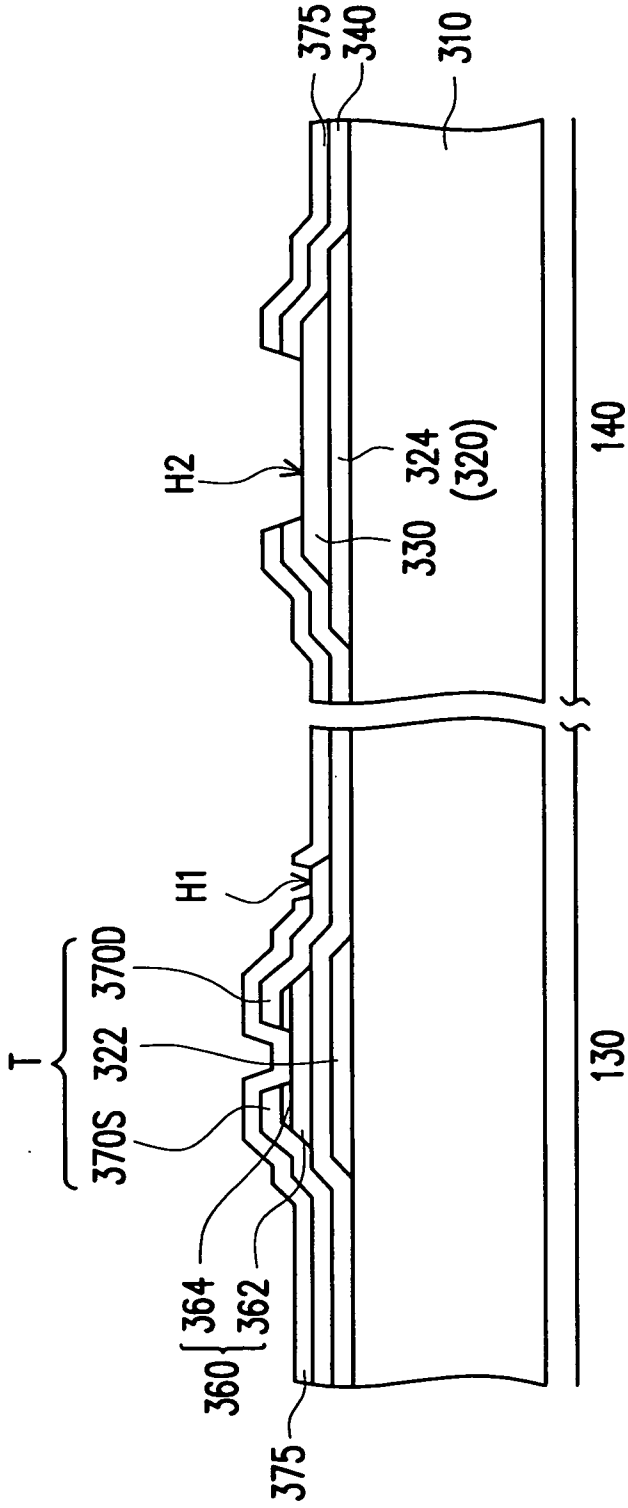


圖 3E

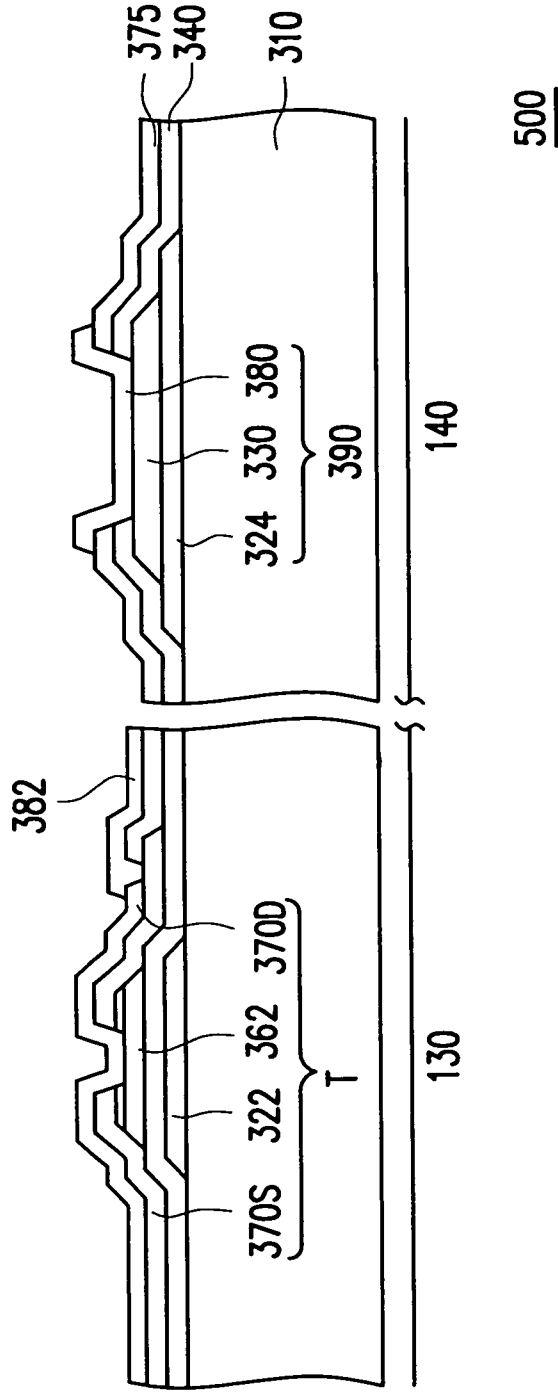


圖 3F

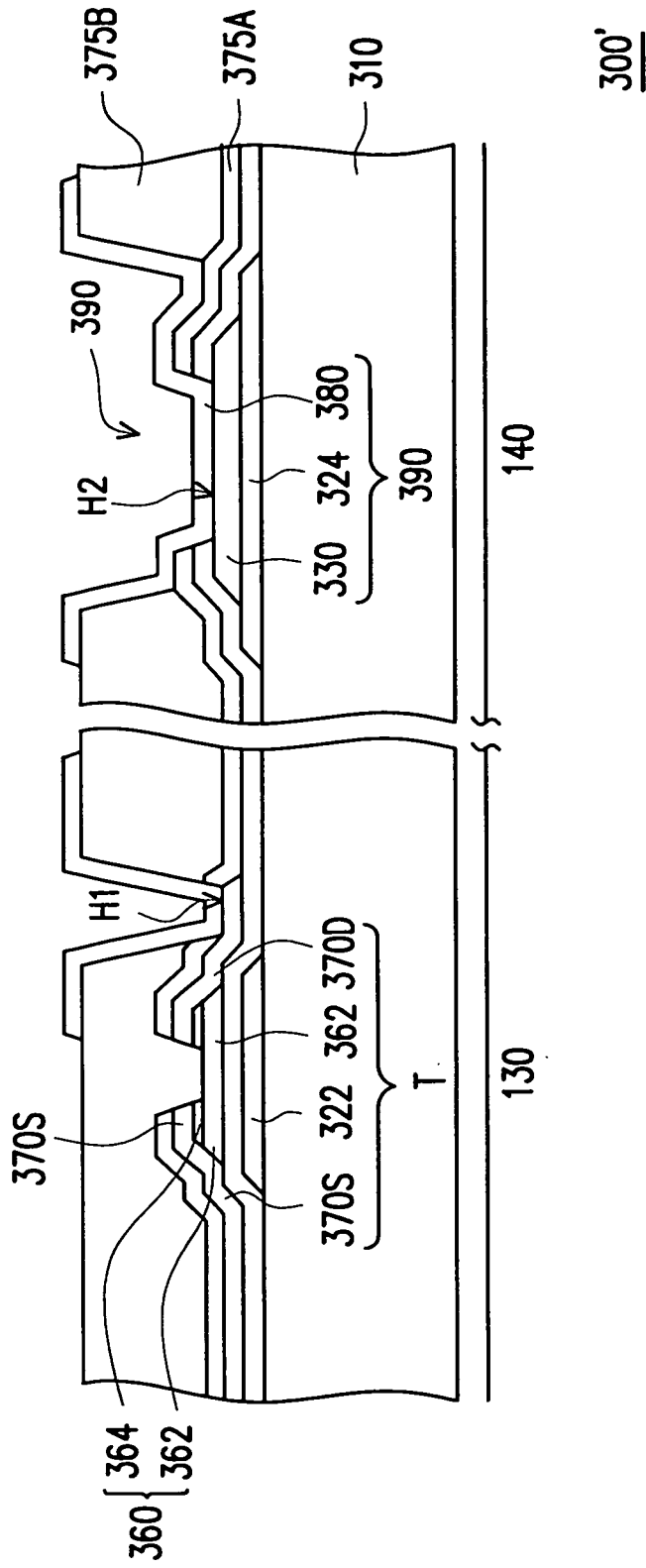


圖 3F'

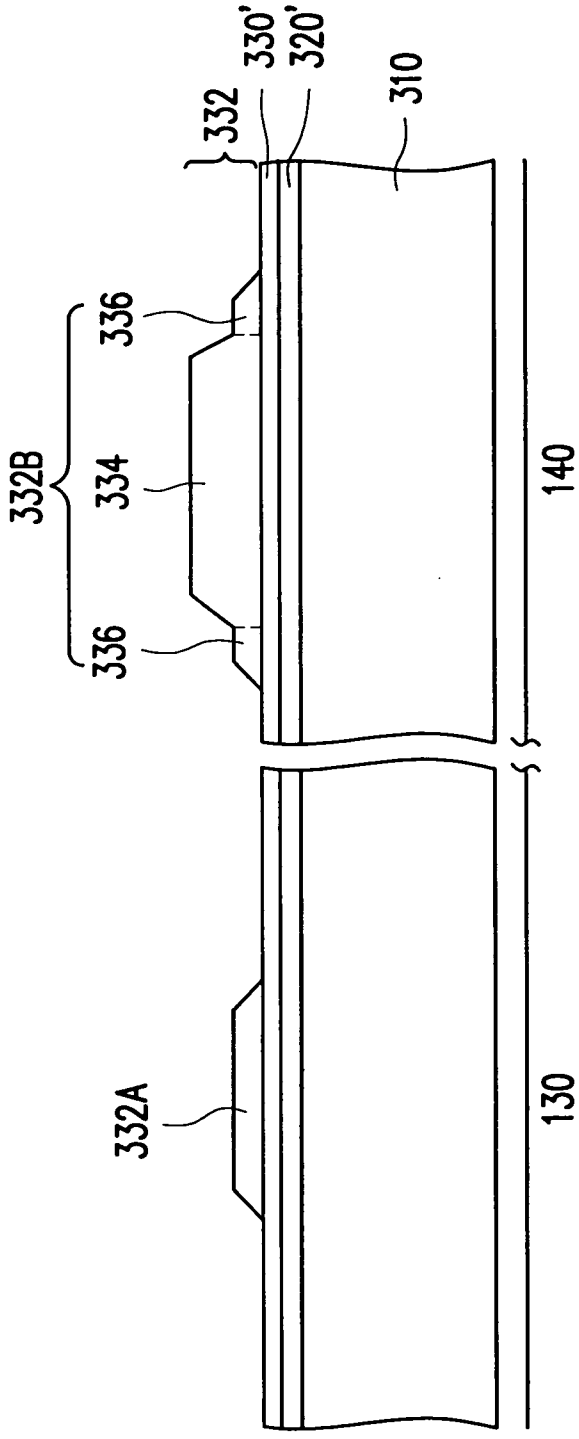


圖 4A

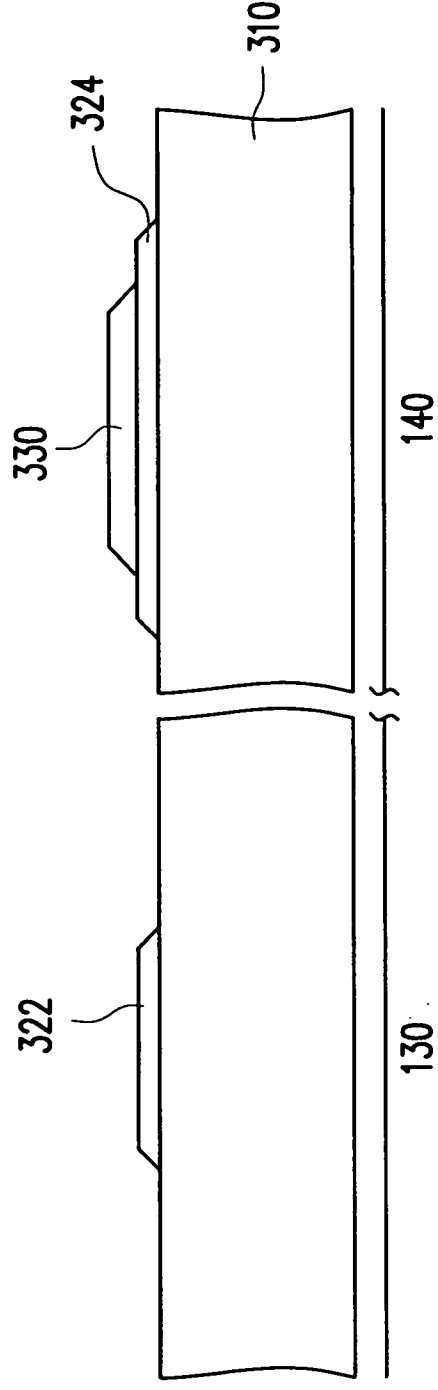


圖 4B

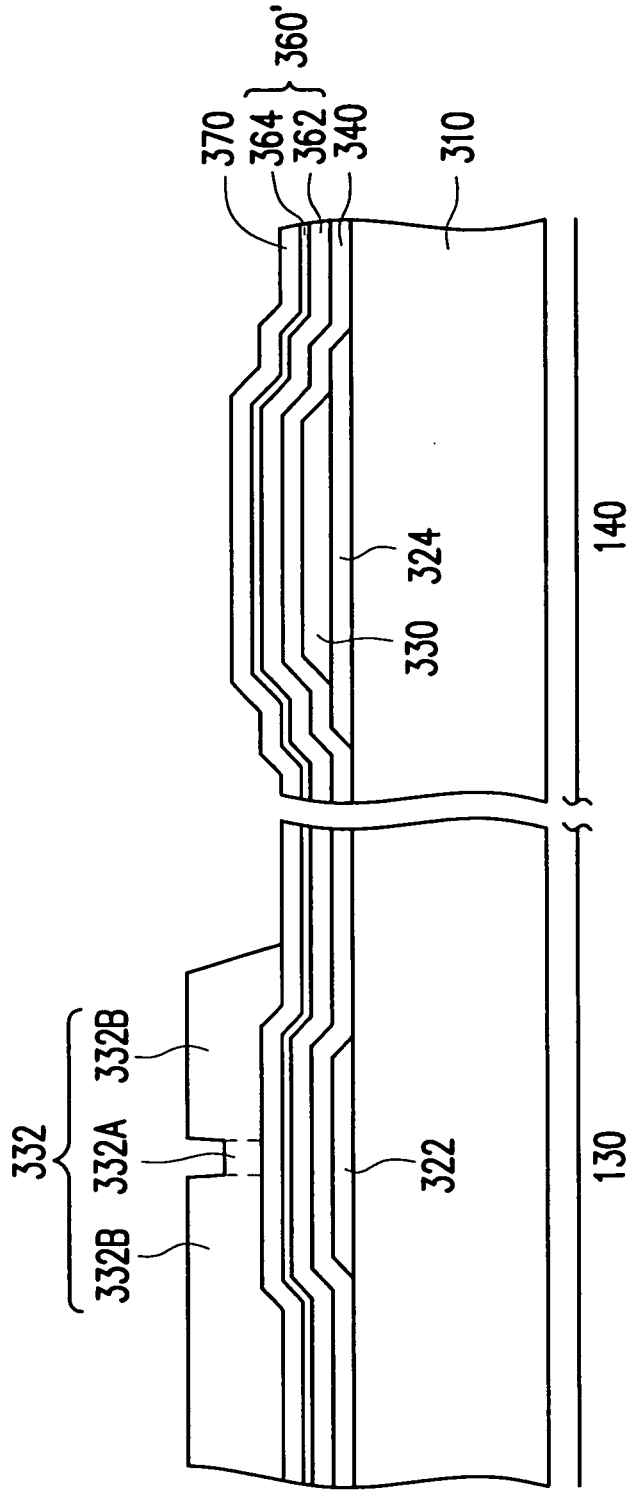


圖 4C

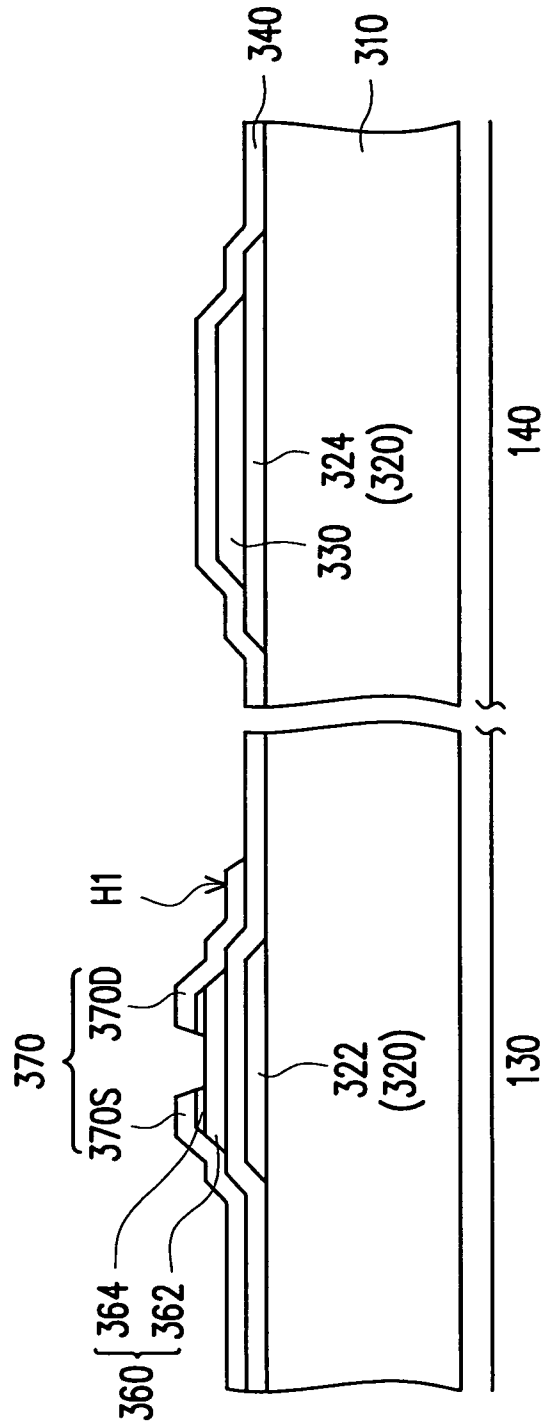


圖 4D

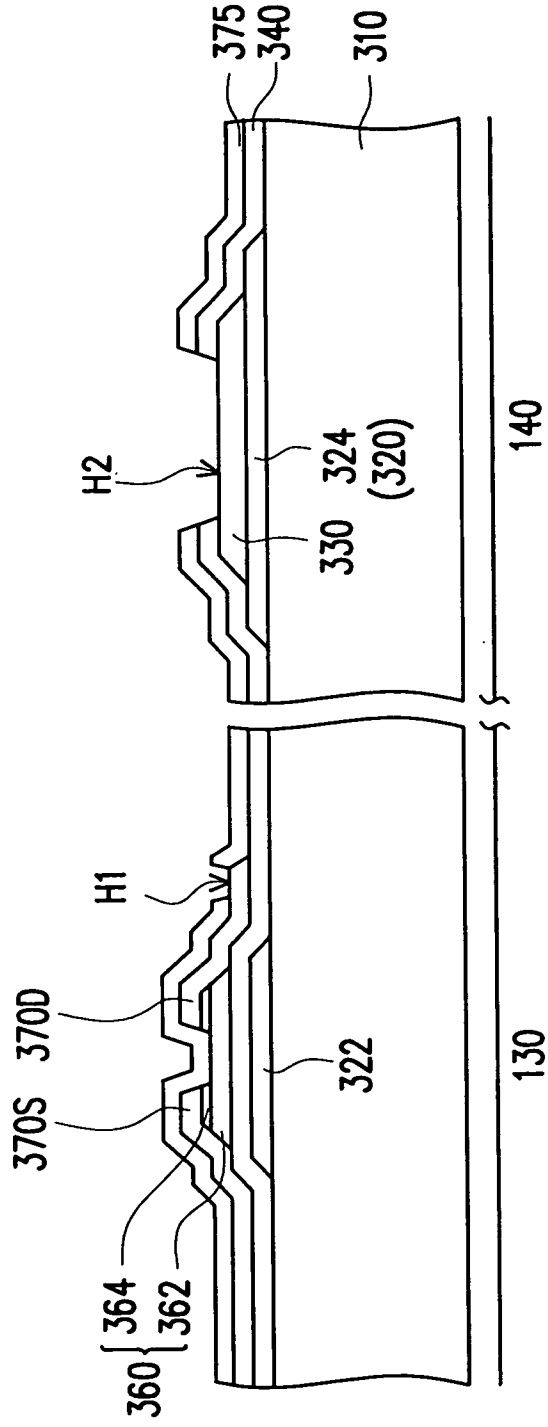


圖 4E

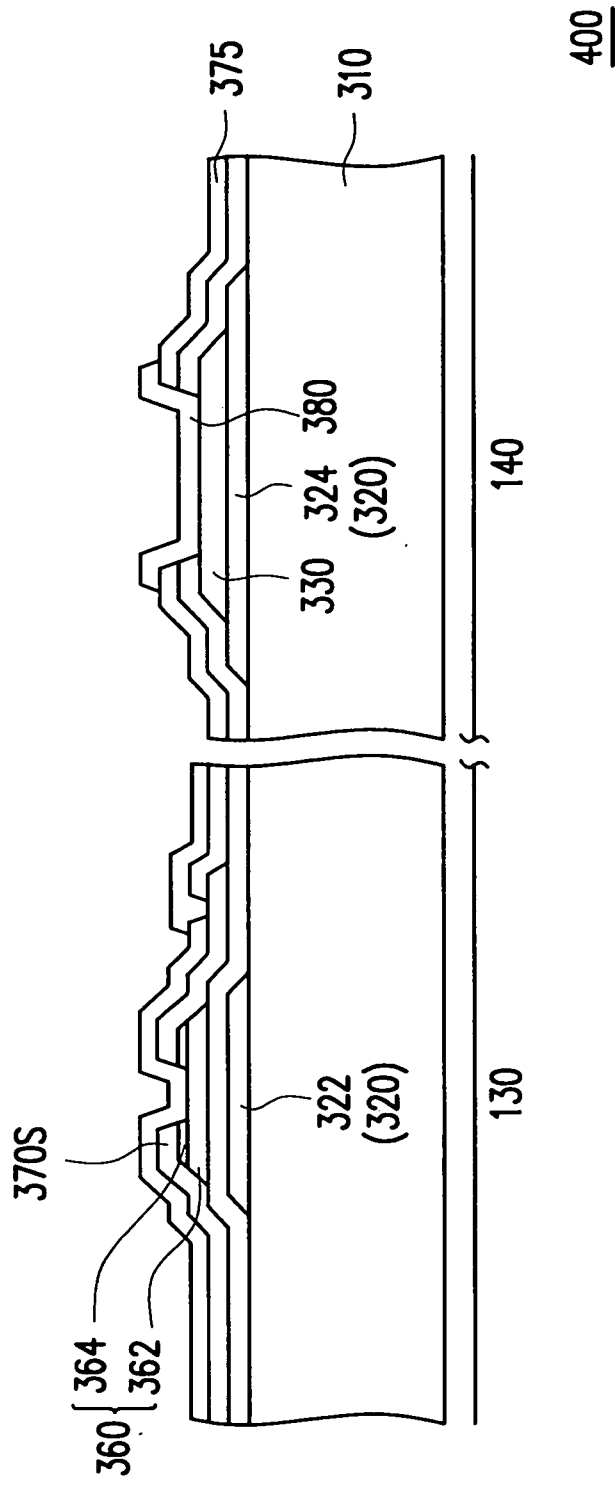


圖 4F

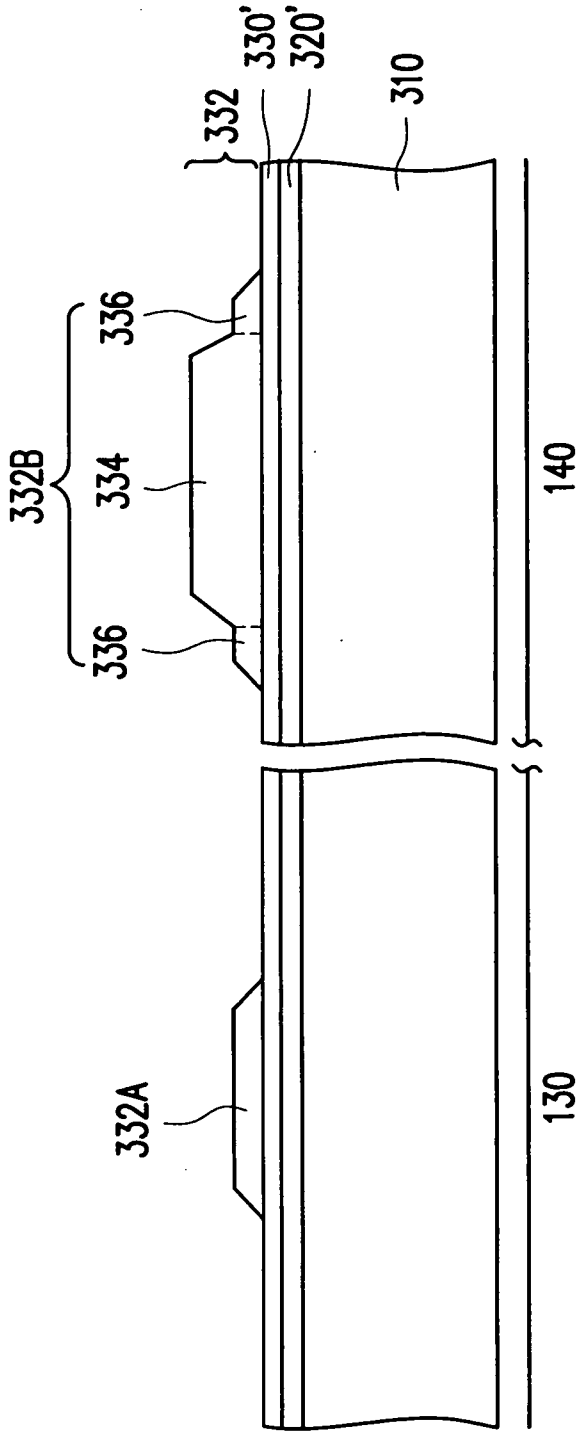


圖 5A

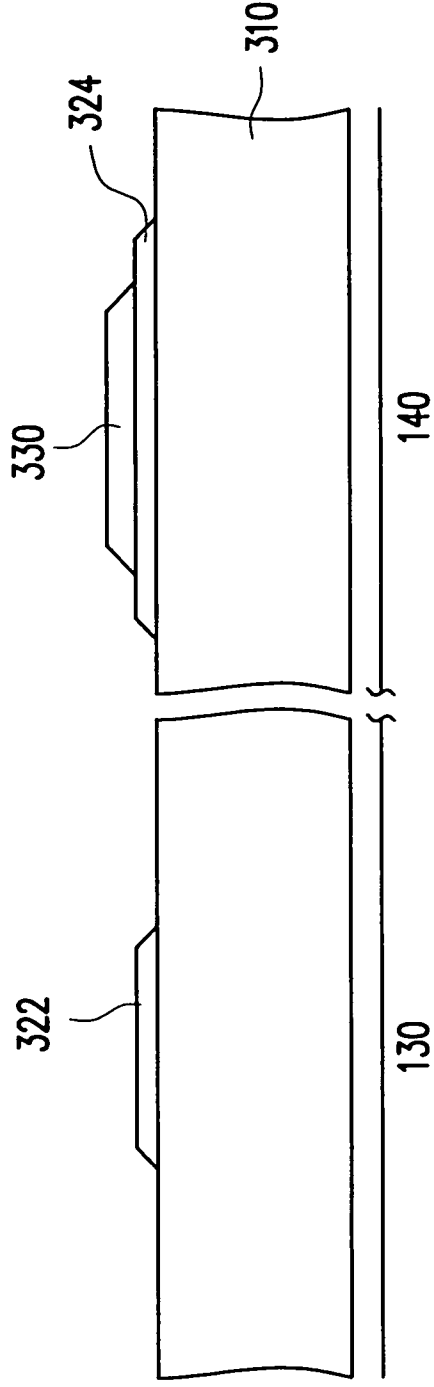


圖 5B

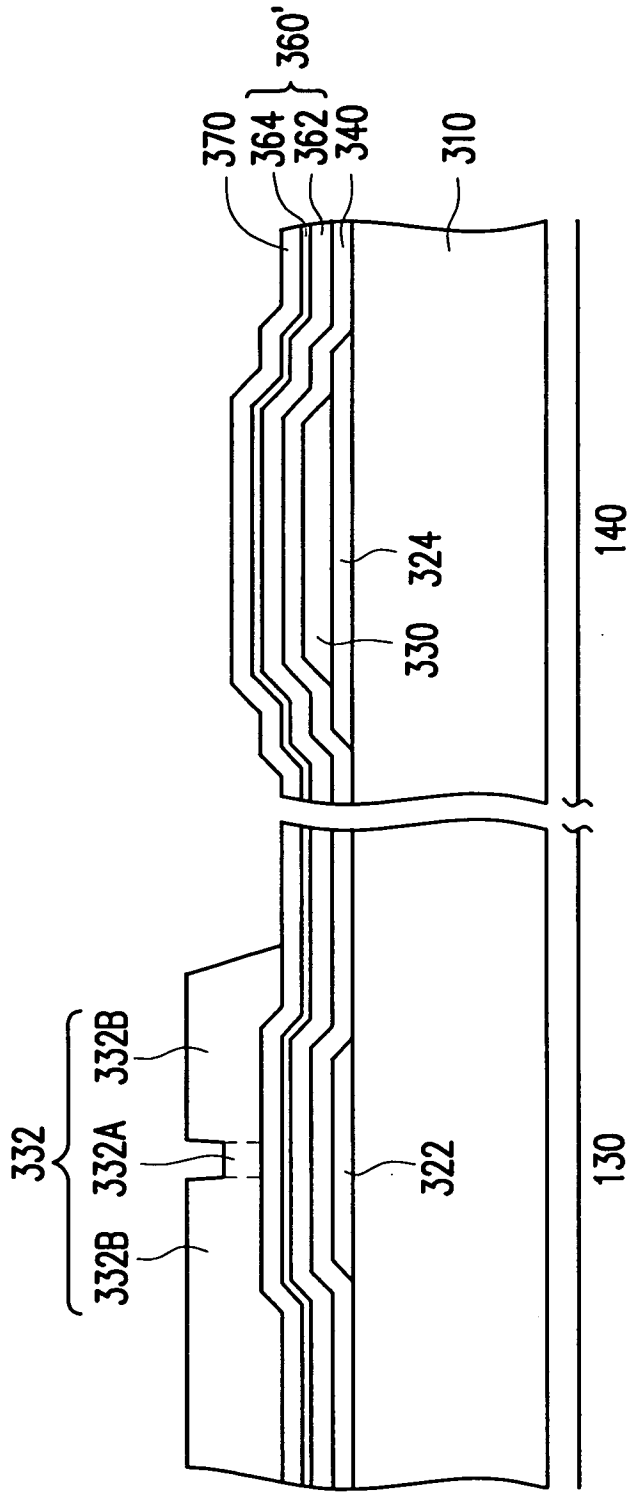


圖 5C

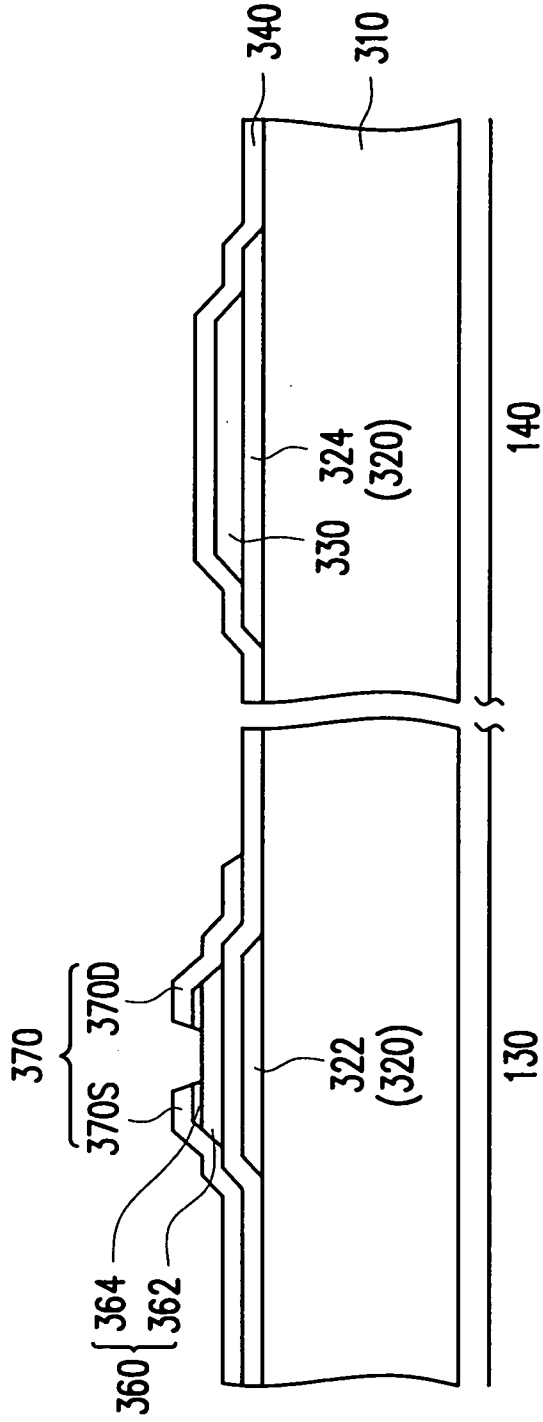


圖 5D

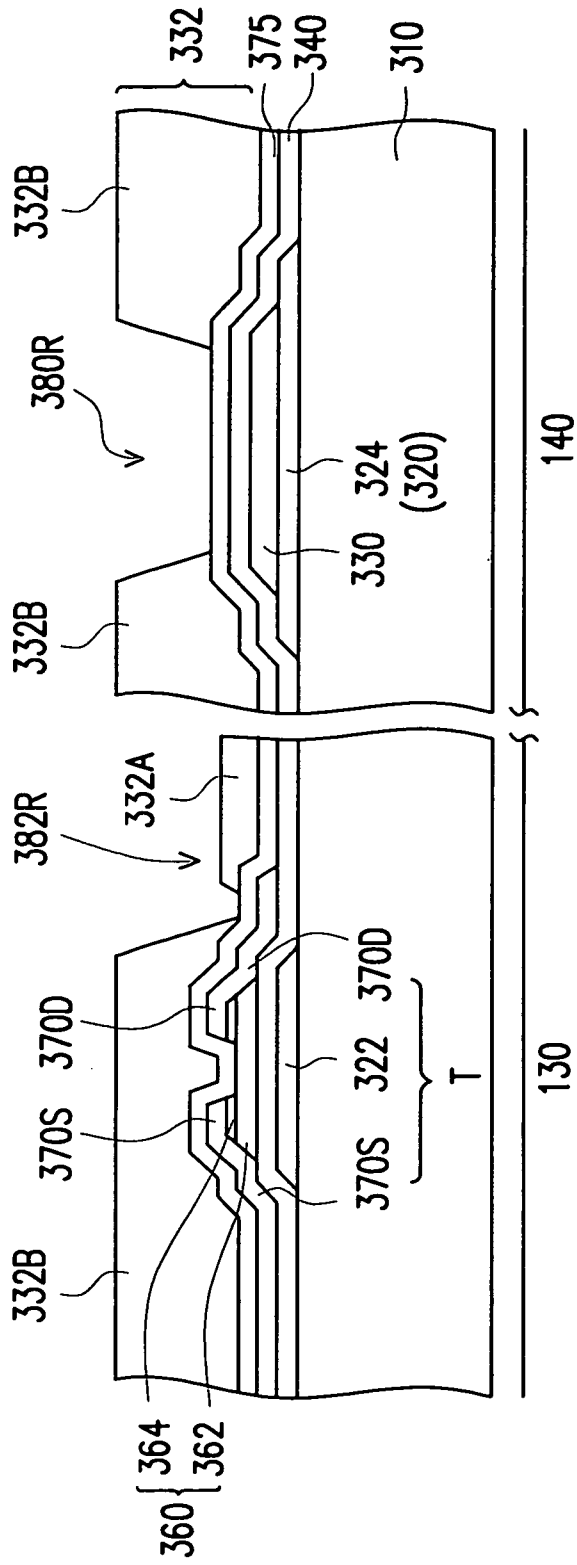


圖 5E

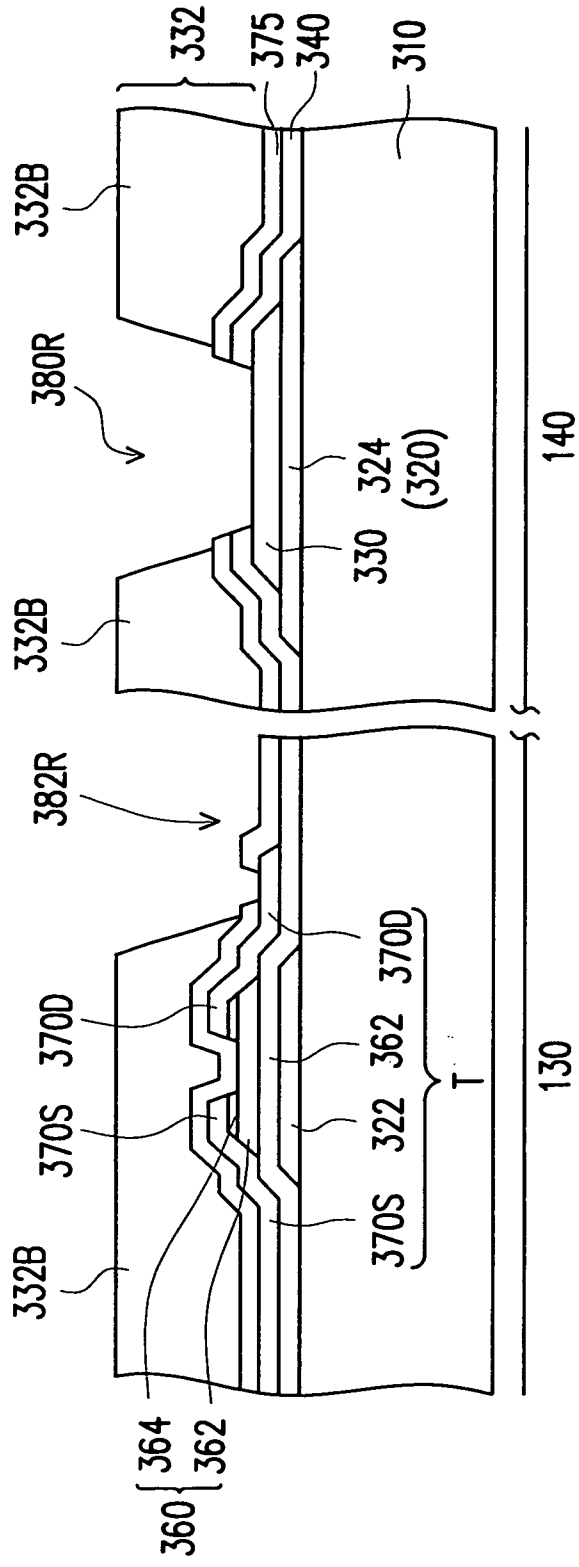


圖 5F

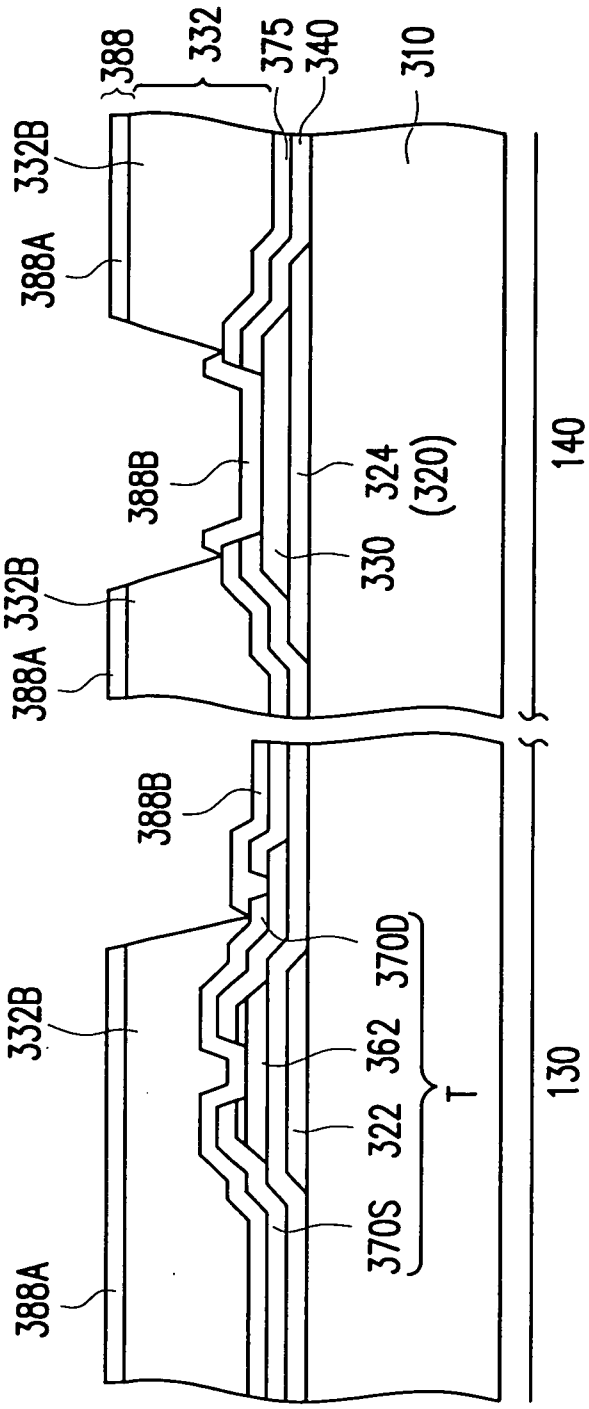
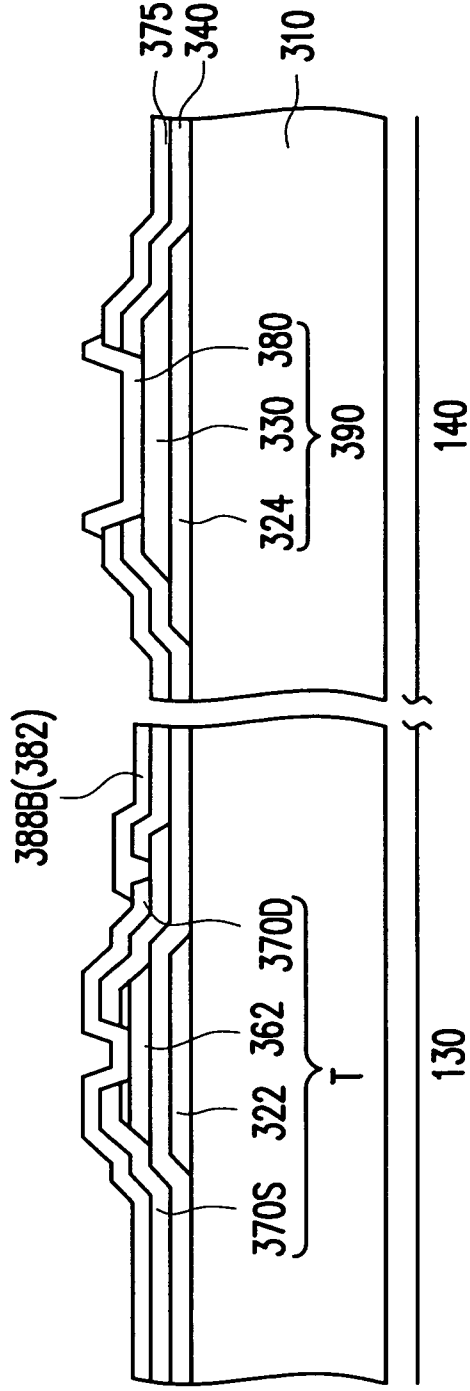


圖 5G



500

圖 5H

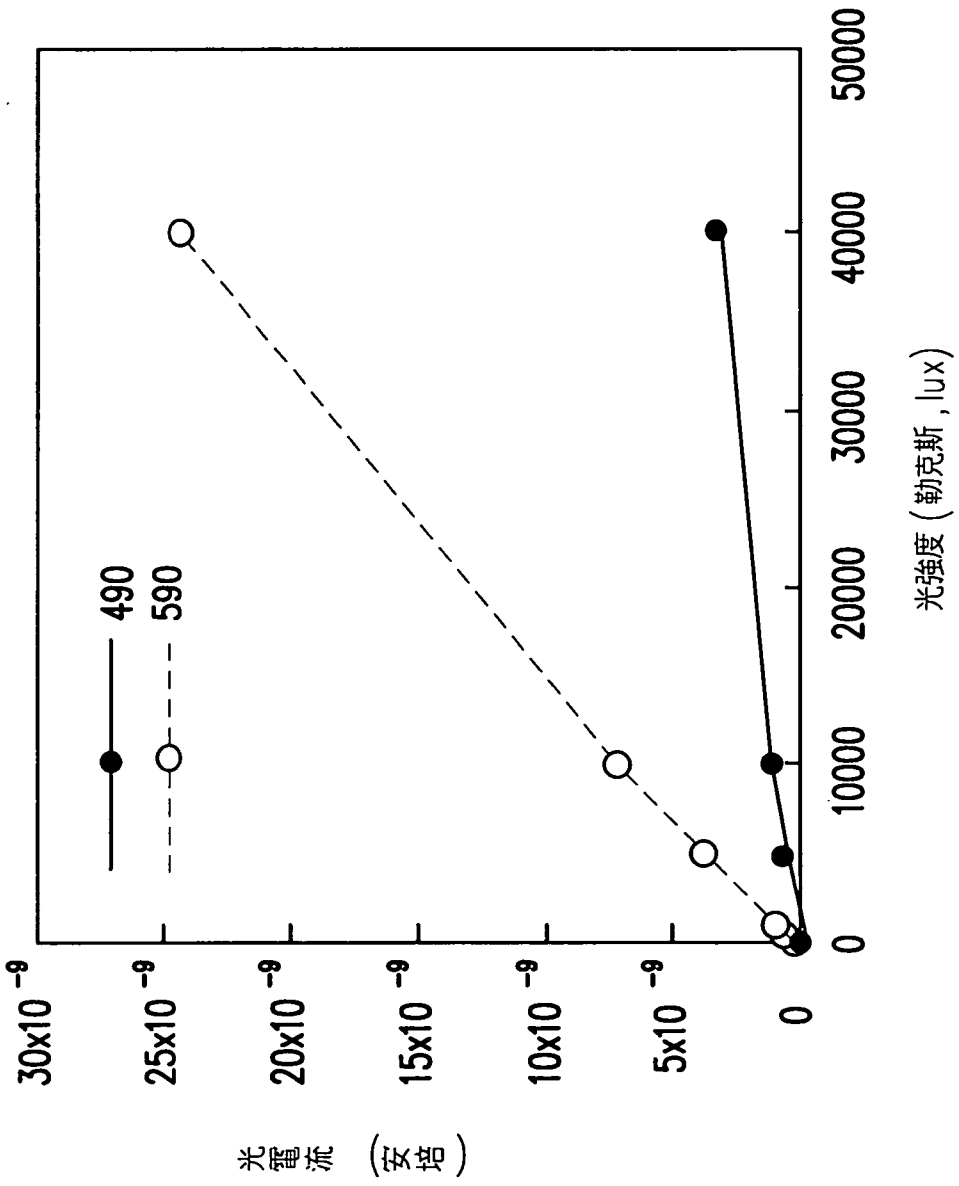


圖 6