

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>8</sup> G06F 7/50 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년02월24일 10-0553702 2006년02월13일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0061766 2003년09월04일	(65) 공개번호 (43) 공개일자	10-2005-0023978 2005년03월10일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                이영철  
                              경기도수원시팔달구영통동970-3주공9단지905동1502호

                              김상석  
                              서울특별시성북구삼선동5가115

                              이동욱  
                              서울특별시양천구목4동756-17신안빌라나동102호

(74) 대리인                임창현  
                              권혁수  
                              송윤호  
                              오세준

심사관 : 성경아

(54) 전가산기

**요약**

본 발명은 전가산기에 관한 것으로, 낸드게이트와 노아게이트, 인버터, PMOS트랜지스터, NMOS트랜지스터 및 전송게이트로 구성된 전가신기를 개시한다.

본 발명에 따른 전가산기는 종래의 전가산기에 비하여 처리속도가 향상된 특성을 갖는다.

**대표도**

도 4

**색인어**

전가산기, 낸드게이트, 노아게이트, 인버터, 전송게이트

**명세서**

**도면의 간단한 설명**

도 1은 현재 애식라이브러리(ASIC Library)에 제공되고 있는 전가산기를 보여주는 도면,  
 도 2는 종래의 전가산기의 구성을 보여주는 도면,  
 도 3a는 노아게이트의 회로구성을 보여주는 도면,  
 도 3b는 낸드게이트의 회로구성을 보여주는 도면,  
 도 4는 본 발명의 실시예에 따른 전가산기회로의 구성을 보여주는 도면,  
 도 5a는 도 2의 종래의 전가산기와 도 4의 본 발명의 전가산기의 지연속도에 대한 시뮬레이션 결과를 보여주는 도면,  
 도 5b는 도 2의 종래의 전가산기와 도 4의 본 발명의 전가산기의 전력소모에 대한 시뮬레이션 결과를 보여주는 도면,  
 도 5c는 도 2의 종래의 전가산기와 도 4의 본 발명의 전가산기의 지연속도 대 전력소모의 곱의 비교결과를 보여주는 도면이다.

본 발명에 따른 도면들에서 실질적으로 동일한 구성과 기능을 가진 구성요소들에 대하여는 동일한 참조부호를 사용한다.

\*도면의 주요부분에 대한 부호의 설명\*

14 : 낸드게이트 16 : 노아게이트

12, 18, 20, 34, 36 : 인버터

26, 28, 30, 32 : 전송게이트

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 로직회로에 관한 것으로, 더욱 상세하게는 전가산기에 관한 것이다.

도 1은 현재 애식라이브러리(ASIC Library)에 제공되고 있는 전가산기를 보여주는 도면이다. 도 1의 전가산기는 기존 DPL(Dual Pass-transistor) 기법을 사용한 싱글레일(Single-rail) 기법으로 널리 사용되고 있는 전가산기이다. 합(Sum) 신호를 발생시키기 위해 고속동작의 CMOS와 전송게이트가 사용된 익스클루시브오아/익스클루시브노아 로직(XOR/XNOR Logic)이 사용되었다. 그러나 도 1의 전가산기는 상보적인 신호를 생성하기 위해 인버팅(inverting) 회로가 사용되어 실질적으로 인버팅(inverting) 두 단에 대해 지연이 발생한 후 고속 동작을 수행하게 된다.

이와 같은 상보적인 신호의 생성으로 인한 시간지연이 발생하지 않도록 하기 위하여, 상보신호를 사용하지 않는 전가산기 로직회로가 본원 출원인에 의해 이미 출원된 바 있다(대한민국 특허공개공보 제 2001-0037189 : 전가산기, 2001. 5. 7. 공개).

도 2는 상기 종래 출원된 발명의 구성을 보여주는 도면이다. 도 2를 참조하면, 종래의 출원된 전가산기는 인버터들(12, 18, 20, 34, 36), 낸드 게이트(14), 노아 게이트(16), PMOS 트랜지스터(22), NMOS 트랜지스터(24), 그리고 전송 게이트들(26 ~ 32)을 포함한다. 상기 낸드 게이트(14)는 상기 제 1 및 제 2 입력 신호들(Ai, Bi)을 받아들여 낸드 연산한다. 상기 노아 게이트(16)는 상기 두 입력 신호들(Ai, Bi)을 받아들여 노아 연산한다.

상기 제 1 인버터(18)는 전원 전압(VDD)과 상기 노아 게이트(16)의 출력 단자 사이에 직렬로 순차적으로 형성된 전류 통로와 상기 낸드 게이트(14)의 출력에 의해 제어되는 게이트를 갖는 PMOS 트랜지스터(40) 및 NMOS 트랜지스터(42)로 구성된다. 상기 제 2 인버터(20)는 상기 낸드 게이트(14)의 출력 단자와 접지 전압(VSS) 사이에 직렬로 순차적으로 형성된 전류 통로와 상기 노아 게이트(16)의 출력에 의해 제어되는 게이트를 갖는 PMOS 트랜지스터(44) 및 NMOS 트랜지스터(46)로 구성된다. 즉, 상기 제 1 인버터(18)는 상기 노아 게이트(16)의 출력 신호가 로우 레벨인 동안 상기 낸드 게이트(14)의 출력 신호를 반전시킨다. 상기 제 2 인버터(20)는 상기 낸드 게이트(14)의 출력 신호가 하이 레벨인 동안 상기 노아 게이트(16)의 출력 신호를 반전시킨다.

상기 PMOS 트랜지스터(22)는 상기 노아 게이트(16)의 출력 단자와 연결된 드레인, 상기 제 1 인버터(18)의 출력 단자와 연결된 소스, 그리고 상기 제 1 입력 신호(Ai)에 의해 제어되는 게이트를 갖는다. 상기 NMOS 트랜지스터(24)는 상기 낸드 게이트(14)의 출력 단자와 연결된 드레인, 상기 제 2 인버터(20)의 출력 단자와 연결된 소스, 그리고 상기 제 2 입력 신호(Bi)에 의해 제어되는 게이트를 갖는다.

상기 제 1 전송 게이트(26)는 상기 제 1 인버터(18)의 출력 단자와 연결된 입력단, 제 4 인버터(34)의 입력단과 연결된 출력단을 가지며, 상기 캐리 입력 신호(Ci-1) 및 상기 제 3 인버터(12)를 통해서 반전된 상기 캐리 입력 신호(/Ci-1)에 제어되어서 상기 제 1 인버터(18)의 출력을 상기 제 4 인버터(34)로 전달한다.

상기 제 2 전송 게이트(28)는 상기 제 2 인버터(20)의 출력 단자와 연결된 입력단, 제 4 인버터(34)의 입력단과 연결된 출력단을 가지며, 상기 캐리 입력 신호(Ci-1) 및 상기 제 3 인버터(12)를 통해서 반전된 상기 캐리 입력 신호(/Ci-1)에 제어되어서 상기 제 2 인버터(20)의 출력을 상기 제 4 인버터(34)로 전달한다.

상기 제 3 전송 게이트(30)는 상기 낸드 게이트(14)의 출력 단자와 연결된 입력단, 제 5 인버터(36)의 입력단과 연결된 출력단을 가지며, 상기 캐리 입력 신호(Ci-1) 및 상기 제 3 인버터(12)를 통해서 반전된 상기 캐리 입력 신호(/Ci-1)에 제어되어서 상기 낸드 게이트(14)의 출력을 상기 제 5 인버터(36)로 전달한다.

상기 제 4 전송 게이트(32)는 상기 노아 게이트(16)의 출력 단자와 연결된 입력단, 제 5 인버터(36)의 입력단과 연결된 출력단을 가지며, 상기 캐리 입력 신호(Ci-1) 및 상기 제 3 인버터(12)를 통해서 반전된 상기 캐리 입력 신호(/Ci-1)에 제어되어서 상기 노아 게이트(16)의 출력을 상기 제 5 인버터(36)로 전달한다.

상기의 구성을 갖는 종래의 전가산기의 동작을 설명한다.

먼저, 상기 두 입력 신호들(Ai, Bi)이 각각 로우 레벨(즉, 논리 '0')일 때, 상기 낸드 게이트(14)와 노아 게이트(16)의 출력 신호는 각각 하이 레벨(즉, 논리 '1')로 된다. 따라서, 상기 제 1 인버터(18)의 전압원은 하이 레벨로 되어 불완전한 하이 레벨의 신호를 출력하지만, 상기 제 1 입력 신호(Ai)에 의해 상기 PMOS 트랜지스터(22)가 턴 온되어 상기 노아 게이트(16)의 출력인 하이 레벨이 노드(N1)로 전달된다. 따라서, 상기 제 1 및 제 3 전송 게이트들(26, 30)은 각각 상기 인버터(18)와 상기 낸드 게이트(14)의 출력 신호인 하이 레벨을 받아들여 이를 인버터들(34, 36)로 각각 전달한다. 그 결과, 상기 합 신호(Si)와 캐리 출력 신호(Ci)는 인버터들(34, 36)에 의해 각각 로우 레벨로 된다.

그러나 이 경우 다음과 같은 문제점이 있다. 도 3a는 노아게이트의 회로구성을 보여주는 도면이다.

도 3a를 참조하면, 두 입력 신호들(Ai, Bi)이 각각 로우 레벨(즉, 논리 '0')로 입력되고 이에 대한 합신호와 캐리신호가 출력될 때, 상기 노아게이트의 출력신호가 상기 PMOS 트랜지스터(66)와 PMOS 트랜지스터(64)가 턴 온됨에 따라 상기 PMOS 트랜지스터(22)의 전류통로를 통하여 출력단(N1)으로 하이레벨(논리 '1')이 출력된다.

그런데 이때 출력단(N1)으로 출력되는 출력신호는 상기 PMOS 트랜지스터(66)와 상기 PMOS 트랜지스터(64)와 상기 PMOS 트랜지스터(22)의 세 개의 트랜지스터를 거쳐 신호가 출력되므로 신호가 출력되는데 많은 시간이 소요된다는 문제점이 있다.

상기 두 입력 신호들(Ai, Bi)이 모두 하이 레벨인 경우를 본다. 상기 두 입력 신호들(Ai, Bi)이 모두 하이 레벨이면, 상기 낸드 게이트(14)와 노아 게이트(16)의 출력은 모두 로우 레벨로 된다. 따라서, 상기 인버터(20)의 전압원은 접지 전압(GND)이 되고, PMOS 트랜지스터(44)가 턴 온되므로서 상기 노드(N2)에는 상기 PMOS 트랜지스터(44)의 드레슬드 전압

(VT44)이 인가된다. 이 때, 상기 제 1 입력 신호(Ai)가 하이 레벨이므로, 상기 NMOS 트랜지스터(24)가 턴 온되어 상기 노드(N2)는 완전한 로우 레벨로 된다. 따라서, 상기 합 신호(Si)와 캐리 출력 신호(Ci)는 상기 인버터들(34, 36)에 의해 모두 하이 레벨로 된다.

그러나 이 경우 다음과 같은 문제점이 있다. 도 3b는 낸드게이트의 회로구성을 보여주는 도면이다.

도 3b를 참조하면, 두 입력 신호들(Ai, Bi)이 각각 하이 레벨(즉, 논리 '1')로 입력되고 이에 대한 합신호와 캐리신호가 출력될 때, 상기 낸드게이트의 출력신호가 상기 NMOS트랜지스터(54)와 NMOS트랜지스터(56)가 턴온됨에 따라 상기 NMOS 트랜지스터(24)의 전류통로를 통하여 출력단(N2)으로 로우레벨(논리 '0')이 출력된다.

그런데 이때 출력단(N2)으로 출력되는 출력신호는 상기 NMOS트랜지스터(54)와 상기 NMOS트랜지스터(56)와 상기 NMOS트랜지스터(24)의 세 개의 트랜지스터를 거쳐 신호가 출력되므로 신호가 출력되는데 많은 시간이 소요된다는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기의 문제점을 해결하기 위하여 창안된 것으로, 본 발명의 목적은 지연시간이 작을 뿐만 아니라 전력소모가 적은 전가산기 로직회로를 제공하는데 있다.

### 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 구성은 제 1 및 제 2 입력 신호, 그리고 캐리 입력 신호를 받아들여 합 신호와 캐리 출력 신호를 출력하는 전가산기에 있어서: 전원전압(VDD)과 접지전압(VSS)사이 직렬로 순차적으로 형성된 전류통로를 갖고 각각 상기 제 2입력신호, 제 1입력신호, 제 2입력신호에 의해 제어되는 게이트를 갖는 PMOS트랜지스터(52), NMOS트랜지스터(54), NMOS트랜지스터(56)와 드레인이 상기 낸드게이트의 출력단에 연결되고 소오스가 상기 전원전압(VDD)에 연결되며 제 1입력신호에 의해 제어되는 게이트를 갖는 PMOS트랜지스터(50)로 구성되며, 상기 제 1 및 제 2 입력 신호들을 받아들여 낸드 연산하는 낸드 게이트와; 전원전압(VDD)과 접지전압(VSS)사이 직렬로 순차적으로 형성된 전류통로를 갖고 각각 제 1입력신호, 제 2입력신호, 제 2입력신호에 의해 제어되는 게이트를 갖는 PMOS트랜지스터(66), PMOS트랜지스터(64), NMOS트랜지스터(62)와 드레인이 상기 노아게이트의 출력단에 연결되고 소오스가 상기 접지전압(VSS)에 연결되며 제 1입력신호에 의해 제어되는 게이트를 갖는 NMOS트랜지스터(60)로 구성되며, 상기 제 1 및 제 2 입력 신호들을 받아들여 노아 연산하는 노아 게이트와; 상기 노아 게이트의 출력 신호를 제 1 전압원으로 사용하고, 상기 낸드 게이트의 출력 신호를 반전시키는 제 1 인버터와; 상기 낸드 게이트의 출력 신호를 제 2 전압원으로 사용하고, 상기 노아 게이트의 출력 신호를 반전시키는 제 2 인버터와; 상기 PMOS트랜지스터(66)의 드레인과 상기 PMOS트랜지스터(64)의 소오스 사이에 연결된 드레인, 상기 제 1 인버터(18)의 출력 단자와 연결된 소스, 그리고 상기 제 2 입력 신호(Bi)에 의해 제어되는 게이트를 갖는 PMOS 트랜지스터와; 상기 NMOS트랜지스터(54)의 소오스와 상기 NMOS트랜지스터(56)의 드레인 사이에 연결된 드레인, 상기 제 2 인버터(20)의 출력 단자와 연결된 소스, 그리고 상기 제 1 입력 신호(Ai)에 의해 제어되는 게이트를 갖는 NMOS 트랜지스터; 그리고 상기 캐리 입력 신호 및 반전된 입력 캐리 신호에 의해 제어되어 상기 제 1 인버터의 출력 단자의 신호 또는 상기 제 2 인버터의 출력 단자의 신호를 선택적으로 상기 합 신호로 출력하고, 상기 낸드 게이트의 출력 신호 또는 상기 노아 게이트의 출력 신호를 선택적으로 상기 캐리 출력 신호로 출력하는 출력 수단을 포함하는 것을 특징으로 한다.

이하 첨부한 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

본 발명은 고속동작 및 저전력 소모를 갖도록 NNBL(Nand/Nor Based Logic)를 이용해 설계한 전가산기를 개시한다. 본 발명의 실시예에 따른 전가산기는 동작속도에 영향을 받지 않도록 상보적인 신호들이 사용되지 않았으며 고속동작을 위해 낸드/노아 로직(Nand/Nor Logic)이 사용된다.

도 4는 본 발명의 실시예에 따른 전가산기회로의 구성을 보여주는 도면이다.

도 4를 참조하면, 본 발명의 실시예에 따른 전가산기는 인버터들(12, 18, 20, 34, 36), 낸드게이트(14), 노아 게이트(16), PMOS 트랜지스터(22), NMOS 트랜지스터(24), 그리고 전송 게이트들(26 ~ 32)을 포함한다. 상기 낸드 게이트(14)는 상기 제 1 및 제 2 입력 신호들(Ai, Bi)을 받아들여 낸드 연산한다. 상기 노아 게이트(16)는 상기 두 입력 신호들(Ai, Bi)을 받아들여 노아 연산한다.

상기 낸드게이트는 전원전압(VDD)과 접지전압(VSS)사이에서 직렬로 순차적으로 형성된 전류통로를 갖고 각각 제 2입력신호, 제 1입력신호, 제 2입력신호에 의해 제어되는 게이트를 갖는 PMOS트랜지스터(52), NMOS트랜지스터(54), NMOS트랜지스터(56)와 드레인이 상기 낸드게이트의 출력단에 연결되고 소오스가 상기 전원전압(VDD)에 연결되며 제 1입력신호에 의해 제어되는 게이트를 갖는 PMOS트랜지스터(50)로 구성된다.

상기 노아게이트는 전원전압(VDD)과 접지전압(VSS)사이에서 직렬로 순차적으로 형성된 전류통로를 갖고 각각 제 1입력신호, 제 2입력신호, 제 2입력신호에 의해 제어되는 게이트를 갖는 PMOS트랜지스터(66), PMOS트랜지스터(64), NMOS트랜지스터(62)와 드레인이 상기 노아게이트의 출력단에 연결되고 소오스가 상기 접지전압(VSS)에 연결되며 제 1입력신호에 의해 제어되는 게이트를 갖는 NMOS트랜지스터(60)로 구성된다.

상기 제 1인버터(18)는 전원 전압(VDD)과 상기 노아 게이트(16)의 출력 단자 사이에 직렬로 순차적으로 형성된 전류 통로와 상기 낸드 게이트(14)의 출력에 의해 제어되는 게이트를 갖는 PMOS 트랜지스터(40) 및 NMOS 트랜지스터(42)로 구성된다. 상기 제 2인버터(20)는 상기 낸드 게이트(14)의 출력 단자와 접지 전압(VSS) 사이에 직렬로 순차적으로 형성된 전류 통로와 상기 노아 게이트(16)의 출력에 의해 제어되는 게이트를 갖는 PMOS 트랜지스터(44) 및 NMOS 트랜지스터(46)로 구성된다. 즉, 상기 제 1인버터(18)는 상기 노아 게이트(16)의 출력 신호가 로우 레벨인 동안 상기 낸드 게이트(14)의 출력 신호를 반전시킨다. 상기 제 2인버터(20)는 상기 낸드 게이트(14)의 출력 신호가 하이 레벨인 동안 상기 노아 게이트(16)의 출력 신호를 반전시킨다.

상기 PMOS 트랜지스터(22)는 상기 PMOS트랜지스터(66)의 드레인과 상기 PMOS트랜지스터(64)의 소오스 사이에 연결된 드레인, 상기 제 1인버터(18)의 출력 단자와 연결된 소스, 그리고 상기 제 2입력신호(Bi)에 의해 제어되는 게이트를 갖는다.

상기 NMOS 트랜지스터(24)는 상기 NMOS트랜지스터(54)의 소오스와 상기 NMOS트랜지스터(56)의 드레인 사이에 연결된 드레인, 상기 제 2인버터(20)의 출력 단자와 연결된 소스, 그리고 상기 제 1입력신호(Ai)에 의해 제어되는 게이트를 갖는다.

상기 제 1전송 게이트(26) 내지 상기 제 4전송 게이트(32)는 상기의 종래기술에서와 동일한 구성 및 동작특성을 가지므로 상세한 설명을 생략한다.

이하에서는 상기와 같이 구성된 본 발명의 실시예에 따른 전가산기의 동작을 설명한다.

상기 전가산기는 일반적인 전가산기의 진리표(truth table)와 동일하게 동작한다. 이는 상기 종래기술을 통하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 충분히 알 수 있는 내용이므로 여기서는 전가산기의 진리표상의 일부 연산결과에 대한 설명은 생략하고, 일부의 연산결과만을 예로 들어 설명한다.

먼저, 상기 두 입력 신호들(Ai, Bi)이 각각 로우 레벨(즉, 논리 '0')일 때, 상기 낸드 게이트(14)는 PMOS트랜지스터(50)와 PMOS트랜지스터(52)가 턴온되고 NMOS트랜지스터(54)와 NMOS트랜지스터(56)는 턴오프되어 출력신호로 하이레벨(즉, 논리 '1')을 출력한다.

상기 노아 게이트(16)는 PMOS트랜지스터(66)와 PMOS트랜지스터(64)가 턴온되고 NMOS트랜지스터(60)와 NMOS트랜지스터(62)는 턴오프되어 출력신호로 하이레벨(즉, 논리 '1')을 출력한다.

상기 낸드게이트(14)와 노아게이트(16)가 하이레벨을 출력함에 따라, 상기 제 1인버터(18)의 전압원은 하이 레벨로 되어 불완전한 하이 레벨의 신호를 출력하지만, 상기 제 2입력신호(Bi)에 의해 상기 PMOS 트랜지스터(22)가 턴온되어 상기 노아 게이트(16)의 PMOS트랜지스터(66)의 드레인의 전압레벨인 하이 레벨이 노드(N1)로 전달된다.

이 경우 상기 노드(N1)에 전달되는 전압레벨은 노아게이트의 출력단의 전압레벨인 PMOS트랜지스터(64)의 드레인의 전압레벨이 아닌 PMOS트랜지스터(66)의 드레인의 전압레벨이 전달되는데, 전원전압(VDD)이 PMOS트랜지스터(66) 및 PMOS트랜지스터(64) 두 개의 트랜지스터를 거치지 않고 PMOS트랜지스터(66) 하나만을 통과하여 전달되므로 결과적으로 전가산기의 속도를 향상시키는 효과가 나타난다.

상기 제 1 및 제 3 전송 게이트들(26, 30)은 각각 상기 인버터(18)와 상기 낸드 게이트(14)의 출력 신호인 하이 레벨을 받아들이어 이를 인버터들(34, 36)로 각각 전달한다. 그 결과, 상기 합 신호(Si)와 캐리 출력 신호(Ci)는 인버터들(34, 36)에 의해 각각 로우 레벨로 된다.

상기 두 입력 신호들(Ai, Bi)이 모두 하이 레벨인 경우를 살펴본다. 상기 두 입력 신호들(Ai, Bi)이 모두 하이 레벨이면, 상기 낸드 게이트(14)는 PMOS트랜지스터(50)와 PMOS트랜지스터(52)가 턴오프되고 NMOS트랜지스터(54)와 NMOS트랜지스터(56)는 턴온되어 출력신호로 로우레벨(즉, 논리 '0')을 출력한다.

상기 노아 게이트(16)는 PMOS트랜지스터(66)와 PMOS트랜지스터(64)가 턴오프되고 NMOS트랜지스터(60)와 NMOS트랜지스터(62)는 턴온되어 출력신호로 로우레벨(즉, 논리 '0')을 출력한다.

상기 낸드게이트(14)와 노아게이트(16)가 로우레벨을 출력함에 따라, 상기 인버터(20)의 전압원은 접지 전압(GND)이 되고, PMOS 트랜지스터(44)가 턴온되므로서 상기 노드(N2)에는 상기 PMOS 트랜지스터(44)의 드레슬드 전압(VT44)이 인가된다. 이 때, 상기 제 1 입력 신호(Ai)가 하이 레벨이므로, 상기 NMOS 트랜지스터(24)가 턴온되어 노드(N2)는 상기 NMOS트랜지스터(56)의 드레인의 출력인 완전한 로우 레벨로 된다.

이 경우 상기 노드(N2)에 전달되는 전압레벨은 낸드게이트의 출력단의 전압레벨인 NMOS트랜지스터(54)의 드레인의 전압레벨이 아닌 NMOS트랜지스터(56)의 드레인의 전압레벨이 전달되는데, 접지전압(VSS)이 NMOS트랜지스터(54) 및 NMOS트랜지스터(56) 두 개의 트랜지스터를 거치지 않고 NMOS트랜지스터(56) 하나만을 통과하여 전달되므로 결과적으로 전가산기의 속도를 향상시키는 효과가 나타난다.

상기 합 신호(Si)와 캐리 출력 신호(Ci)는 상기 인버터들(34, 36)에 의해 모두 하이 레벨로 된다.

도 5a는 도 2의 종래의 전가산기와 도 4의 본 발명의 전가산기의 지연속도에 대한 시뮬레이션 결과를 보여주는 도면이고, 도 5b는 도 2의 종래의 전가산기와 도 4의 본 발명의 전가산기의 전력소모에 대한 시뮬레이션 결과를 보여주는 도면이며, 도 5c는 도 2의 종래의 전가산기와 도 4의 본 발명의 전가산기의 지연속도 대 전력소모의 곱의 비교결과를 보여주는 도면이다.

상기 시뮬레이션의 조건은 트랜지스터의 사이즈를 인버터를 기준으로 동일하게 하였으며, Sum과 Cout의 출력단에 로드 캐패시턴스(load cap)을 가변시켜 측정하였다.

도 5a에서 볼 수 있는 바와 같이, 본 발명의 실시예에 따른 전가산기(NNBL\_FA(본발명))가 종래의 전가산기(NNBL\_FA(종래))에 비해 약 5% 향상된 지연속도를 나타낸다.

또한, 도 5b를 참조하면, 두 전가산기에 대한 전력소모 시뮬레이션 결과(L13HS, Typical), 본 발명의 실시예에 따른 전가산기(NNBL\_FA(본발명))가 종래의 전가산기(NNBL\_FA(종래))에 비해 전력소모면에서 약 10%정도 향상된 결과를 보인다.

또한, 도 5c에서 볼 수 있는 바와 같이 지연속도 대 전력소모의 곱을 비교한 경우에도 본 발명의 실시예에 따른 전가산기(NNBL\_FA(본발명))가 종래의 전가산기(NNBL\_FA(종래))에 비해 약 13% 정도의 향상된 결과를 나타냈다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

### 발명의 효과

상술한 바와 같이 본 발명에 의하면, 본 발명에 의하면 전원전압 또는 접지전압이 전달될 때 통과하는 트랜지스터의 수를 줄임으로써 결과적으로 전가산기의 속도를 향상시키는 효과가 있다.

### (57) 청구의 범위

### 청구항 1.

제 1 입력신호와 제 2 입력신호와 그리고 입력 캐리 신호를 입력받고, 합 신호와 출력 캐리 신호를 출력하는 전가산기 회로에 있어서,

상기 제 1 입력신호와 상기 제 2 입력신호를 입력받아 낸드(NAND) 연산하는 낸드 게이트를 포함하되;

상기 낸드 게이트는,

전원전압과 상기 낸드 게이트의 출력단 간에 상기 제 1 입력신호를 게이트 전압으로 제공받는 제 1 PMOS 트랜지스터(50)와 상기 제 2 입력신호를 게이트 전압으로 제공받는 제 2 PMOS 트랜지스터(52)가 병렬로 연결되고,

상기 낸드 게이트의 출력단과 접지 사이에 상기 제 1 입력신호를 게이트 전압으로 하는 제 1 NMOS 트랜지스터(54)와 상기 제 2 입력신호를 게이트 전압으로 하는 제 2 NMOS 트랜지스터(56)가 직렬로 연결되며;

상기 제 1 입력신호와 상기 제 2 입력신호를 입력받아 노아(NOR) 연산하는 노아 게이트를 포함하되;

상기 노아 게이트는,

전원전압과 상기 노아 게이트의 출력단 간에 상기 제 1 입력신호를 게이트 전압으로 하는 제 3 PMOS 트랜지스터(66)와 상기 제 2 입력신호를 게이트 전압으로 하는 제 4 PMOS 트랜지스터(64)가 직렬로 연결되고,

상기 노아 게이트의 출력단과 접지 사이에 상기 제 1 입력신호를 게이트 전압으로 하는 제 3 NMOS 트랜지스터(60)와 상기 제 2 입력신호를 게이트 전압으로 하는 제 4 NMOS 트랜지스터(62)가 병렬로 연결되며;

상기 노아 게이트의 출력 신호를 제 1 전압원으로 사용하고, 상기 낸드 게이트의 출력신호를 반전시키는 제 1 인버터(18)와;

상기 낸드 게이트의 출력 신호를 제 2 전압원으로 사용하고, 상기 노아 게이트의 출력신호를 반전시키는 제 2 인버터(20)와;

상기 제 2 입력신호에 의해 제어되는 게이트를 갖고, 상기 제 3 PMOS 트랜지스터(66)의 드레인과 상기 제 1 인버터(18)의 출력 단자를 스위칭하는 제 5 PMOS 트랜지스터와;

상기 제 1 입력신호에 의해 제어되는 게이트를 갖고, 상기 제 1 NMOS 트랜지스터(66)의 소오스와 상기 제 2 인버터(20)의 출력 단자를 스위칭하는 제 5 NMOS 트랜지스터와; 그리고

상기 입력 캐리 신호에 응답하여 각각 상기 제 1 인버터(18)의 출력과 상기 제 2 인버터(20)의 출력중 하나를 선택하고 반전하여 합 신호로 출력하며, 상기 낸드 게이트의 출력과 상기 노아 게이트의 출력중 하나를 선택하고 반전하여 출력 캐리 신호로 출력하는 출력 수단을 포함하는 것을 특징으로 하는 전가산기 회로.

### 청구항 2.

제 1 항에 있어서,

상기 제 1 입력신호 및 상기 제 2 입력신호는 각각 반전되지 않은 비트 단위 데이터인 것을 특징으로 하는 전가산기 회로.

### 청구항 3.

제 1 항에 있어서,

상기 제 1 인버터(18)는,

상기 낸드 게이트의 출력을 게이트 제어전압으로 하고, 전원전압 측에 소오스가 연결되는 제 6 PMOS 트랜지스터와;

상기 낸드 게이트의 출력을 게이트 전압으로 하고, 상기 제 6 PMOS 트랜지스터의 드레인과 연결되며, 상기 노아 게이트 출력이 소오스와 연결되는 제 6 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 전가산기 회로.

#### 청구항 4.

제 1 항에 있어서,

상기 제 2 인버터(20)는,

상기 노아 게이트의 출력을 게이트 전압으로 하고, 상기 낸드 게이트의 출력이 소오스에 연결되는 제 7 PMOS 트랜지스터와;

상기 노아 게이트의 출력을 게이트 전압으로 하고, 상기 제 7 PMOS 트랜지스터의 드레인과 연결되며, 접지에 소오스가 연결되는 제 7 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 전가산기 회로.

#### 청구항 5.

제 1 항에 있어서,

상기 출력 수단은,

상기 입력 캐리 신호에 응답하여 상기 제 1 인버터(18)의 출력과 상기 제 2 인버터(20)의 출력중 하나를 합 신호로 출력하는 제 1 패스 게이트와;

상기 입력 캐리 신호에 응답하여 상기 낸드 게이트의 출력과 상기 노아 게이트의 출력중 하나를 출력 캐리 신호로 출력하는 제 2 패스 게이트를 포함하는 것을 특징으로 하는 전가산기 회로.

#### 청구항 6.

제 5 항에 있어서,

상기 입력 캐리 신호가 논리 레벨 '0'인 경우에는,

상기 제 1 패스 게이트는 상기 제 1 인버터(18)의 출력을 선택하고 반전하여 합 신호로 출력하고,

상기 제 2 패스 게이트는 상기 낸드 게이트의 출력을 선택하여 반전하여 출력 캐리 신호로 생성하는 것을 특징으로 하는 전가산기 회로.

#### 청구항 7.

제 5 항에 있어서,

상기 입력 캐리 신호가 논리 레벨 '1'인 경우에는,

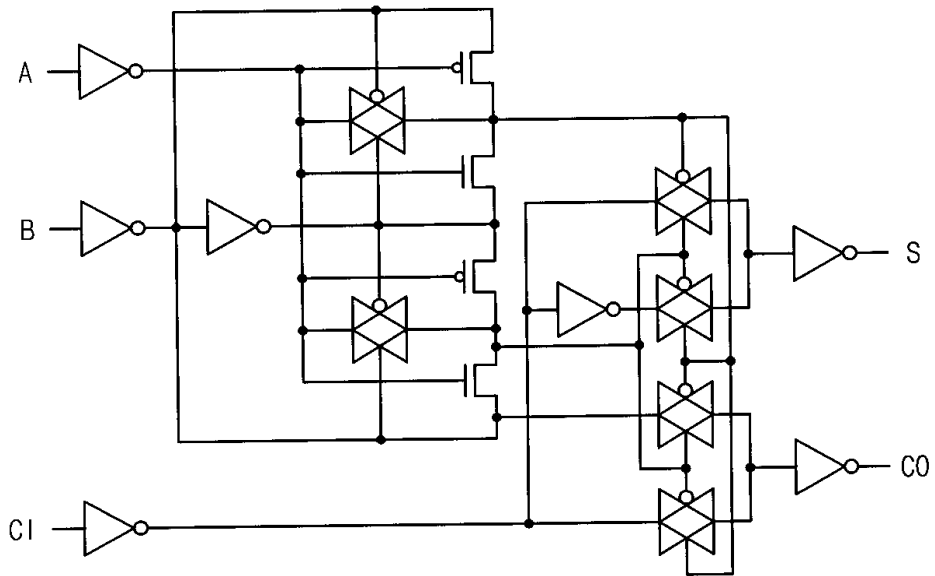


상기 제 1 패스 게이트는 상기 제 2 인버터(20)의 출력을 선택하고 반전하여 합 신호로 출력하고,

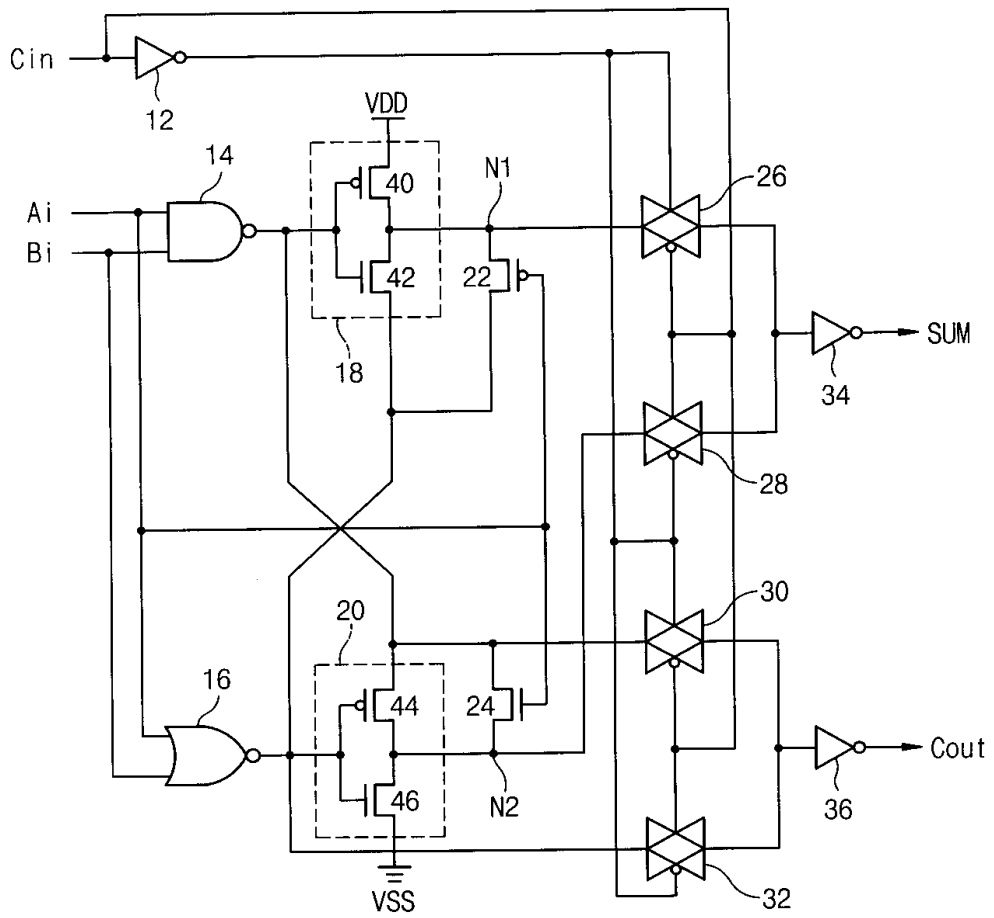
상기 제 2 패스 게이트는 상기 노아 게이트의 출력을 선택하여 반전하여 출력 캐리 신호로 생성하는 것을 특징으로 하는 전가산기 회로.

도면

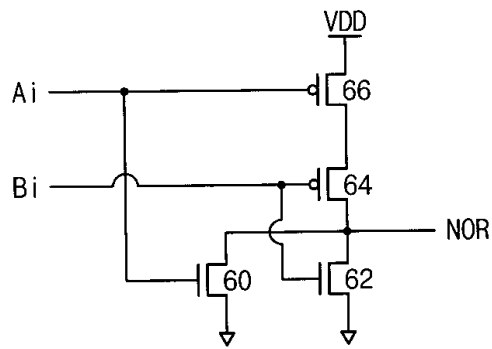
도면1



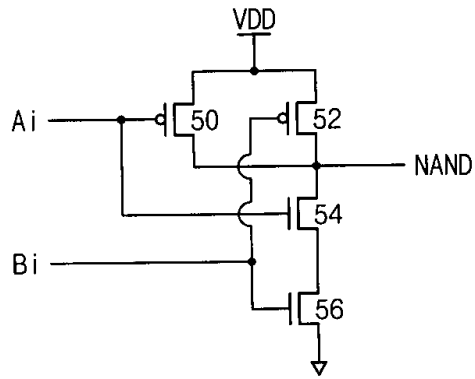
도면2



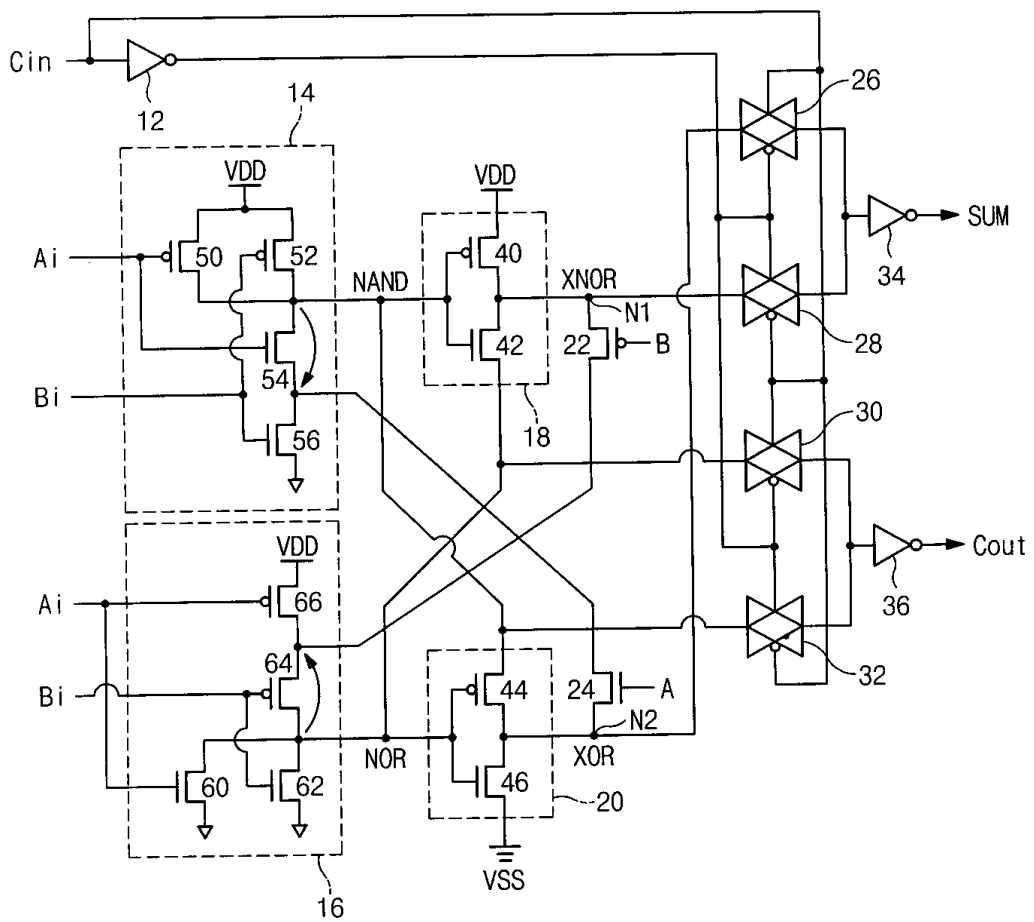
도면3a



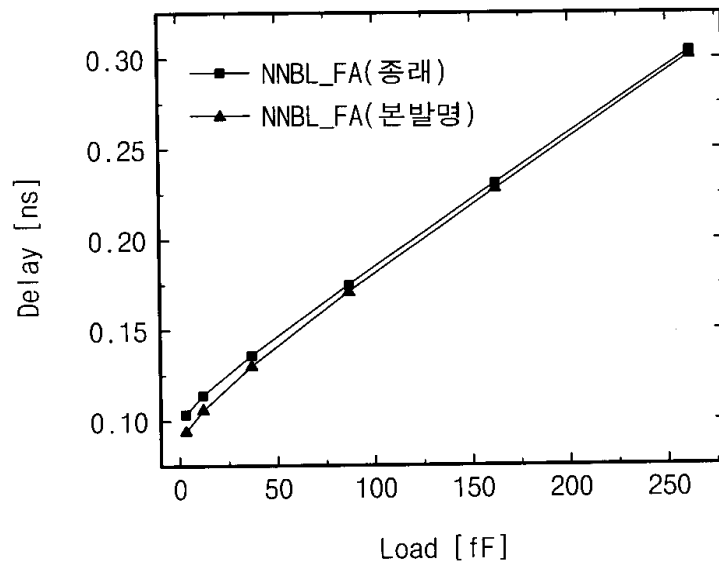
도면3b



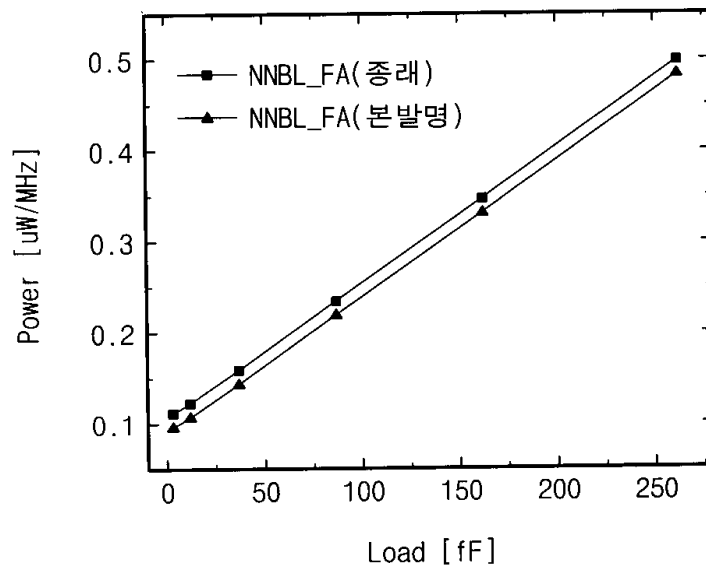
도면4



도면5a



도면5b



도면5c

