

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-507792
(P2013-507792A)

(43) 公表日 平成25年3月4日(2013.3.4)

(51) Int. Cl.	F I	テーマコード (参考)
HO1S 3/063 (2006.01)	HO1S 3/06 A	5F172
HO1S 5/00 (2006.01)	HO1S 5/00	5F173
HO1S 3/10 (2006.01)	HO1S 3/10 A	

審査請求 未請求 予備審査請求 未請求 (全 34 頁)

(21) 出願番号 特願2012-534275 (P2012-534275)
 (86) (22) 出願日 平成22年10月12日 (2010.10.12)
 (85) 翻訳文提出日 平成24年6月8日 (2012.6.8)
 (86) 国際出願番号 PCT/US2010/052249
 (87) 国際公開番号 W02011/046898
 (87) 国際公開日 平成23年4月21日 (2011.4.21)
 (31) 優先権主張番号 61/251, 143
 (32) 優先日 平成21年10月13日 (2009.10.13)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 61/251, 132
 (32) 優先日 平成21年10月13日 (2009.10.13)
 (33) 優先権主張国 米国 (US)

(71) 出願人 512095510
 スコーピオズ テクノロジーズ インコーポレイテッド
 アメリカ合衆国, ニュー メキシコ州, アルバカーク, スイート 170, ユーバンク ブールヴァード エヌイー 5600
 (74) 代理人 100107456
 弁理士 池田 成人
 (74) 代理人 100148596
 弁理士 山口 和弘
 (74) 代理人 100123995
 弁理士 野田 雅一

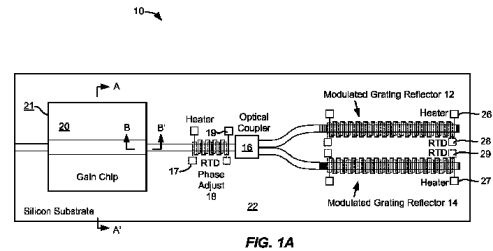
最終頁に続く

(54) 【発明の名称】 チューナブルレーザのハイブリッド集積のための方法及びシステム

(57) 【要約】

チューナブルレーザは、シリコン材料を含む基板と、基板に結合された利得媒質とを含む。利得媒質は、化合物半導体材料を含む。本チューナブルレーザは、基板内に配置され、利得媒質に光結合された導波路と、第1の反射率スペクトルによって特徴付けられ、基板内に配置された第1の波長選択性素子と、第2の反射率スペクトルによって特徴付けられ、基板内に配置された第2の波長選択性素子をも含む。本チューナブルレーザは、基板内に配置され、第1の波長選択性素子と第2の波長選択性素子と導波路とを接合する光カプラと、出力ミラーとをさらに含む。

【選択図】 図1A



【特許請求の範囲】

【請求項 1】

シリコン材料を含む基板と、
前記基板に結合された利得媒質であって、化合物半導体材料を含む利得媒質と、
前記基板内に配置され、前記利得媒質に光結合された導波路と、
第 1 の反射率スペクトルによって特徴付けられ、前記基板内に配置された第 1 の波長選択性素子と、
第 2 の反射率スペクトルによって特徴付けられ、前記基板内に配置された第 2 の波長選択性素子と、
前記基板内に配置され、前記第 1 の波長選択性素子と前記第 2 の波長選択性素子と前記導波路とを接合する光カプラと、
出力ミラーと
を備えるチューナブルレーザ。

10

【請求項 2】

前記第 1 の波長選択性素子が、第 1 の変調型グレーティング反射器を備え、
前記第 2 の波長選択性素子が、第 2 の変調型グレーティング反射器を備える、請求項 1 に記載のチューナブルレーザ。

【請求項 3】

前記第 1 の変調型グレーティング反射器が、モード間の第 1 の波長間隔によって特徴付けられる超構造グレーティングを備える、請求項 2 に記載のチューナブルレーザ。

20

【請求項 4】

前記第 2 の変調型グレーティング反射器が、モード間の前記第 1 の波長間隔とは異なるモード間の第 2 の波長間隔によって特徴付けられる超構造グレーティングを備える、請求項 3 に記載のチューナブルレーザ。

【請求項 5】

前記シリコン材料が、シリコンオンインシュレータウェハを含む、請求項 1 に記載のチューナブルレーザ。

【請求項 6】

前記シリコンオンインシュレータウェハが、シリコン基板と、前記シリコン基板上に配置された酸化層と、前記酸化層上に配置されたシリコン層とを含み、前記第 1 の波長選択性素子及び前記第 2 の波長選択性素子が、前記シリコン層中に配置される、請求項 5 に記載のチューナブルレーザ。

30

【請求項 7】

前記利得媒質と前記基板との間に半導体 / 半導体界面をさらに備える、請求項 1 に記載のチューナブルレーザ。

【請求項 8】

前記第 1 の波長選択性素子が、第 1 の屈折率調節デバイスを備え、
前記第 2 の波長選択性素子が、第 2 の屈折率調節デバイスを備える、請求項 1 に記載のチューナブルレーザ。

【請求項 9】

前記第 1 の屈折率調節デバイスが、熱デバイスを備え、
前記第 2 の屈折率調節デバイスが、熱デバイスを備える、請求項 8 に記載のチューナブルレーザ。

40

【請求項 10】

前記第 1 の波長選択性素子が、第 1 の温度センサをさらに備え、
前記第 2 の波長選択性素子が、第 2 の温度センサをさらに備える、請求項 8 に記載のチューナブルレーザ。

【請求項 11】

前記導波路と前記光カプラとの間に光結合された位相調節部をさらに備える、請求項 1 に記載のチューナブルレーザ。

50

【請求項 1 2】

前記第 1 の波長選択性素子と前記第 2 の波長選択性素子のうちの少なくとも 1 つにおける光学的位相を変更するように動作する第 2 の位相調節部をさらに備える、請求項 1 に記載のチューナブルレーザ。

【請求項 1 3】

チューナブルレーザを動作させる方法であって、

第 1 の変調型グレーティング反射器をチューニングするステップであり、前記第 1 の変調型グレーティング反射器が、第 1 の複数の反射率ピークを含む第 1 の反射率スペクトルによって特徴付けられる、チューニングするステップと、

第 2 の変調型グレーティング反射器をチューニングするステップであり、前記第 2 の変調型グレーティング反射器が、第 2 の複数の反射率ピークを含む第 2 の反射率スペクトルによって特徴付けられる、チューニングするステップと、

化合物半導体材料を含む利得媒質から光放出を発生させるステップと、

前記光放出を導波して、光カプラを通過させるステップと、

前記第 1 の複数の反射率ピークのうちの 1 つと前記第 2 の複数の反射率ピークのうちの 1 つとの重なりによって規定されるスペクトル帯域幅を有する前記光放出の一部を反射するステップと、

前記利得媒質中で前記光放出の前記一部を増幅するステップと、

出力ミラーを介して前記増幅された光放出の一部を伝送するステップと

を含む方法。

【請求項 1 4】

前記第 1 の変調型グレーティング反射器及び前記第 2 の変調型グレーティング反射器が、シリコンオンインシュレータウェハ中に配置される、請求項 1 3 に記載の方法。

【請求項 1 5】

前記シリコンオンインシュレータウェハが、シリコン基板と、前記シリコン基板上に配置された酸化物層と、前記酸化物層上に配置されたシリコン層とを含み、前記第 1 の変調型グレーティング反射器及び前記第 2 の変調型グレーティング反射器が、前記シリコン層中に配置される、請求項 1 4 に記載の方法。

【請求項 1 6】

前記利得媒質と前記シリコンオンインシュレータウェハとの間に半導体 / 半導体界面を形成するステップをさらに含む、請求項 1 4 に記載の方法。

【請求項 1 7】

前記第 1 の変調型グレーティング反射器が、モード間の第 1 の波長間隔によって特徴付けられる超構造グレーティングを備える、請求項 1 3 に記載の方法。

【請求項 1 8】

前記第 2 の変調型グレーティング反射器が、モード間の前記第 1 の波長間隔とは異なるモード間の第 2 の波長間隔によって特徴付けられる超構造グレーティングを備える、請求項 1 7 に記載の方法。

【請求項 1 9】

前記第 1 の変調型グレーティング反射器が、第 1 の屈折率調節デバイスを備え、前記第 2 の変調型グレーティング反射器が、第 2 の屈折率調節デバイスを備える、請求項 1 3 に記載の方法。

【請求項 2 0】

前記第 1 の屈折率調節デバイスが、熱デバイスを備え、

前記第 2 の屈折率調節デバイスが、熱デバイスを備える、請求項 1 9 に記載の方法。

【請求項 2 1】

前記第 1 の変調型グレーティング反射器が、第 1 の温度センサをさらに備え、

前記第 2 の変調型グレーティング反射器が、第 2 の温度センサを備える、請求項 1 9 に記載の方法。

【請求項 2 2】

10

20

30

40

50

前記光放出を位相調節するステップをさらに含む、請求項 1 3 に記載の方法。

【請求項 2 3】

シリコン層を含む基板と、
前記シリコン層にボンディングされた化合物半導体デバイスと、
前記シリコン層と前記化合物半導体デバイスとの間に配置されたボンディング領域とを
具備し、

前記ボンディング領域が、

前記ボンディング領域の第 1 の部分にある金属 - 半導体ボンドであり、前記シリコン
層にボンディングされた第 1 のパッドと、前記第 1 のパッドにボンディングされたボンデ
ィング金属と、前記ボンディング金属及び前記化合物半導体デバイスにボンディングされ
た第 2 のパッドとを含む金属 - 半導体ボンドと、

前記ボンディング領域の第 2 の部分にある界面支援型ボンドであり、前記シリコン層
と前記化合物半導体デバイスとの間に位置する界面層を含み、前記シリコン層と前記化
合物半導体デバイスとの間のオーミックコンタクトを実現する界面支援型ボンドと
を備える、ハイブリッド集積型光学デバイス。

【請求項 2 4】

前記基板が、シリコン基板と、前記シリコン基板上に配置された酸化物層と、前記酸物
層上に配置された前記シリコン層とを含むシリコンオンインシュレータウェハを備える、
請求項 2 3 に記載のハイブリッド集積型光学デバイス。

【請求項 2 5】

前記化合物半導体デバイスが、I I I - V 光学デバイスを備える、請求項 2 3 に記載の
ハイブリッド集積型光学デバイス。

【請求項 2 6】

前記 I I I - V 光学デバイスが、I n P 半導体レーザを備える、請求項 2 3 に記載のハ
イブリッド集積型光学デバイス。

【請求項 2 7】

前記第 1 のパッド及び前記第 2 のパッドが、T i 又は A u のうちの少なくとも 1 つを含
む、請求項 2 3 に記載のハイブリッド集積型光学デバイス。

【請求項 2 8】

前記界面層が、I n_x P d_y を含む、請求項 2 3 に記載のハイブリッド集積型光学デバ
イス。

【請求項 2 9】

$x = 0.7$ 及び $y = 0.3$ である、請求項 2 8 に記載のハイブリッド集積型光学デバ
イス。

【請求項 3 0】

前記界面層の厚さが、100 未満である、請求項 2 3 に記載のハイブリッド集積型光
学デバイス。

【請求項 3 1】

前記厚さが、50 未満である、請求項 3 0 に記載のハイブリッド集積型光学デバイス
。

【請求項 3 2】

前記ボンディング領域の前記第 2 の部分には、前記界面層が実質的にない、請求項 2 3
に記載のハイブリッド集積型光学デバイス。

【請求項 3 3】

ハイブリッド集積型光学デバイスを製造する方法であって、
シリコン層を含む基板を用意するステップと、
化合物半導体デバイスを用意するステップと、
前記シリコン層と前記化合物半導体デバイスとの間に配置されるボンディング領域を形
成するステップとを含み、
前記ボンディング領域が、

10

20

30

40

50

前記ボンディング領域の第 1 の部分にある金属 - 半導体ボンドであり、前記シリコン層にボンディングされた第 1 のパッドと、前記第 1 のパッドにボンディングされたボンディング金属と、前記ボンディング金属及び前記化合物半導体デバイスにボンディングされた第 2 のパッドとを含む金属 - 半導体ボンドと、

前記ボンディング領域の第 2 の部分にある界面支援型ボンドであり、前記シリコン層と前記化合物半導体デバイスとの間に位置する界面層を含み、前記シリコン層と前記化合物半導体デバイスとの間のオーミックコンタクトを実現する界面支援型ボンドとを備える、方法。

【請求項 3 4】

前記基板が、シリコン基板と、前記シリコン基板上に配置された酸化物層と、前記酸化物層上に配置された前記シリコン層とを含むシリコンオンインシュレータウェハを備える、請求項 3 3 に記載の方法。

10

【請求項 3 5】

前記化合物半導体デバイスが、InP 半導体レーザを備える、請求項 3 3 に記載の方法。

【請求項 3 6】

前記ボンディング領域の前記第 2 の部分には、前記 InP 半導体レーザの能動領域に隣接する位置に前記界面層が実質的にない、請求項 3 5 に記載の方法。

【請求項 3 7】

前記第 1 のパッド及び前記第 2 のパッドが、Ti と Au のうちの少なくとも 1 つを含む、請求項 3 3 に記載の方法。

20

【請求項 3 8】

前記界面層が、In_xPd_y を含む、請求項 3 3 に記載の方法。

【請求項 3 9】

x = 0.7 及び y = 0.3 である、請求項 3 8 に記載の方法。

【請求項 4 0】

前記界面層の厚さが、50 nm 未満である、請求項 3 3 に記載の方法。

【請求項 4 1】

前記シリコン層と前記化合物半導体デバイスとの間に配置される前記ボンディング領域を形成するステップが、約 350 °C ~ 約 500 °C の範囲である温度でボンディングプロセスを実行するサブステップを含む、請求項 3 3 に記載の方法。

30

【請求項 4 2】

前記温度が、約 400 °C ~ 約 450 °C の範囲である、請求項 4 1 に記載の方法。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001]本発明は、2009年10月13日に出願した米国特許仮出願番号第61/251,132号及び第61/251,143号に優先権を主張し、この開示は、すべての目的のためにその全体が参考により本明細書に援用されている。

【背景技術】

40

【0002】

[0002]フォトニック素子（光素子）のバイアス制御、変調、増幅、データシリアルライゼーション及びデシリアルライゼーション、フレミング、ルーティング、並びに他の機能など先進の電子機能は、一般にシリコン集積回路上で展開される。この主な理由は、最先端機能及び性能を有するデバイスの生産を市場対応価格で可能にする、シリコン集積回路の設計及び製造のためのグローバルなインフラストラクチャの存在である。シリコンは、その間接遷移エネルギーバンドギャップのために光放出又は光増幅用には有効ではなかった。この欠点が、シリコン上にモノリシックに集積したオプトエレクトロニック集積回路の製造を妨げていた。

【0003】

50

[0003]インジウムリン、ガリウムヒ素、関連する三元系材料及び四元系材料など化合物半導体は、その直接遷移エネルギーバンドギャップのために、光通信、特に発光ダイオード及びフォトダイオードにとって極めて重要なものであった。同時に、これらの材料上に先進の電子機能を集積することは、これらの材料中にデバイス及び回路を製造するコストがはるかに高いために、ニッチで高性能な応用分野に限られていた。

【0004】

[0004]シリコン集積回路（「IC」）が電子機器の開発で優位を占めており、シリコン処理に基づく多くの技術が長年にわたって開発されている。これらの継続した改良は、相補型金属酸化半導体CMOS回路を作成するのに重要となり得るナノスケールのフィーチャサイズをもたらした。一方、シリコンは、直接遷移バンドギャップ材料ではない。インジウムリンなどのIII-V化合物半導体材料を含む直接遷移バンドギャップ材料が開発されているとはいえ、当技術分野では、シリコン基板を利用するフォトニックICに関する方法及びシステムの改良が求められている。

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

[0005]従って、当技術分野では、シリコンデバイス及び化合物半導体デバイスのハイブリッド集積に関する方法及びシステムが求められている。

【課題を解決するための手段】

【0006】

[0006]本発明の実施形態は、ハイブリッド集積型シリコンフォトニクスに関する。特に、本発明の実施形態は、シリコン基材等の上にモノリシックに集積したチューニング素子を有する化合物半導体チップのハイブリッド集積の装置及び方法に関する。

20

【0007】

[0007]本発明の一実施形態によれば、フォトニック集積に関する技術が提供される。単に一例として、本発明の実施形態は、ハイブリッド設計を利用するチューナブルレーザ（波長可変レーザ）を製造し動作させるための方法及びシステムに適用されている。特に、本発明の実施形態は、第1の材料システム中に製造された半導体レーザデバイス及び第2の材料システム中に製造された波長チューニングデバイスを含むハイブリッドシステムを含む。ある実施形態では、チューナブルレーザが、本明細書中で説明するボンディング法を使用して製造される。しかしながら、本発明の範囲は、この応用例よりも広く、他のフォトニックシステムを含む。

30

【0008】

[0008]本発明の一実施形態によれば、チューナブルレーザは、シリコン材料を含む基板と、基板に結合された利得媒質とを含む。利得媒質は、化合物半導体材料を含む。また、本チューナブルレーザは、基板内に配置され、利得媒質に光結合された導波路と、第1の反射率スペクトルによって特徴付けられ、基板内に配置された第1の波長選択性素子とを含む。また、本チューナブルレーザは、第2の反射率スペクトルによって特徴付けられ、基板内に配置された第2の波長選択性素子を含む。本チューナブルレーザは、基板内に配置され、第1の波長選択性素子と第2の波長選択性素子と導波路とを接合する光カプラと、出力ミラーとをさらに含む。

40

【0009】

[0009]本発明の別の実施形態によれば、チューナブルレーザを動作させる方法が提供される。本方法は、第1の変調型グレーティング反射器をチューニングするステップと、第2の変調型グレーティング反射器をチューニングするステップとを含む。第1の変調型グレーティング反射器は、第1の複数の反射率ピークを含む第1の反射率スペクトルによって特徴付けられ、第2の変調型グレーティング反射器は、第2の複数の反射率ピークを含む第2の反射率スペクトルによって特徴付けられる。また、本方法は、化合物半導体材料を含む利得媒質から光放出を発生させるステップと、光放出を導波して、光カプラを通過させるステップとを含む。本方法は、第1の複数の反射率ピークのうちの1つと第2の

50

複数の反射率ピークのうちの1つとの重なりによって規定されるスペクトル帯域幅を有する光放出の一部を反射するステップと、利得媒質中で光放出の一部を増幅するステップと、出力ミラーを介して増幅された光放出の一部を伝送するステップとをさらに含む。

【0010】

[0010]本発明の一実施形態によれば、半導体製造プロセスに関する技術が提供される。単に一例として、本発明の実施形態は、フォトリソ集積応用における使用のために異種基板をボンディングするための方法及びシステムに適用されている。特に、本発明の一実施形態は、低い光学的損失及び高い電氣的導電性を実現するために、金属/半導体ボンド及び半導体/半導体ボンドを含むハイブリッドボンディング構造を利用する。半導体/半導体ボンドを、界面支援型ボンドとすることができる。しかしながら、本発明の範囲は、本出願よりも広く、他の基板ボンディング技術を含む。

10

【0011】

[0011]本発明の一実施形態によれば、ハイブリッド集積型光学デバイスが提供される。本ハイブリッド集積型光学デバイスは、シリコン層を含む基板と、シリコン層にボンディングされた化合物半導体デバイスとを含む。また、本ハイブリッド集積型光学デバイスは、シリコン層と化合物半導体デバイスとの間に配置されたボンディング領域を含む。ボンディング領域は、ボンディング領域の第1の部分に金属-半導体ボンドを含む。金属-半導体ボンドは、シリコン層にボンディングされた第1のパッドと、第1のパッドにボンディングされたボンディング金属と、ボンディング金属及び化合物半導体デバイスにボンディングされた第2のパッドとを含む。また、ボンディング領域は、ボンディング領域の第2の部分に界面支援型ボンドを含む。界面支援型ボンドは、シリコン層と化合物半導体デバイスとの間に位置する界面層を含む。界面支援型ボンドは、シリコン層と化合物半導体デバイスとの間のオーミックコンタクトを実現する。

20

【0012】

[0012]本発明の別の一実施形態によれば、ハイブリッド集積型光学デバイスを製造する方法が提供される。本方法は、シリコン層を含む基板を用意するステップと、化合物半導体デバイスを用意するステップとを含む。また、本方法は、シリコン層と化合物半導体デバイスとの間に配置されるボンディング領域を形成するステップを含む。ボンディング領域は、ボンディング領域の第1の部分に金属-半導体ボンドを含む。金属-半導体ボンドは、シリコン層にボンディングされた第1のパッドと、第1のパッドにボンディングされたボンディング金属と、ボンディング金属及び化合物半導体デバイスにボンディングされた第2のパッドとを含む。また、ボンディング領域は、ボンディング領域の第2の部分に界面支援型ボンドを含む。界面支援型ボンドは、シリコン層と化合物半導体デバイスとの間に位置する界面層を含み、界面支援型ボンドが、シリコン層と化合物半導体デバイスとの間のオーミックコンタクトを実現する。

30

【0013】

[0013]多くの利点が、従来技術に対して本発明によって実現される。例えば、本発明の実施形態は、光通信システムのサイズ及び電力消費を削減し、デバイスの厳密な温度制御についての要件を緩和し、デバイス中の屈折率ゆらぎを最小限に抑えることを介してレーザ線幅を改善するのに適した方法及びシステムを提供する。例えば、本発明の実施形態は、優れた機械的強度、優れた電氣的導電性、異なる熱膨張係数を有する半導体材料を優れた信頼性で複合ボンディング又はハイブリッドボンディングすることができるような十分な順応性を提供するのに適した方法及びシステムを提供し、これは優れた光透過性をも有する。利点のこの組み合わせは、2つ以上の個別の半導体材料間のボンディングした界面にまたがる電氣的機能及び光学的機能の両方を可能にする。本発明のこれらの実施形態及び他の実施形態が、その利点及び特徴とともに、下記の本文及び添付した図とともにより詳細に説明される。

40

【図面の簡単な説明】

【0014】

【図1A】本発明の一実施形態によるハイブリッド集積型チューナブルレーザを図示する

50

単純化した平面図である。

【図 1 B】本発明の特定の一実施形態によるハイブリッド集積型チューナブルレーザを図示する単純化した断面図である。

【図 1 C】本発明の具体的な一実施形態によるハイブリッド集積型チューナブルレーザを図示する単純化した断面図である。

【図 2 A】図 1 A に図示した断面 A - A' での断面図である。

【図 2 B】図 1 A に図示した断面 B - B' での断面図である。

【図 3 A】本発明の一実施形態による導波路の単純化した透視図である。

【図 3 B】本発明の一実施形態による図 3 A に図示した導波路の高屈折率部分での単純化した断面図である。

【図 3 C】本発明の一実施形態による図 3 A に図示した導波路の低屈折率部分での単純化した断面図である。

【図 3 D】図 3 B に図示した導波路の高屈折率部分についての TE モードを図示する等高線図である。

【図 3 E】図 3 B に図示した導波路の高屈折率部分についての TM モードを図示する等高線図である。

【図 3 F】図 3 C に図示した導波路の低屈折率部分についての TE モードを図示する等高線図である。

【図 3 G】図 3 C に図示した導波路の低屈折率部分についての TM モードを図示する等高線図である。

【図 4 A】本発明の一実施形態による第 1 の変調型グレーティング反射器についての反射率スペクトルを図示する図である。

【図 4 B】本発明の一実施形態による第 2 の変調型グレーティング反射器についての反射率スペクトルを図示する図である。

【図 4 C】図 4 A 及び図 4 B に示した反射率スペクトルの重ね合わせを図示する図である。

【図 4 D】図 4 A 及び図 4 B に示した反射率スペクトル間の強め合う干渉を図示する図である。

【図 5 A】本発明の一実施形態による温度変化に応じた動作波長を図示するプロットである。

【図 5 B】本発明の一実施形態による屈折率に応じた反射率スペクトルの波長シフトを図示する図である。

【図 6】本発明の一実施形態によるハイブリッド集積型レーザを動作させる方法を図示する単純化したフローチャートである。

【図 7】III-V 基板とシリコン基板との間に低応力ボンドを有するフォトダイオードの一例を図示する図である。

【図 8】本発明の一実施形態によるボンディング構造を図示する図である。

【図 9】本発明の一実施形態による合金安定性を示す相図である。

【図 10】本発明の一実施形態に従ってシリコン基板にボンディングした化合物半導体構造の単純化した概略図である。

【図 11 A】本発明の一実施形態によるボンド界面を図示する単純化した概略図である。

【図 11 B】本発明の一実施形態によるボンド界面を図示する単純化した概略図である。

【図 11 C】本発明の一実施形態によるボンド界面を図示する単純化した概略図である。

【図 12 A】本発明の別の一実施形態によるボンド界面を図示する単純化した概略図である。

【図 12 B】本発明の別の一実施形態によるボンド界面を図示する単純化した概略図である。

【図 13】本発明の一実施形態によるハイブリッド半導体構造を製造する方法を図示する単純化したフローチャートである。

【図 14】本発明の別の一実施形態によるハイブリッド半導体構造を製造する方法を図示

10

20

30

40

50

する単純化したフローチャートである。

【発明を実施するための形態】

【0015】

[0041]シリコン上のハイブリッド集積は、オプトエレクトロニック集積回路の商業展開にとって好ましい。シリコンは、エレクトロニック集積にとって好ましい材料である。シリコン技術は、極めて複雑なエレクトロニック機能を非常に安価に実現できるように進歩している。また、シリコンは、低損失光導波路を構築するための良好な材料である。しかしながら、シリコンが間接遷移バンドギャップ材料であるために、シリコンへの光発生機能又は光検出機能のモノリシックな集積が妨げられている。逆に、インジウムリンなどのIII-V材料を含む化合物半導体材料は、直接遷移バンドギャップ材料であることなどのその物理的特性のために、光発生及び光検出用に十分に適している。これらの材料は、基板が小さく、(シリコンと比較して)相対的に低歩留りの複雑な材料システムである。従って、高いレベルの機能を有するデバイスを構築することは、現在のところコストが非常にかかる。

10

【0016】

[0042]本発明の実施形態は、シリコン基材又は類似の材料上にモノリシックに集積されたチューニング素子を有する化合物半導体デバイスのハイブリッド集積のための装置及び方法に関する。好ましくは、ハイブリッド集積は、シリコン及び化合物半導体の特有の欠点を克服する一方で、これらのそれぞれの強みを利用する方法である。本発明の実施形態は、コストを最小限に抑えるためにシリコンデバイスを使用して得られる複雑なエレクトロニック機能、及びハイブリッド集積型システムを形成するためにIII-V材料を使用して得られる光学的機能(例えば、光発生及び光検出)を利用することが好ましい。本発明のある実施形態は、III-V材料システムから機能を取り除き、シリコンシステムへかかる機能を移動させ、システム性能を向上させる。

20

【0017】

[0043]本発明の実施形態は、シリコン集積回路プラットフォーム等の上に搭載された化合物半導体材料システムを使用して製造されるフォトリソグラフィック装置を利用する。本発明の実施形態は、それだけには限らないが、シリコン及び類似の材料を使用して製造することが可能である導波路、光マルチプレクサ、光デマルチプレクサ、光変調器等を含めて、直接遷移エネルギーバンドギャップに従来依拠しない複数の技術及び装置を利用することによってフォトリソグラフィック集積を実現する。本発明の実施形態は、電流注入又は局所的加熱を介してシリコンの屈折率を変更する方法を含むが、これに限定されない方法を任意選択で含む。

30

【0018】

[0044]本発明の実施形態は、光エネルギーの初期供給源として働くレーザデバイスを任意選択で利用することを含むが、これに限定されない。今日の高密度波長分割多重化(「DWDM」)システムでは、レーザ源は、典型的には固定波長分散型フィードバックレーザ又はチューナブルレーザである。チューナブルレーザは、光通信ネットワークオペラタに追加の自由度を提供することが好ましい。あるDWDMシステムは、80個までの異なる波長を有するレーザを使用することが可能である。1個のチューナブルレーザは、これらの波長のうちのいずれかにチューニングすることが可能である。80個の固定波長レーザのいずれかと取り替えるために、1個のチューナブルレーザを在庫し使用することができ、これによって必要な在庫レベル及び付随するコストを削減する。

40

【0019】

[0045]本出願を通して使用される用語「シリコン」は、4価の非金属元素などを含むが、これらに限定されない。本明細書を通して使用される用語「レーザ」は、放射光の誘導放出による光増幅(light amplification by stimulated emission of radiation)の頭字語、及び/又はコヒーレント光の強い単色ビームを生成する光学デバイスを含むが、これらに限定されない。本明細書を通して使用されるような基板材料のタイプを表す用語「SOI」及び/又は「シリコン

50

オンインシュレータ」は、グレーティング及びチューニングテストを含むが、これらに限定されない。本出願を通して使用される用語「D W D M」及び/又は「高密度波長分割多重化」は、設備投資額及び操業支出額を最少にしつつシステム帯域幅を最大にするために光通信産業によって利用される技術を含むが、これに限定されない。これらのコストは、D W D M技術の使用を通して最小にされる。その理由は、かなりの支出を通常必要とする追加の光ファイバを配備することを必要とするのではなく、システムオペレータが、別の光波長を追加することによってそのシステム帯域幅を増加させることができるからである。本出願を通して使用される用語「バンドギャップ」は、電子状態が存在しない固体中のエネルギー範囲、及び/又は価電子帯の上端と伝導帯の底部との間のエネルギー差、及び/又は核の周りの電子軌道から自由状態に外殻電子を自由にするために必要なエネルギーの大きさ、及び/又はこれらの任意の組み合わせを含むが、これらに限定されない。本出願を通して使用される用語「フォトリック集積」は、統一体 (a w h o l e) を作る、又は多機能全体の一部を作ること、及び例えば、単体構成要素を用いて作り上げたサブシステムの性能に適合させながら、1桁だけパッケージングサイズを縮小することの意味を含むが、これらに限定されない。本出願を通して使用される用語「利得媒質」及び互換的に「利得チップ」は、レーザ内部の光学的利得の供給源を含むが、これに限定されない。利得は、高いエネルギー状態から低いエネルギー状態への電子遷移又は分子遷移の誘導放出に一般的に由来する。本出願を通して使用される用語「I n P」又は「インジウムリン」は、表現「I I I - V化合物半導体」と互換的に使用される。

10

20

【0020】

[0046] 図1Aは、本発明の一実施形態によるハイブリッド集積型チューナブルレーザを図示する単純化した平面図である。図1Aに図示したように、レーザ10は、シリコン基板22上に配置された又はシリコン基板22中に作られた能動素子及び受動素子の両方を含むハイブリッド集積型構造である。シリコン基板22が図示されているが、これは、シリコン材料システムを使用して製造される様々な半導体デバイスを含むことが意図されている。かかるデバイスは、C M O S回路、電流源、レーザ駆動装置、熱システムコントローラ、受動光学素子、能動光学素子などを含む。

【0021】

[0047] 図1Aを参照すると、第1の変調型グレーティング反射器12及び第2の変調型グレーティング反射器14が、シリコン基板22上に作られる。変調型グレーティング反射器12及び14は、屈折率を調節するように変更可能であることが好ましい。第1の変調型グレーティング反射器12及び第2の変調型グレーティング反射器14は、本発明の実施形態によって利用される波長選択性素子の例である。図1Aにおける変調型グレーティング反射器の使用の例示は、本発明の範囲を限定することを意図するのではなく、単に波長選択性素子の例を提供することである。他の波長選択性素子を、本発明の実施形態において利用することが可能である。下記にさらに十分に説明するように、波長選択性素子を、チューニング可能波長範囲全体にわたって可変コーム間隔を有する反射率ピークのコームを与える抽出ブラッググレーティング又は抽出分散型フィードバック反射器とすることができる。本発明の実施形態は、これらの実装形態に限定するのではなく、フォトリック結晶、エタロン構造、M E M Sデバイス、リング共振器、アレイ型導波路グレーティングデバイス、マッハツェンダ格子フィルタなどを、波長選択性素子として採用することができる。本明細書において論じる波長選択性素子によってもたらされる利点は、電流、電圧、温度、機械的力などの制御可能なパラメータの使用を通してシフトさせることができる単一のピーク又は複数のピークを含む反射スペクトルである。

30

40

【0022】

[0048] 一例として、シリコン基板内に集積したヒータを、変調型グレーティング反射器を囲む領域の温度、これによって屈折率を局所的に変えるために利用することができる。下記により十分に説明するように、局所的な屈折率を制御する能力は、変調型グレーティング反射器の反射率及びハイブリッド集積型デバイスの出力波長を変える機能を実現する。

50

【 0 0 2 3 】

[0049] レーザ 10 は、マルチモード干渉カブラ 16 及び 1 つ又は複数の位相調節部 18 をさらに含むが、これらに限定されない。位相調節部 18 はまた、波長選択性デバイス（例えば、グレーティング部）を介して実装することができるカブラ部の出力と利得媒質 20 との間の位相ミスアライメントの補正を実現する位相制御領域とも呼ぶことができる。図示した実施形態では、位相調節部 18 は、マルチモード干渉カブラ 16 と利得媒質 20 との間に設置される、しかしながら、別の実施形態では、同じ又は類似の性能特性を実現する違った場所にこの素子を設置する。

【 0 0 2 4 】

[0050] マルチモード干渉カブラ、 y -分岐、又は他の方法の使用を介して実装することができるカブラ部は、2 つ以上のチューニング部からの光を分割し再統合する。導波路（入力導波路）から伝搬部に発せられたコヒーレント光が周期的な間隔で自己結像する原理に基づくマルチモード干渉カブラを、 $n \times m$ 分割比を効率的に実現するために使用することが可能である。今回は、設計が、 1×2 分割用に最適化されるが、複数の利得チップ又は 2 個よりも多くのチューニングアームのいずれかがあるケースでは、別の分割比を採用することができる。図示したデバイスによってもたらされる利点は、光の位相関係が一定である場合に、チューニングアームから戻るコヒーレント光を、最小の余分な損失で発射波長に結合させて戻すことができることである。戻ってくる光の干渉パターンが入力導波路と最大の重なりを有することを確実にするために、位相調節部が、1 つ又は複数の分岐アーム中に実装されることがある。分岐アーム中での位相調節に加えて、位相調節部 18 が、カブラ 16 から利得チップ 20 まで導く導波路部において利用される。デバイス下の導波路層中の屈折率を変え、ヒータ又は電流注入電極などのデバイスを介して実装することが可能であるこの位相調節部は、デバイスのキャビティモードとチューニング部によって選択されるグレーティングモードとの間の重なりを与えるように働く。

【 0 0 2 5 】

[0051] 図 1 A に図示したように、化合物半導体材料システムを使用して作られる利得媒質 20（利得チップとも呼ばれる）は、ハイブリッド構成にシリコン基板 22 とともに集積される。直接遷移バンドギャップである化合物半導体材料は、レーザデバイスにとっての光学的利得を実現する。シリコン基板への利得媒質（及び / 又は別の化合物半導体素子）のハイブリッド集積又は取り付けを、1 つ又はいくつかの方式で行うことが可能である。特定の実施形態では、ハイブリッド集積は、段落 [0002] 中の関連する出願参考文献中に記載された方法及びシステムを使用して実行される。利得媒質に加えて、化合物半導体材料を使用して作った吸収媒質を、シリコン基板とともに集積することが可能である。本発明の実施形態は、光学的機能及び / 又は電気的機能を実現するシリコンフォトリソニック素子とともに利得領域及び / 又は吸収領域としての働きをする III-V デバイス及び構造を集積する。シリコンフォトリソニック素子は、CMOS 回路などを含むことができる。当業者は、多くの変形形態、変更形態、及び代替形態に気付くであろう。

【 0 0 2 6 】

[0052] 図 4 ~ 図 4 D に関連してより詳細に論じるように、変調型グレーティング反射器 12 及び 14 は、レーザ 10 の一端にフィードバックを与える。前面ファセット反射器の形式でのフィードバックは、表面 21 上の利得媒質に付けられた低反射率コーティング（例えば、数パーセント、例えば、約 1 ~ 10 % の反射率を有する誘電体コーティング）によって実現される。或いは、レーザキャビティに対するフィードバックを実現するために、分散型フィードバック（例えば、グレーティング）構造を、シリコン基板中に集積することができる。別の一実施形態では、低屈折率コーティングが、シリコン基板の表面に付けられる。当業者は、多くの変形形態、変更形態、及び代替形態に気付くであろう。図 1 A に図示したように、光学的利得以外の光学的機能は、光学的機能が典型的には設けられ集積されている III-V 材料からシリコン材料中に移されており、これによって III-V 材料中に完全に集積された設計と比較してデバイス歩留りを高くする。図示した実施形態では、チューナブル反射部（波長選択性デバイスとも呼ばれる）及び他の光学的機能

10

20

30

40

50

が、シリコン材料中で実行される。

【0027】

[0053] 図1Aは、第1の変調型グレーティング反射器12に付随するヒータ素子26及び温度センサ28並びに第2の変調型グレーティング反射器に付随するヒータ素子27及び温度センサ29をも図示する。一実施形態では、ヒータ素子を、W、NiCr、Ta₂N₅、WSi、RuO₂、PbO、Bi₂Ru₂O₇、Bi₂Ir₂O₇などの材料の真空堆積を介して形成された薄膜抵抗器とすることができる。

【0028】

[0054] 一実施形態では、温度センサを、抵抗性熱デバイス(RTD)、熱電対、p-n接合などとすることができる。ヒータを通り電流を流すことによって、屈折率を変更し、結果として反射率プロファイルを変更するために、変調型グレーティング反射器を囲んでいる領域の温度を変更することが可能である。実効光学長及びこれによって光の位相を制御するために屈折率の温度依存性をも使用することができる位相調節部18には、類似の機能及び波長チューナビリティを与えるために、ヒータ及び温度センサも設けられる。

【0029】

[0055] 本発明のある実施形態は、シリコン系変調型グレーティング反射器内で変化する屈折率を実現するために熱的チューニングを利用する。熱的チューニングを使用して得られる利点の1つは、InP材料システムにおいて電流チューニングを使用して実現される屈折率の短時間スケールの変動と比較して、熱的チューニングを使用して生成される屈折率の短時間スケールの変動を著しく低減させることである。屈折率安定性のかかる改善は、他の手法を使用して実現することが可能なものよりも著しく狭いレーザ線幅をもたらすことになる。当業者には明であるように、本発明の実施形態によって実現される安定なチューニングは、DWDM応用及び精密にチューニングしたレーザを利用する他の応用において本明細書中で説明するレーザの使用を可能にする。一例として、DQPSKなどの先進の変調技術は、本明細書において説明するレーザの使用から利益を得ることができる。

【0030】

[0056] 位相調節部は、そこに含まれている導波路部の屈折率の変更を介して動作する。屈折率の変更を介して、入力位相角と比較して位相調節デバイスを出る光の位相角を、精密に制御することが可能である。これは、グレーティングモードとのレーザキャビティモードのアライメントを可能にする。図示した実施形態では、位相調節デバイス18は、ヒータ19及び温度センサ(例えば、RTD)17を含む。

【0031】

[0057] 図1Bは、本発明の特定の一実施形態によるハイブリッド集積型チューナブルレーザを図示する単純化した断面図である。図1Bに図示したように、利得媒質中の導波路とシリコン層中の導波路との間の直接結合が利用される。ヒータ素子及び温度センサ(例えば、RTD)が、位相調節部並びに変調型グレーティング反射器部に対して図示されている。封止材料が、変調型グレーティング反射器を覆って図示されている。封止材料は、他の構成との間の電気的分離を与える。

【0032】

[0058] 図1Cは、本発明の具体的な一実施形態によるハイブリッド集積型チューナブルレーザを図示する単純化した断面図である。図1Cに図示された構造は、利得媒質中の導波路とシリコン層中の導波路との間にエパネッセント結合が利用されていることを除いて図1Bに図示したものと同様である。

【0033】

[0059] 図1Bを参照すると、図2Bに図示した屈折率整合層と必ずしも同じである必要がない、制御型屈折率層が図示されている。制御型屈折率層を、例えば、空気、SiO₂などを使用することによってシリコン導波路中のモード成形用を使用することが可能である。本発明のある実施形態によれば、利得媒質への光結合が改善されるように、高屈折率材料がシリコン導波路中のモードを広げるために利用される。制御型屈折率層が絶縁体ではない場合には、ヒータ金属と制御型屈折率層との間に封止層をも使用することができる

10

20

30

40

50

。図 1 B 及び図 1 C に図示したように、シリコン導波路への利得媒質の直接結合（バットカップリングとしても知られる）又はエバネッセント結合を使用することができる。

【 0 0 3 4 】

[0060] 図 1 C を参照すると、MMI（マルチモード干渉カプラ）などのデバイスとすることができる光カプラが図示されている。ある実施形態では、MMI を、無誘導伝搬領域を使用して形成することが可能である。その上に、図 1 A ~ 図 1 C には図示していないが、チューニング部の出力部に図示された位相調節部に加えて、Y 分岐構造の脚部の一方に第 2 の位相調節領域を設けることができる。

【 0 0 3 5 】

[0061] 図 2 A は、図 1 A に図示した断面 A - A' での断面図である。シリコン基板 2 2 の他に、シリコンオンインシュレータ（SOI）酸化物層 2 3 及び SOI シリコン層 2 4 が図示されている。図示した実施形態では、利得チップが挿入される凹部領域を設けるために、SOI シリコン層の一部が、エッチング又は他のプロセスを使用して除去されている。利得チップからシリコン導波路中への光のエバネッセント結合が使用されるケースでは、かかるエッチングを実行することができない。利得チップは、場所 2 5 にハイブリッド素子間の電気的ボンドを実現する金属 / 金属構造ボンドを使用して、図 2 A に図示した実施形態中のシリコン基板にボンディングされる。加えて、金属 / 半導体ボンド又は半導体 / 半導体ボンドが図示されている。これらのボンディング技術の組み合わせを、同様に実装することが可能である。当業者は、多くの変形形態、変更形態、及び代替形態に気付くであろう。

10

20

【 0 0 3 6 】

[0062] 図 2 B は、図 1 A に図示した断面 B - B' での断面図である。当業者には明らかであるように、利得チップ中の光導波路が、SOI シリコン層中の光導波路に結合されることになる。屈折率整合領域が、ハイブリッドデバイス間の高度な光結合を容易にし、寄生反射を低減する又は最小限に抑えるために、利得チップと SOI シリコン層との間の界面に設けられる。屈折率整合領域を、適切な屈折率整合材料で埋めることが可能であり、空のままにすることができ、ファセット 2 6 及び / 若しくは 2 7 に図示したようにハイブリッドデバイスの表面に付けられた光学的コーティング、又はこれらの組み合わせなどを有することができる。

【 0 0 3 7 】

[0063] 図 1 A をもう 1 度参照すると、第 1 の変調型グレーティング反射器 1 2 は、反射した光学波長のコームを作り出す光学的フィードバックを与える。第 2 の変調型グレーティング反射器 1 4 は、異なる光学的周期によって特徴付けられる光学的フィードバックを与え、これによって反射した波長の可変セットをもたらす。波長の 2 つのコームは、光カプラ 1 6 中で統合される。コームが重なり、強め合う干渉のためにレージングが生じることが好ましい。或いは、コームが重ならない場合には、レージングが弱め合う干渉のために妨げられることが好ましい。第 1 の変調型グレーティング反射器 1 2 及び / 又は第 2 の変調型グレーティング反射器 1 4 の特有の光学的スペクトルは、屈折率を変えることによって変更することが可能である。屈折率が、加熱素子を使用して変調型グレーティング反射器 1 2、1 4 の温度を変えることによって変更されることが好ましい。加熱の量が、R

30

40

【 0 0 3 8 】

[0064] 第 1 の変調型グレーティング反射器 1 2 及び第 2 の変調型グレーティング反射器 1 4 からの反射スペクトル間の小さな位相オフセットを補償するために、位相調節が、位相調節領域 1 8 を使用して実現される。本発明の実施形態は、インジウムリンなどの化合物半導体、並びに / 又はシリコン及び / 若しくは類似の材料中に実現することが可能である機能ブロックを備える。本発明の実施形態は、好ましくは熱的技術を使用して、シリコン等の屈折率を変更することによるチューニングを含む。

【 0 0 3 9 】

[0065] 本発明の実施形態では、好ましくは直接遷移バンドギャップ材料を使用する利得

50

媒質を、化合物半導体材料中に実現することが可能である。本発明の別の実施形態は、シリコン材料システム中に実現することが可能である機能ブロックを含む。本発明の実施形態は、低コストで高歩留りをもたらすことが可能な方法を使用して構成要素を製造することを含むがこれに限定されない様々な理由のために、好ましいハイブリッド手法を利用し、シリコン材料システムなどと比較してIII-V材料システムの複雑性のために、事実上制限のないレベルの追加の集積を実現することが可能である。それゆえ、本発明の実施形態は、チューナブルレーザの動作を制御するために実質的にすべての必要な回路を包含し、シリコン系デバイスとともにモノリシックに集積することも可能である。

【0040】

[0066]本発明の実施形態は半導体産業によって生産される製品に関連して実施されているが、本発明の実施形態は、電気通信産業、企業通信産業、高性能コンピュータ相互接続、背面光相互接続、チップ対チップ光相互接続、チップ内光相互接続などのための光通信ネットワークにおいても有用であることに留意されたい。これらの通信応用に加えて、本発明の実施形態は、医療用装置産業に応用することもできる。

10

【0041】

[0067]下記の図は、二酸化シリコンキャップ層を有するSOI基板を使用してシリコン中に作った導波路の解析及び応用例を図示する。材料システムは、単に例として説明され、本発明の実施形態を他の材料システム中に実装することが可能である。

【0042】

[0068]図3Aは、本発明の一実施形態による導波路の単純化した透視図である。図3Aに図示したように、導波路構造が、導波路を構成する1つ又は複数の層の厚さの周期的な変化を用いて形成される。図示した実施形態では、SOIシリコン層は、厚さHを有する高い部分及び厚さH-hを有する低い部分の状態で厚さが変化する。導波路の幅はWである。明確にする目的で、上から2つのSOI層(すなわち、SOI酸化層及びSOIシリコン層)だけが、図3A~図3Cには図示されている。図3Bは、本発明の一実施形態による図3Aに図示した導波路の高屈折率部分での単純化した断面図である。図3Cは、本発明の一実施形態による図3Aに図示した導波路の低屈折率部分での単純化した断面図である。これらの図に示した上部SiO₂層を、空気、TiO₂、SiC、ZnS、Nb₂O₅、HfO₂、ZrO₂などの別の屈折率制御型層によって置き換えることができることに留意されたい。当業者には明らかなように、様々な材料の屈折率が光学モードの形状に影響を与えることになる。

20

30

【0043】

[0069]導波路構造を解析し、導波路の様々な区間についての実効屈折率を決定した。ベクトルEMモード解析器を使用し、2つの異なるリッジ高さを有する2つの異なる単一モードリッジ導波路に適用した。実効屈折率 n_H 及び n_L 並びにモードプロファイルを抽出することができ、したがって完全三次元問題が一次元問題となり、一次元伝達行列法が、多層構造を効果的にシミュレーションした。長さ全体にわたってコヒーレントに累積された、屈折率差によって生み出される反射が、波長に対する様々な反射率をもたらす。

【0044】

[0070]図3Dは、図3Bに図示した導波路の高屈折率部分についてのTEモードを図示する等高線図である。図3Eは、図3Bに図示した導波路の高屈折率部分についてのTMモードを図示する等高線図である。図3Fは、図3Cに図示した導波路の低屈折率部分についてのTEモードを図示する等高線図である。図3Gは、図3Cに図示した導波路の低屈折率部分についてのTMモードを図示する等高線図である。

40

【0045】

[0071]図4Aは、本発明の一実施形態による第1の変調型グレーティング反射器についての反射率スペクトルを図示し、図4Bは、本発明の一実施形態による第2の変調型グレーティング反射器についての反射率スペクトルを図示する。図4Aに図示したように、グレーティング構造は、周期的な変調型グレーティングがコーム状の反射スペクトルを与える超構造グレーティング(SSG)を含む。これらのグレーティングでは、グレーティン

50

グに付随するモード間隔がエンベロープと重ね合わせられるように、複数の要素の周期性が与えられる。コームのモード間の間隔は、導波路内に形成されたグレーティングフィーチャの高さ及び他の特徴の関数になる。

【0046】

[0072] S S Gの一例として、図4Aに図示した反射率スペクトルが、下記の3ステップ変調型超構造グレーティングパラメータを使用して求められた。

$$\text{デューティサイクル} = [0.5 \quad 0.5 \quad 0.5]$$

$$\text{周期} = [227.7 \quad 230 \quad 232.3] \text{ nm}$$

$$N_{\text{sub}} = [110 \quad 109 \quad 108]$$

$$A_s = (25.047 + 25.07 + 25.088) = 75.205 \mu\text{m}$$

$$n_H = 3.3757, \quad n_L = 3.3709,$$

$$n = n_H - n_L = 0.0048$$

$$N_p = 11$$

周期の総数 = 3597 混合型周期

これらのグレーティングパラメータに対して、 $\lambda_1 = 4.7 \text{ nm}$ のモード間隔が実現された。

【0047】

[0073] S S Gの別の一例として、図4Bに図示した反射率スペクトルが、下記の3ステップ変調型超構造グレーティングパラメータを使用して求められた。

$$\text{デューティサイクル} = [0.5 \quad 0.5 \quad 0.5]$$

$$\text{周期} = [228.2 \quad 230 \quad 231.8] \text{ nm}$$

$$N_{\text{sub}} = [131 \quad 130 \quad 129]$$

$$A_s = (29.894 + 29.9 + 29.902) = 89.696 \mu\text{m}$$

$$n_H = 3.3757, \quad n_L = 3.3709,$$

$$n = n_H - n_L = 0.0048$$

$$N_p = 11$$

周期の総数 = 4290 混合型周期

これらのグレーティングパラメータに対して、 $\lambda_2 = 4.0 \text{ nm}$ のモード間隔が実現された。

【0048】

[0074] 図4Cは、図4A及び図4Bに示した反射率スペクトルの重ね合わせを図示する。図4Dは、図4A及び図4Bに示した反射率スペクトル間の強め合う干渉を図示する。第1の変調型グレーティング反射器及び第2の変調型グレーティング反射器は、1つのピークだけが位置合わせされるように、異なるピーク間隔を与えるように設計されている。従って、1つだけのキャピティモードが、レージング用に選択される。以下に説明するように、1つのピークを、熱的効果、自由キャリア注入などに基づいて波長空間全体にわたって広くチューニングすることが可能である。本発明の実施形態が1550 nm付近の動作及びチューナビリティに関連して図示されているが、他の波長が、適切な半導体レーザー材料を使用して利用可能である。

【0049】

[0075] 従って、本発明のシリコンハイブリッドチューナブルレーザーの実装形態は、実質的に関心のある全波長範囲にわたってチューニングすることが可能であった。より十分に下記に説明するように、熱的チューニングを含むいくつかの技術を使用して、チューニングを実現することが可能である。図4A及び図4Bをもう1度参照すると、図示した実施形態は、40 °Cを含む温度範囲全体にわたって動作可能である。レーザー波長をチューニングすることは、次のように考えることが可能であり、図4Aに図示した波長のコームが、図1Aに図示した第1の変調型グレーティング反射器12によって作り出される。図4Bに図示した波長のコームが、図1Bに図示した第2の変調型グレーティング反射器14によって作り出される。第1のコーム及び第2のコームの重ね合わせが、図4Cに図示され、第1の変調型グレーティング反射器12及び第2の変調型グレーティング反射器14が

10

20

30

40

50

ら得られた波長の組み合わせを明示する。2つの波長コームの間の強め合う干渉が、図4Dに図示され、反射率プロファイル中の実質的に1つのピークを有する。1つの強い反射率ピークが、従って、統合した反射率によってサポートされる唯一のモードである単一のレーザモードを生成する。一実施形態では、図4Dに図示したスペクトルは、位相調節部18に設けられた光カプラ16の出力として存在することになる。

【0050】

[0076]図5Aは、本発明の一実施形態による温度変化に応じた動作波長を図示するプロットである。図5Aに図示したように、動作波長は、実質的に線形の様式で温度に応じてシフトする。当業者には明白であるように、温度（及び屈折率）に応じた反射率ピークの波長のシフトは、動作波長のシフトを結果としてもたらす。

10

【0051】

[0077]図5Bは、本発明の一実施形態による屈折率に応じた反射率スペクトルの波長シフトを図示する。通常の屈折率（ $n = 0$ ）に対しては、コームのピークが、波長の第1のセットに位置する。屈折率が、例えば、熱的チューニングによってシフトするにつれて、コームは、 $n = 0.003$ 及び $n = 0.006$ に関するコームによって図示されるように波長の新たなセットにシフトする。従って、本発明の実施形態は、チューニングがシリコンの熱光学的（TO）効果を使用して実現されるシリコンフォトリソグラフィのチューナビリティを提供する。シリコンのTO係数は、650までの温度範囲全体にわたって、

20

$$C_{TO} = 2.4 \times 10^{-4} \text{ K}^{-1}$$

である。本明細書において説明する実施形態では、TOが上に与えられた値と同じ範囲になると考えられるように、従来型のシリコンリッジ導波路が導波用に使用された。TO効果に起因する屈折率を、

$$n = C_{TO} \cdot T$$

と表すことが可能である。

【0052】

[0078]従って、約40の温度変化に対して、約0.0096の屈折率の変化を、シリコン材料に対して実現することが可能である。図5Bに図示したように、これは、レーザ波長変化において約4nmの変化に換算される。各モードについてのダイナミックチューニング範囲を、超周期の数（ N_p ）を増加させることによって調節することが可能であることに留意されたい。

30

【0053】

[0079]熱的チューニングに加えて、本発明の実施形態は、クレマ-クロニッヒ（Kramer-Kronig）の関係に基づく電流チューニングを利用することが可能である。

【0054】

[0080]図6は、本発明の一実施形態によるハイブリッド集積型レーザを動作させる方法を図示する単純化したフローチャートである。チューナブルレーザを動作させる際に利用することができる方法600は、第1の波長選択性デバイス（例えば、SOIウェハのシリコン層中に配置された第1の変調型グレーティング反射器）をチューニングするステップ（610）及び第2の波長選択性デバイス（例えば、SOIウェハのシリコン層中に配置された第2の変調型グレーティング反射器）をチューニングするステップ（612）を含む。第1の波長選択性デバイスは、第1の複数の反射率ピークを含む第1の反射率スペクトルによって特徴付けられる。第2の波長選択性デバイスは、第2の複数の反射率ピークを含む第2の反射率スペクトルによって特徴付けられる。特定の実施形態では、第1の変調型グレーティング反射器は、モード間の第1の波長間隔によって特徴付けられる超構造グレーティングを含み、第2の変調型グレーティング反射器は、モード間の第1の波長間隔とは異なるモード間の第2の波長間隔によって特徴付けられる超構造グレーティングを含む。波長選択性デバイスは、実現するチューニング機能を可能にする熱デバイスなどの屈折率調節デバイスを含むことが可能である。熱デバイスを用いる応用例では、RTD

40

50

などの温度センサを、熱的入力をモニタし制御するために使用することが可能である。当業者は、多くの変形形態、変更形態、及び代替形態に気付くであろう。

【0055】

[0081]本方法は、化合物半導体材料を含む利得媒質から光放出を発生させるステップ(614)及び光放出を導波して光カプラを通過させるステップ(616)をも含む。光放出は、位相調節領域を通過することがある。本方法は、第1の複数の反射率ピークのうちの1つと第2の複数の反射率ピークのうちの1つとの重なりによって規定されるスペクトル帯域幅を有する光放出の一部を反射するステップ(618)、利得媒質中で光放出の一部を増幅するステップ(620)、及び出力ミラーを介して、増幅した光放出の一部を伝送するステップ(622)をさらに含む。

10

【0056】

[0082]図6に図示した具体的なステップが、本発明の実施形態によるハイブリッド集積型レーザを動作させる特定の方法を提供することを理解されたい。ステップの別のシーケンスを、代替実施形態に従って実行することもできる。例えば、本発明の代替実施形態は、違った順序で上に概要を示したステップを実行することができる。その上に、図6に図示した個々のステップが、個々のステップに対して適切であるように様々なシーケンスで実行することができる複数のサブステップを含むことができる。さらにまた、追加のステップを、特定の応用例に応じて加えることができ、削除することができる。当業者は、多くの変形形態、変更形態、及び代替形態に気付くであろう。

【0057】

[0083]本発明の実施形態は、好ましくはウェハボンディングに関するボンディング応力を使用し、また中間層を利用し、光結合並びに電子伝達のためにシリコン等から別の材料への遷移を容易にする装置及び方法に関する。本発明の実施形態は、本産業において知られている低応力、低温ウェハボンディングを組み込むことが好ましく、光結合並びに電子伝達用の薄膜中間層を含むことが好ましい。

20

【0058】

[0084]図7は、III-V基板とシリコン基板との間に低応力ボンドを有するフォトダイオードの一例を図示する。図8は、本発明の一実施形態によるボンディング構造を図示する。図8に図示したように、2つの界面712及び714が形成される。第1の界面712は、シリコン基板720と中間層718との間に位置する。第2の界面714は、中間層718と第2の半導体層716との間に位置する。本発明の実施形態は、ボンディングプロセスにおいて使用され、異種材料の集積を容易にすることが好ましい。集積を容易にする実施形態は、シリコン結晶と第2の半導体との間の格子ミスマッチに起因する応力を分け合い、この格子ミスマッチを、これら2つの界面に形成することができ、中間層内の結晶に対する必要性低減のために大きく低下させることが可能である。中間層を、両方の界面712及び714でのボンディングを容易にするために、層を横切って組成を次第に変化させることが可能な合金とすることができる。

30

【0059】

[0085]中間層718は、好ましくは薄く、ほぼ4~5モノレイヤの間からほぼ60~70モノレイヤ以上までの範囲であり、光学的特性及び熱伝導特性が事実上影響されないことを実質的に可能にする一方で、電子伝達を、層を横切る実際のキャリア伝達を介して実現することが可能であることが好ましい。本発明のある実施形態では、中間層718は、第1の界面及び第2の界面の両方で熱的コンタクト及び電気的コンタクトを形成する。本発明の実施形態を、変調器、レーザ、検出器、増幅器、カプラ、波長チューナブル光学構成要素及び/又は回路、これらの組み合わせなどを含むが、これらに限定されない複数の高性能オプトエレクトロニック構成要素の製造の際に使用することが可能である。本明細書において説明するような実施形態は、シリコン基板720及び/又はその他によって図示されたようなシリコン、並びに化合物半導体材料とすることができる第2の半導体材料716を含む様々な材料システムに適用可能である。本発明の実施形態を利用して、異種材料(例えば、化合物半導体及びシリコン基板)を、共通基板上に集積することが可能で

40

50

ある。

【0060】

[0086]本出願を通して使用される用語「バンドギャップ」は、価電子帯の上端と伝導帯の底部との間のエネルギー差を含むが、これに限定されない。本出願を通して使用される用語「光結合」は、1つの素子によって生成されたエバネッセント場が別の素子に到達する前にそれほど減衰しないように、光導波路を含む2つ以上の電磁素子を互いに近くに設置することを含むが、これに限定されない。本出願を通して使用される用語「電子伝達」は、電子ドナーと電子アクセプタとの間の化学反応を、媒介する化学反応又は生化学反応のセットを介してメンブランを横切るH⁺イオンの移動に結合する電子伝達チェーンを含むが、これに限定されない。本出願を通して使用される用語「相補型金属酸化物半導体」は、集積回路、マイクロプロセッサ、マイクロコントローラ、スタティックRAM、デジタル論理回路、アナログ回路、及び高度に集積されたトランシーバを作るための技術を含むが、これに限定されない。

10

【0061】

[0087]本発明の実施形態は、図8に図示した中間層718のいくつかの特徴を任意選択で利用する。一実施形態によれば、中間層718の厚さは、非常に薄く、数モノレイヤ(すなわち、厚さで10 付近)~数十モノレイヤの範囲である。一実施形態では、中間層は、薄い厚さにおいても一様なカバレッジを実現する堆積技術を使用して堆積される。例示的な堆積技術は、PVD、ALD、スパッタリング、電子ビーム堆積などを含む。中間層718は、200 よりも低い温度からの範囲である比較的低温で堆積されることが好ましい。これらの低温においては、第1の界面712と第2の界面714との間に、熱膨張係数の小さな相違(すなわち、熱膨張係数(CTE)の差)が存在する。中間層718は、界面で熱的コンタクトを形成することが好ましく、熱的に伝導性であることが好ましい。中間層718は、両方の界面で良好な電氣的コンタクトを形成することが好ましく、電氣的に導電性であることが好ましい。両方の界面で格子マッチングが問題でないように、本質的に結晶性であることが必ずしも必要でない。ある実施形態では、中間層718は、組成が層を横切って変化する合金材料である。

20

【0062】

[0088]本発明の実施形態は、シリコン基板層の上方に設けられる中間層の上方に設けられる半導体層を含む装置に適用可能である。中間層は、半導体層よりも低い熱伝導性を有する。また、装置は、半導体層と(1つ又は複数の)下にある層との間に設けられる複数の界面を含み、これによって結晶格子ミスマッチを防止する。

30

【0063】

[0089]本発明の実施形態は、それぞれ第1の材料及び第2の材料上に第1のボンディング表面及び第2のボンディング表面を形成するステップをも含み、ボンディング表面のうちの少なくとも1つが中間層を含む。また、本方法は、前記第1のボンディング表面及び第2のボンディング表面のうちの少なくとも1つの活性化を高めるステップ、化学的結合及び電氣的結合の形成を可能にする化学種を用いて前記第1のボンディング表面及び第2のボンディング表面のうちの少なくとも1つを終端処理するステップ、及びある温度で前記第1の材料及び第2の材料をアニールするステップを含む。

40

【0064】

[0090]図9は、本発明の一実施形態による合金安定性を示す相図を図示する。図9に図示したように、合金の安定性は、かかる合金を、中間層718など中間層として使用するのに適したものにす。ある実施形態では、合金(例えば、In_xPd_y)は、半導体-半導体界面での応力を調整するように薄い厚さを有する。

【0065】

[0091]本明細書において説明した発明の実施形態が、半導体産業において使用するウェハに向けられているが、本発明は、熱電(TE)冷却技術、並びに光結合及び電子伝達を含む事実上任意の応用にも適用可能である。

【0066】

50

【0092】単に一例として、本発明の実施形態による使用に適した中間層は、図9に図示したように非常に高温まで安定である合金である In_xPd_y 、例えば、 $In_{0.7}Pd_{0.3}$ である。この合金は、いずれかの側におけるドーピングタイプがpタイプ又はnタイプのいずれかであることが可能であるシリコン及び/又はIII-V材料の両方との界面にオーミックコンタクトを形成する。従って、本発明の実施形態は、中間層の両側の材料間で両方にオーミックコンタクト、接着力、透明性（即ち、低光学的損失）を含む光学的品質、応力調整、及び他の利点を与える中間層を実現する。他の適した合金は、ゲルマニウムパラジウム、金/ゲルマニウム、 Au/Sn 、 Al/Mg 、 Au/Si 、パラジウム、インジウム/スズ/銀合金、 Bi 、 Sn 、 Zn 、 Pb 、又は In を含有する金属合金、これらの組み合わせなどを含む。最適な合金は、共晶点又は包晶点を一般に有することになり、 $350 \sim 500$ の範囲のボンディングプロセス温度を可能にすることになる。

10

【0067】

【0093】図10は、本発明の一実施形態に従ってシリコン基板にボンディングした化合物半導体構造の単純化した概略図である。図10を参照すると、複合金属/半導体ボン드가、シリコン系基板805への化合物半導体デバイス810のボンディングに関連して図示されている。図10に図示した実施形態では、シリコン系基板805は、本発明の実施形態によって必ずしも必要とされないが、シリコンオンインシュレータ(SOI)基板である。SOI基板は、シリコンハンドル層806、シリコン酸化物層807、単結晶シリコンとすることができるシリコン層808を含む。平坦化材料並びに化合物半導体デバイス810の部分とSOI基板のシリコン層808との間に電気的導電性を与える相互接続金属が、図10に図示した実施形態において使用される。図10に図示した実施形態では、化合物半導体デバイス810は、シリコン層808の上部表面の上方のある高さに延びる。

20

【0068】

【0094】図10に図示したように、いくつかのボン드가、シリコン層808と化合物半導体デバイス810との間に形成される。ボンド1は、金属/金属ボンドである。ボンド1に付随して、パッド（図10には示されていないが、次の図には図示される）が、SOI基板（例えば、シリコン層808）及び化合物半導体デバイス810の両方の上に画定される。これらのパッドは、 Ti 又は Cr などの接着金属及び Pt 又は Ni などのバリア金属を含むことが可能である。ボンディングプロセス用に使用した金属は、典型的には、共晶点が $350 \sim 500$ の範囲である共晶はんだとなる。かかる共晶はんだの一例が、 $AuGe$ である。

30

【0069】

【0095】図10に図示したボンド2を、直接半導体/半導体ボンド又は金属支援型半導体/半導体ボンドのいずれかとすることが可能である。金属支援型半導体/半導体ボンドに関して、薄い金属層（例えば、1～数モノレイヤから数十モノレイヤまでの範囲である）が、界面の強さを改善し、シリコンと化合物半導体デバイスとの間のCTE差をより良く調整するために堆積される。一実施形態では、薄い金属層は、厚さが50未満である。非常に薄い界面金属は、著しく減衰させることなしに光が通過することを依然として可能にすることになる。直接半導体/半導体ボンドは、2つの表面を一緒にボンディングするために、表面の化学的活性化又はプラズマ活性化のいずれかを含む技術を使用し、圧力及び低温で一緒に材料を接合させて形成することが可能である。直接半導体ボンディングが、金属支援型半導体ボンディングよりも小さな光学的減衰を有するので、導波路構造においてエバネッセント結合を採用しているデバイスにおいて有用である。

40

【0070】

【0096】図11A～図11Cは、本発明の一実施形態によるボンド界面を図示する単純化した概略図である。図11Aに図示したように、化合物半導体デバイス820の上部表面がシリコン層808の上部表面と同一平面になるように、化合物半導体デバイス820が薄くされている。平坦化材料が、シリコン層808の上部表面の上方に延伸する平面表面を形成するために使用されている。平坦化材料の一部が、（例えば、マスキングプロセス

50

及びエッチングプロセスを使用して)除去されており、相互配線金属が、シリコン層808の部分と化合物半導体デバイス820の部分との間の電氣的な接続性を実現するために使用されている。

【0071】

[0097]図11Bは、シリコン層808とボンディング金属834と化合物半導体デバイス820との間の接着を提供するパッド830及び832を含むボンド1に関するさらなる詳細を図示する。図10に関連して論じたように、パッド830及び832は、Ti又はCrなどの接着金属及びPtなどのバリア金属を含むことが可能である。ボンディング金属834を、AuGeなどの共晶はんだとすることができる。他のパッド材料は、Ni、W、シリコン系デバイス中でバリア層として使用される高融点金属などを含み、他のボンディング金属は、AuSn、InPd、InSn、InSnAg合金、これらの組み合わせなどを含む。これらの材料は、単に一例として列挙され、表面間の接着及び/又はバリア機能を与える他の材料もまた、本発明の範囲内に含まれる。

10

【0072】

[0098]図11Cは、化合物半導体デバイス820とシリコン層808との間の界面層840の使用を図示する。前に論じたように、図11Cに図示した金属支援型半導体/半導体ボンドは、界面の強さを向上させること、及びこの界面層の両側にボンディングされた材料間のCTE差を調整することを含む有益な機能を提供する薄い金属層を含む。界面層は、InPdなどの金属、他の金属合金、これらの組み合わせなどを含む包晶特性をもたらす材料を含む適切な材料を含むことが可能である。Ti又はCrなどのゲッターリング材料を、表面酸化物をゲッターリングし、ボンド特性を向上させるために、界面層とともにやはり集積することが可能である。界面金属の薄い層の場合、光は、著しく減衰することなしに通ることができることになる。本発明の実施形態によって提供される低光学損失は、導波路モデル及び界面層の測定した吸収特性を使用して計算することが可能である吸収係数を含む。界面層840の使用はまた、シリコン層808と化合物半導体デバイス820との間にオーミックコンタクトをもたらすことになる。従って、本発明の実施形態は、著しい光学的吸収を伴わずに電氣的に導電性である界面を実現する。

20

【0073】

[0099]図11A~図11CがSOI基板への化合物半導体デバイスのボンディングを図示しているが、本発明の実施形態は、基板へのデバイスのボンディングに限定されない。本発明の別の実施形態は、ウェハボンディングとも呼ばれる基板対基板ボンディングに対して適用可能である。従って、複数の図に図示した化合物半導体デバイスを、本明細書中に説明したプロセス及び構造において化合物半導体基板で置き換えることが可能である。当業者は、多くの変形形態、変更形態、及び代替形態に気付くであろう。

30

【0074】

[0100]図11Cに図示したように、 In_xPd_y などの金属合金の薄い層(例えば、100未満)などの界面層840を、2つの半導体材料間のCTEミスマッチの一部を調整するために使用することが可能である。他の実施形態では、界面層が存在せず、直接半導体/半導体ボンドがボンド2に対して形成される。本発明の実施形態は、ボンド1によって図示した金属/金属ボンド及びボンド2によって図示した直接半導体/半導体ボンド又は界面支援型半導体/半導体ボンドの両方を利用する。かかるハイブリッドボンディング手法は、弱い界面を含む低温半導体/半導体ボンディングの欠点、並びに金属/金属ボンドの近くでの大きな光学的損失を含む金属/金属ボンディングの欠点を減少させ克服するように、両方のタイプのボンドによってもたらされる利点を利用する。従って、本発明の実施形態は、大きな強度のボンド及び電氣的導電性を提供し(ボンド1)、一方で、光伝搬に適した構造の領域内で低い光学的損失及び電氣的導電性を可能にする(ボンド2)。

40

【0075】

[0101]図12A~図12Bは、本発明の別の一実施形態によるボンド界面を図示する単純化した概略図である。光がボンド2に形成された界面に平行に伝搬し、エバネッセント

50

結合がシリコン層 808 と化合物半導体デバイス 820 との間に使用されるケースでは、直接半導体 - 半導体ボンディングと金属支援型半導体 - 半導体ボンディングとの組み合わせを、ボンド 2 を形成するために採用することができる。これを、薄い界面金属の選択的パターンニングによって実現することが可能である。図 12A を参照すると、シリコン層 808 と化合物半導体デバイス 810 との間のボンド 2' が図示されている。ボンド 2' は、図 11C 中の層 840 に類似の界面層 840' だけでなく、直接半導体 - 半導体ボンド 842 を含む。図 12B に図示した実施形態では、界面層 840' が、金属層である場合がある界面層のない領域を形成するためにパターンニングされる。一例として、発光素子では、直接半導体 - 半導体ボンドが、界面層による光の吸収を防止するために、光放出領域に隣接して設置されることがある。界面層と直接半導体 - 半導体ボンドとの組み合わせは、従って、ハイブリッド方式でボンディング技術の各々に関する利点を提供する。

10

【0076】

[0102] 本明細書において説明したボンディングプロセスを、約 350 ~ 約 500 の温度範囲で実行することが可能である。特定の実施形態では、ボンディングプロセスに関する温度は、400 ~ 450 の温度範囲である。これらの温度は、SOI 基板上に事前に製造されることがある CMOS 回路が損傷を受けるはずの温度より低い。これは、本明細書において論じた、似ていない材料間の強いボンドを依然として実現しつつ、複雑な電氣的機能の集積を可能にする。

【0077】

[0103] 図 13 は、本発明の一実施形態によるハイブリッド半導体構造を製造する方法を図示する単純化したフローチャートである。方法 900 は、シリコン層を含む基板を用意するステップ (910)、化合物半導体デバイス (例えば、InP 半導体レーザ) を用意するステップ (912)、及びシリコン層と化合物半導体デバイスとの間に配置されたボンディング領域を形成するステップを含む。ボンディング領域を形成するステップは、ボンディング領域の第 1 の部分に金属 - 半導体ボンドを形成するステップ (914) を含む。金属 - 半導体ボンドは、シリコン層にボンディングされた第 1 のパッド、第 1 のパッドにボンディングされたボンディング金属、並びにボンディング金属及び化合物半導体デバイスにボンディングされた第 2 のパッドを含む。ボンディング領域を形成するステップは、ボンディング領域の第 2 の部分に界面支援型ボンドを形成するステップ (916) をも含む。界面支援型ボンドは、シリコン層と化合物半導体デバイスとの間に位置する界面層 (例えば、In_xPd_y) を含む。界面支援型ボンドは、シリコン層と化合物半導体デバイスとの間にオーミックコンタクトを実現する。一実施形態では、界面層は、50 未満の厚さを有する。

20

30

【0078】

[0104] 一実施形態によれば、基板は、シリコン基板、シリコン基板上に配置された酸化物層、及び酸化物層上に配置されたシリコン層を含む SOI ウェハを含む。レーザ又は他の光発生器を利用する実施形態では、ボンディング領域の第 2 の部分では、光学的損失を減少させるために、レーザ又は光学的発生器の能動領域に隣接する位置には界面層が実質的にないことがある。ボンディングプロセスを、例えば、約 350 ~ 約 500、特に約 400 ~ 約 450 の温度範囲で低温ボンディングプロセスを使用して実行することが可能である。

40

【0079】

[0105] 図 13 に図示した具体的なステップが、本発明の実施形態によるハイブリッド半導体構造を製造する特定の方法を理解されたい。ステップの別のシーケンスを、代替実施形態に従って実行することもできる。例えば、本発明の代替実施形態は、違った順序で上に概要を示したステップを実行することができる。その上に、図 13 に図示した個々のステップは、個々のステップに対して適切であるように様々なシーケンスで実行することができる複数のサブステップを含むことができる。さらにまた、追加のステップを、特定の応用例に応じて加えることができ、削除することができる。当業者は、多くの変形形態、変更形態、及び代替形態に気付くであろう。

50

【 0 0 8 0 】

[0106] 図 1 4 は、本発明の別の実施形態によるハイブリッド半導体構造を製造する方法を図示する単純化したフローチャートである。方法 9 5 0 は、S O I 基板を用意するステップ (9 6 0) 及び化合物半導体ダイとも呼ぶことができる化合物半導体デバイスを用意するステップ (9 6 2) を含む。本発明の実施形態では、S O I 基板は、導波路、光学的分離体、反射構造物などの 1 つ又は複数の光学的構成要素を含み、化合物半導体デバイスは、I n P 利得媒質である。

【 0 0 8 1 】

[0107] 本方法は、第 1 のボンド領域内の金属をパターニングするステップ (9 6 4) をも含む。金属を、様々な方式で堆積又は形成することができる。第 1 のボンド領域を、一方又は両方の材料上の金属 - 金属ボンディング用に及び / 又は金属支援型半導体 - 半導体ボンド用を使用することが可能である。金属をパターニングした後で、例えば、(1 つ又は複数の) 表面の化学的処理、金属支援のない半導体 - 半導体ボンド用のプラズマ活性化などの表面処理が実行される (9 6 6) 。表面処理を、不活性環境、真空などの減圧雰囲気などの制御された雰囲気中で実行することが可能である。本方法は、受容サイトなどの S O I 基板上に化合物半導体デバイスを設置するステップ (9 6 8) 並びに熱及び圧力を加えて S O I 基板に化合物半導体デバイスを接合させるステップ (9 7 0) をさらに含む。実施形態では、接合するステップは、金属系ボンド及び半導体系ボンドの両方に同時に影響を与える。

10

【 0 0 8 2 】

[0108] 図 1 4 に図示した具体的なステップが、本発明の別の実施形態によるハイブリッド半導体構造を製造する特定の方法を提供することを理解されたい。ステップの別のシーケンスを、代替実施形態に従って実行することもできる。例えば、本発明の代替実施形態は、違った順序で上に概要を示したステップを実行することができる。その上に、図 1 4 に図示した個々のステップは、個々のステップに対して適切であるように様々なシーケンスで実行することができる複数のサブステップを含むことができる。さらにまた、追加のステップを、特定の応用例に応じて加えることができ、削除することができる。当業者は、多くの変形形態、変更形態、及び代替形態に気付くであろう。

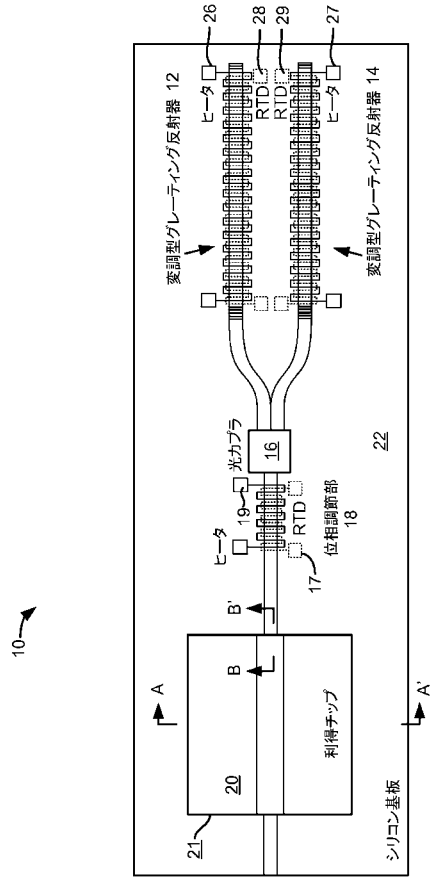
20

【 0 0 8 3 】

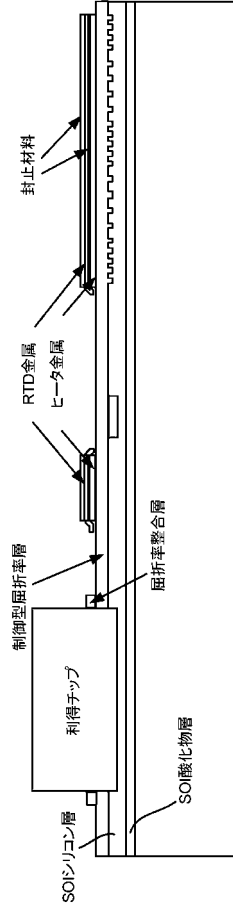
[0109] 本明細書において説明した例及び実施形態は、例示するためのものにすぎず、それに照らして様々な修正及び変更が、当業者に対して示唆され、本出願の精神及び権限内に並びに別記の特許請求の範囲の範囲内に含まれることをも理解されたい。

30

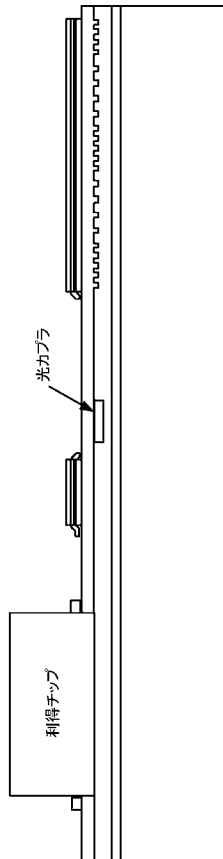
【図 1 A】



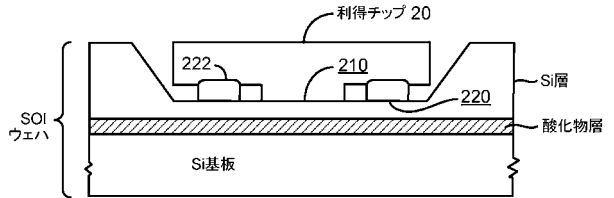
【図 1 B】



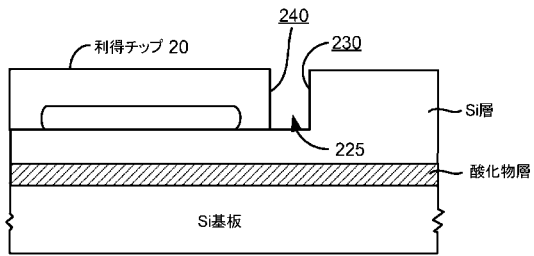
【図 1 C】



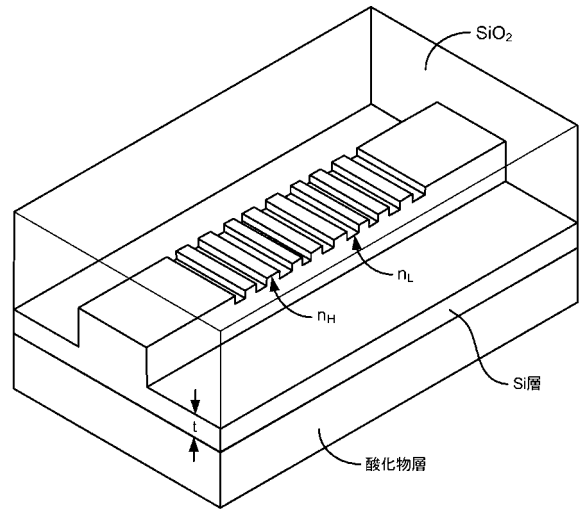
【図 2 A】



【 図 2 B 】



【 図 3 A 】



【 図 3 B 】

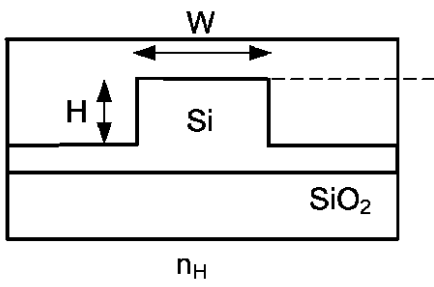


FIG. 3B

【 図 3 C 】

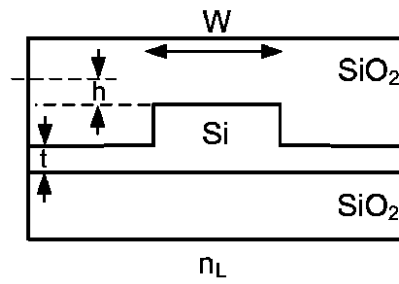


FIG. 3C

【 図 3 D 】

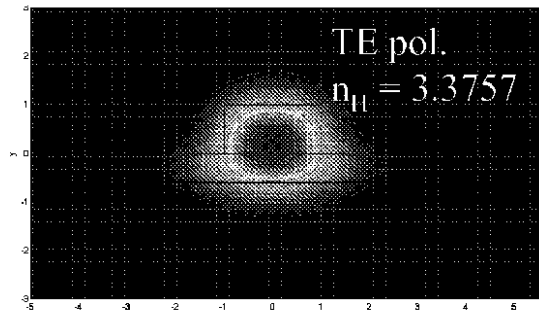


FIG. 3D

【 図 3 E 】

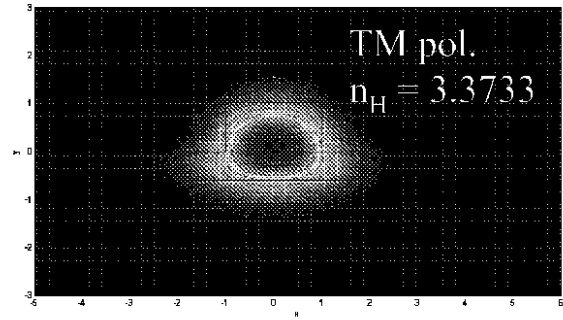


FIG. 3E

【 図 3 F 】

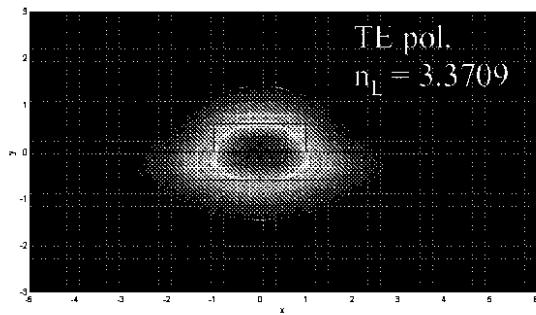


FIG. 3F

【 図 3 G 】

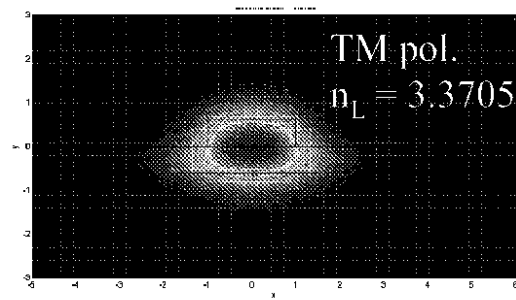
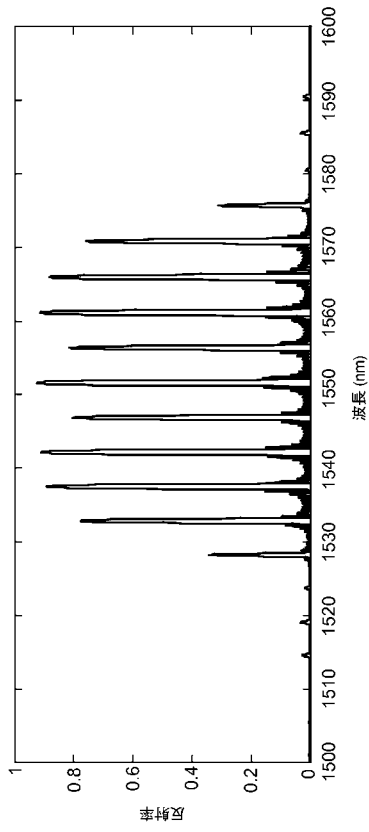
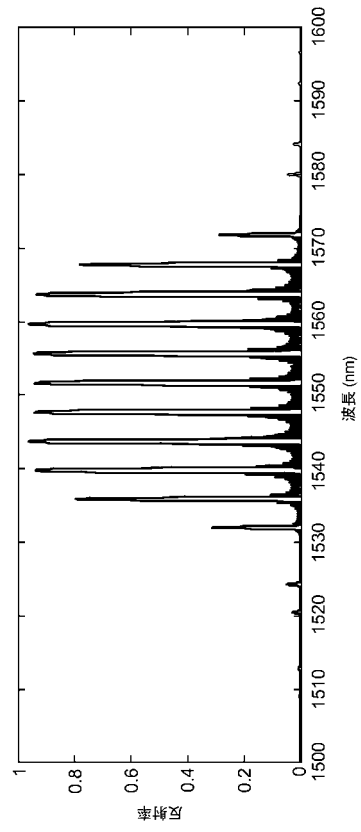


FIG. 3G

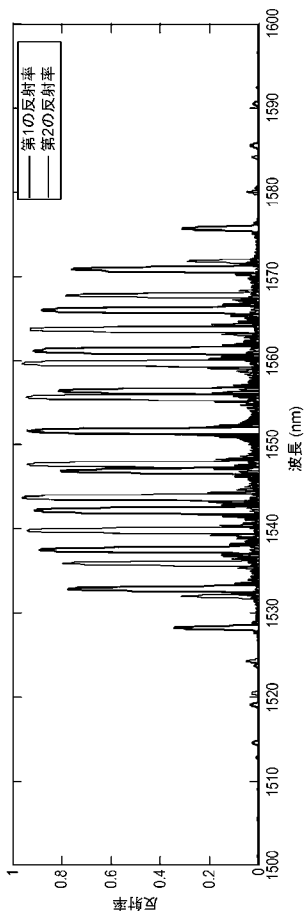
【図 4 A】



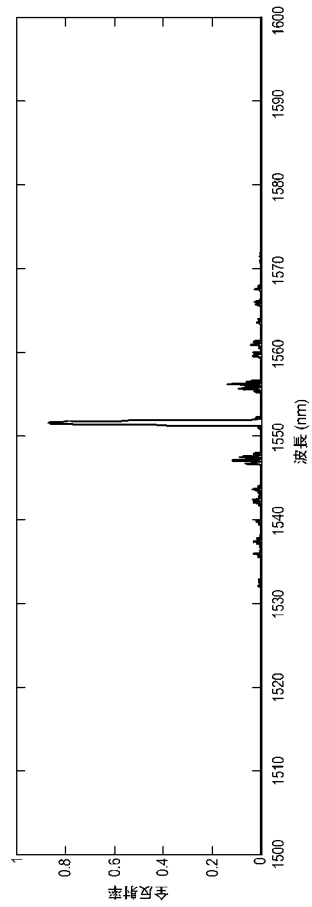
【図 4 B】



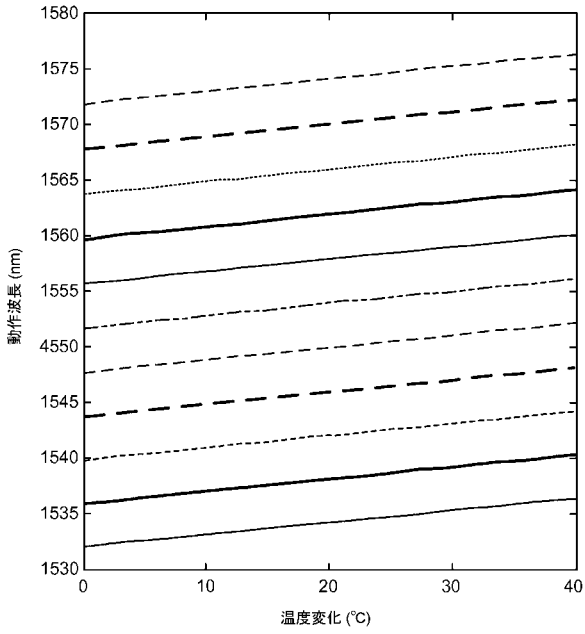
【図 4 C】



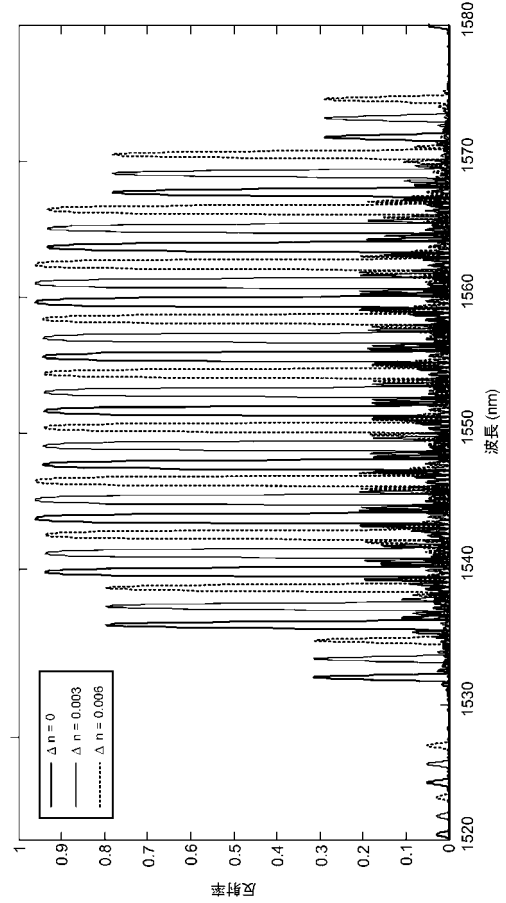
【図 4 D】



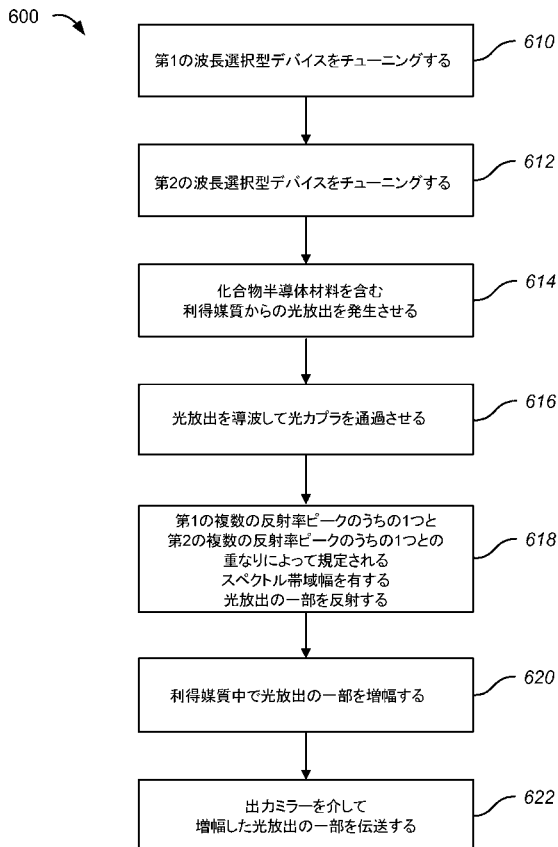
【 図 5 A 】



【 図 5 B 】



【 図 6 】



【 図 7 】

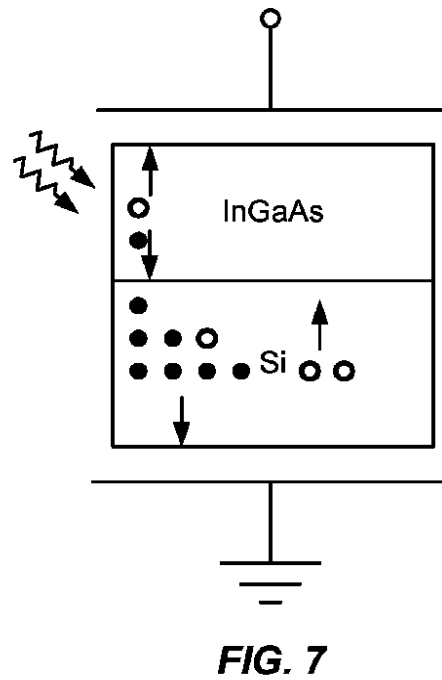


FIG. 7

【 図 8 】

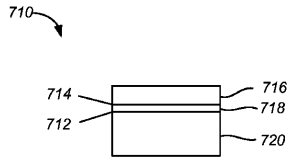
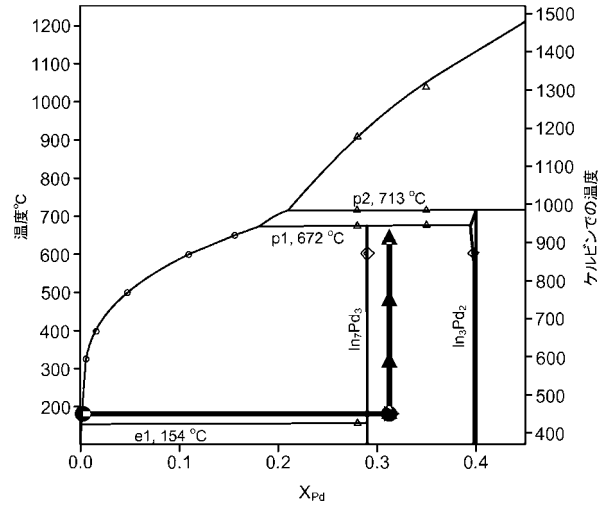
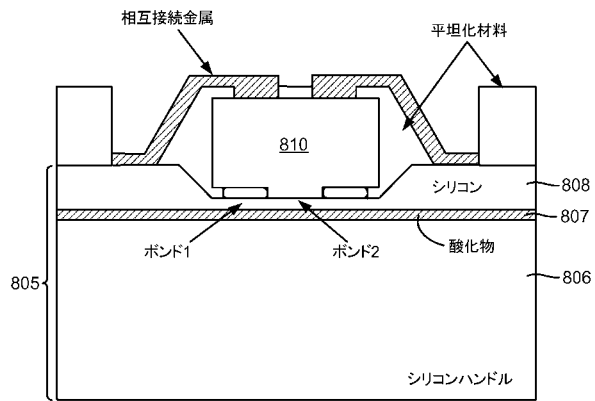


FIG. 8

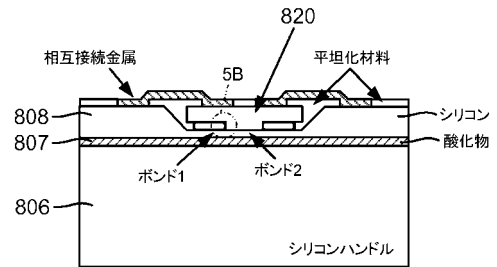
【 図 9 】



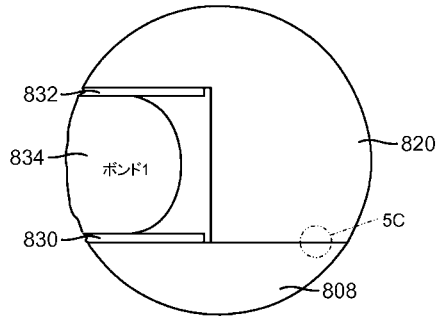
【 図 1 0 】



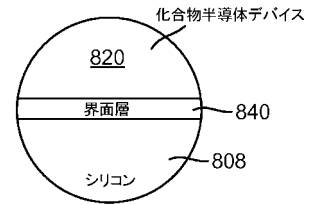
【 図 1 1 A 】



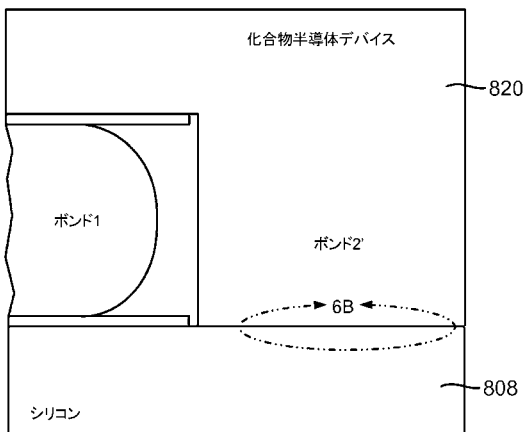
【図 1 1 B】



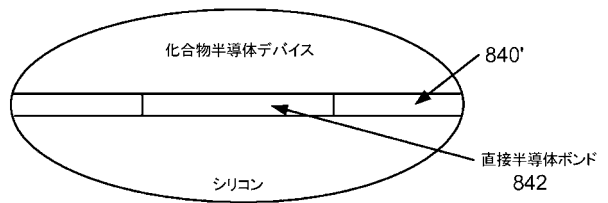
【図 1 1 C】



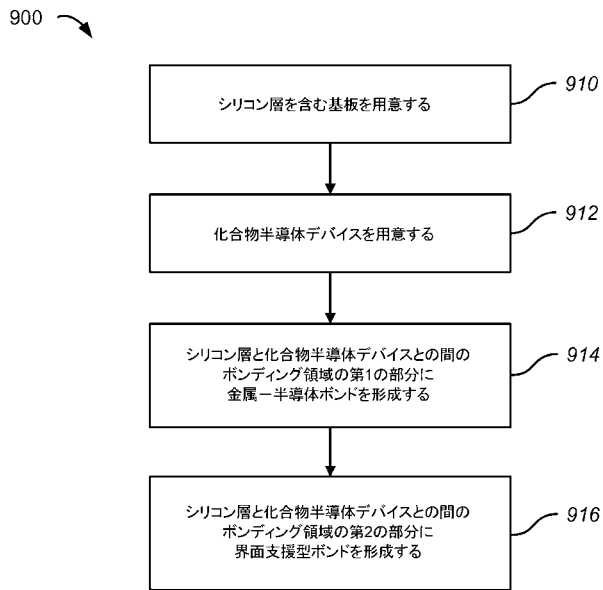
【図 1 2 A】



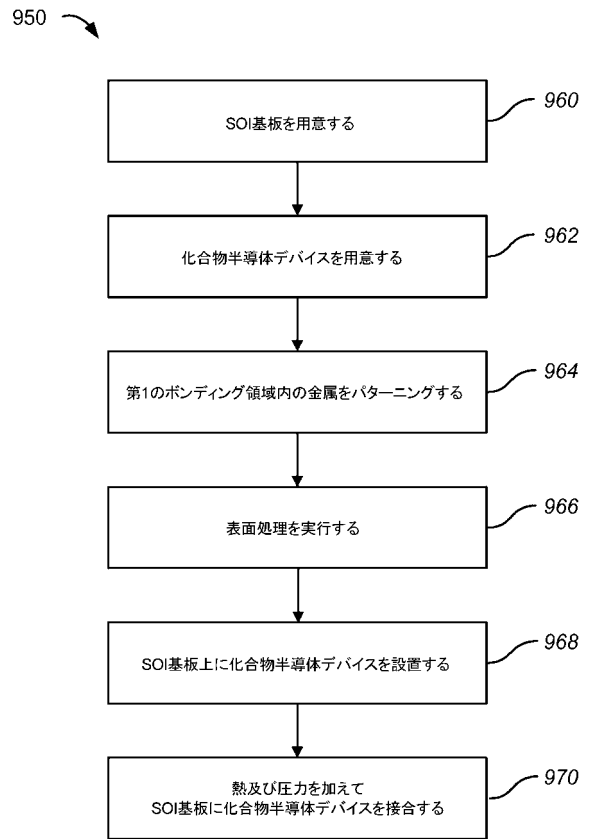
【図 1 2 B】



【 図 1 3 】



【 図 1 4 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2010/052249

A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - H01S 3/10 (2011.01) USPC - 372/20 According to International Patent Classification (IPC) or to both national classification and IPC												
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC(8) - H01S 3/10, 3/30 (2011.01) USPC - 372/6, 20, 99 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) USPTO EAST System (US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT), MicroPatent, IP.com, DialogPro												
C. DOCUMENTS CONSIDERED TO BE RELEVANT												
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.										
Y	US 2005/0213618 A1 (SOCHAVA et al) 29 September 2005 (29.09.2005) entire document	1-22										
Y	US 6,192,058 B1 (ABELES) 20 February 2001 (20.02.2001) entire document	1-22										
Y	US 2004/0037342 A1 (BLAUVELT et al) 26 February 2004 (26.02.2004) entire document	1-12										
Y	US 2004/0228384 A1 (OH et al) 18 November 2004 (18.11.2004) entire document	3-4, 17-18										
Y	US 2002/0197013 A1 (LIU et al) 28 December 2002 (26.12.2002) entire document	5-7, 14-16										
A	US 2005/0229284 A1 (TANAKA et al) 13 October 2005 (13.10.2005) figure 1; paragraphs [0025-0026, 0031].	1-22										
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>												
* Special categories of cited documents: <table border="0"> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E" earlier application or patent but published on or after the international filing date</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td>"g" document member of the same patent family</td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O" document referring to an oral disclosure, use, exhibition or other means	"g" document member of the same patent family	"P" document published prior to the international filing date but later than the priority date claimed	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention											
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone											
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art											
"O" document referring to an oral disclosure, use, exhibition or other means	"g" document member of the same patent family											
"P" document published prior to the international filing date but later than the priority date claimed												
Date of the actual completion of the international search 27 January 2011	Date of mailing of the international search report 15 FEB 2011											
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201	Authorized officer: Blaine R. Copenhaver PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774											

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2010/052249

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-22

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2010/052249

Continuation of Box III.

This application contains the following inventions or groups of inventions which are not so linked as to form a single general inventive concept under PCT Rule 13.1. In order for all inventions to be examined, the appropriate additional examination fees must be paid.

Group I, claims 1-22, drawn to a tunable laser and method of operating, comprising a gain medium coupled to a substrate; a waveguide disposed in the substrate and optically coupled to the gain medium; a first wavelength selective element characterized by a first reflectance spectrum and disposed in the substrate; a second wavelength selective element characterized by a second reflectance spectrum and disposed in the substrate; an optical coupler disposed in the substrate adjoining the first wavelength selective element, the second wavelength selective element, and the waveguide; and an output mirror.

Group II, claims 23-42, drawn to a hybrid integrated optical device and method of fabricating, comprising a metal-semiconductor bond at a first portion of a bonding region, wherein the metal-semiconductor bond includes a first pad bonded to a silicon layer, a bonding metal bonded to the first pad, and a second pad bonded to the bonding metal and the compound semiconductor device; and an interface assisted bond at a second portion of the bonding region, wherein the interface assisted bond includes an interface layer positioned between a silicon layer and the compound semiconductor device, wherein the interface assisted bond provides an ohmic contact between the silicon layer and the device.

The inventions listed as Groups I-II do not relate to a single general inventive concept under PCT Rule 13.1 because, under PCT Rule 13.2, they lack the same or corresponding special technical features for the following reasons: the special technical feature of the Group I invention: as claimed therein is not present in the invention of Group II. The special technical feature of the Group II invention: as claimed therein is not present in the invention of Groups I.

Groups I and II lack unity of invention because even though the inventions of these groups require the technical feature of a tunable laser having a substrate comprising a silicon material connected to a gain medium, which is a compound semiconductor device, an optical coupler and a waveguide, this technical feature is not a special technical feature as it does not make a contribution over the prior art in view of US 2005/0226284 A1 (TANAKA et al) figure 1; paragraphs [0025-0026, 0031].

Since none of the special technical features of the Group I or II inventions are found in more than one of the inventions, unity of invention is lacking.

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ダレサッセ, ジョン エム.
アメリカ合衆国, ニュー メキシコ州, アルバカーク, スイート 170, ユーバンク
ブルヴァード エヌイー 5600

(72)発明者 クラスリック, ステファン ピー.
アメリカ合衆国, ニュー メキシコ州, アルバカーク, スイート 170, ユーバンク
ブルヴァード エヌイー 5600

(72)発明者 コズロヴスキー, ウィリアム
アメリカ合衆国, ニュー メキシコ州, アルバカーク, スイート 170, ユーバンク
ブルヴァード エヌイー 5600

Fターム(参考) 5F172 AE26 AM09 NN25 NQ10 NQ23
5F173 AH01 MD03 MD33 MD43 MD84 MD90