



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

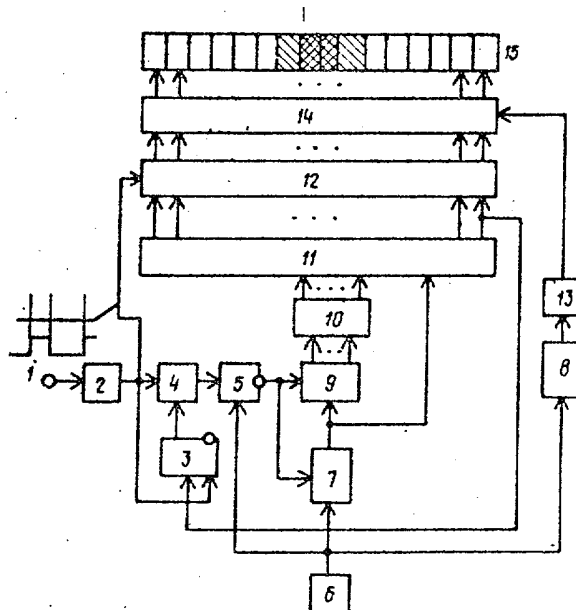
(21) 4185802/24-10
(22) 28.01.87
(46) 30.07.88. Бюл. № 28
(72) И.В.Чуманов
(53) 534.852(088.8)
(56) Авторское свидетельство СССР
№ 853671, кл. G 11 B 27/36, 1979.

Авторское свидетельство СССР
№ 1282213, кл. G 11 B 27/36, 1985.

(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ФАЗОВЫХ ИСКАЖЕНИЙ СИГНАЛА ВОСПРОИЗВЕДЕНИЯ

(57) Изобретение относится к приборостроению и может быть использовано в аппаратуре магнитной записи для оценки максимальной фазовой ошибки цифрового сигнала воспроизведения. Для этого блоком 14 памяти запоминают все текущие значения фазовой ошиб-

ки, формируемые регистром 12, с последующей индикацией блоком 15. Начало развертки, т.е. поочередного формирования импульсов на выходах регистра 11, связанных с регистром 12, сдвинуто с помощью элемента 5 задержки относительно выходных информационных импульсов селектора 2 фронтов воспроизводимых импульсов устройства на величину, при которой середина развертки совпадает с номинальным положением во времени следующего тактового перепада сигнала воспроизведения, а длительность развертки, задаваемой периодом сигнала делителя 7 от генератора 6, устанавливается немного превышающей удвоенное значение максимальной фазовой ошибки. 2 ил.



Фиг. 1.

Изобретение относится к приборостроению, а именно к технике магнитной записи, и может быть использовано в аппаратуре для оценки максимальной фазовой ошибки цифрового сигнала воспроизведения с носителя магнитной записи.

Целью изобретения является обеспечение контроля максимальной величины фазовых искажений сигнала воспроизведения.

На фиг. 1 изображена функциональная схема предлагаемого устройства; на фиг. 2 - временные диаграммы, иллюстрирующие принцип его работы.

Устройство для контроля фазовых искажений сигнала воспроизведения (фиг. 1) содержит входную шину 1 сигнала воспроизведения, селектор 2 фронтов, триггер 3, элемент ИЛИ 4, блок 5 задержки, генератор 6 эталонной частоты, первый 7 и второй 8 делители частоты, двоичный счетчик 9, дешифратор 10, первый 11 и второй 12 регистры, формирователь 13 импульсов, блок 14 элементов памяти и блок 15 индикации.

Входная шина 1 соединена с входом селектора 2 фронтов, выход которого соединен с первым, установочным в нулевое состояние входом триггера 3, с первым входом элемента ИЛИ 4 и с управляющим входом регистра 12. Выход элемента ИЛИ 4 соединен с входом исходной установки и запуска блока 5 задержки, инверсный выход которого соединен с установочным в нулевое состояние входом двоичного счетчика 9 и с установочным в нулевое состояние входом делителя 7 частоты. Выход генератора 6 эталонной частоты соединен с входом опорного сигнала блока 5 задержки, входом делителя 7 частоты и входом делителя 8 частоты, выход которого соединен с входом формирователя 13 импульсов. Выход делителя 7 частоты соединен с управляющим входом регистра 11 и со счетным входом двоичного счетчика, выходы разрядов которого соединены с входами дешифратора 10, выходы которого соединены с информационными входами регистра 11. Выходы регистра 11 соединены с информационными входами регистра 12, выходы которого соединены с информационными входами блока 14 элементов памяти, выходы которого соединены с

выходами блока 15 индикации. Выход формирователя 13 импульсов соединен с установочным в нулевое состояние входом блока 14 элементов памяти. Последний выход регистра 11 соединен с вторым, тактирующим входом С триггера 3, выход которого соединен с вторым входом элемента ИЛИ 4. На третий, информационный вход D (не показан) триггера 3 постоянно подан высокий уровень напряжения логической "1".

Устройство работает следующим образом.

Устройство подключается через входную шину к выходному формирователю цифрового сигнала (диаграмма 1, фиг. 2) аналоговой части контролируемого канала воспроизведения.

На выходе селектора 2 фронтов (диаграмма 2, фиг. 2) формируется короткий по длительности информационный импульс в момент каждого перепада уровней цифрового сигнала воспроизведения. Выходной информационный импульс селектора 2 фронтов сбрасывает триггер 3 (диаграмма 5, фиг. 2) в исходное, нулевое состояние, осуществляет запись в регистр 12 содержимого регистра 11 и поступает через элемент ИЛИ 4 на сброс в исходное состояние и запуск блока 5 задержки, выходной сигнал которого показан на диаграмме 3, фиг. 2. На инверсном выходе блока 5 при этом устанавливается высокий уровень напряжения, который устанавливает в нулевое состояние двоичный счетчик 9 и делитель 7 частоты.

Блок 5 предназначен для задержки включения счетчика 9 и делителя 7 после прихода каждого перепада сигнала воспроизведения. Для точного и стабильного формирования интервала задержки блок 5 задержки выполнен по цифровой схеме и, соответственно, использует при этом высокочастотный и стабильный по частоте выходной сигнал генератора 6 эталонной частоты.

Через некоторое время, не превышающее тактовый интервал сигнала воспроизведения, на выходе блока 5 устанавливается низкий уровень напряжения, который снимает блокировку по установочным входам со счетчика 9 и делителя 7 частоты.

Счетчик 9, дешифратор 10 и регистр 11 образуют распределитель импульсов. За каждый период выходного сигнала делителя 7 частоты формируется по одному импульсу поочередно на всех 16-ти выходах дешифратора 10 и на всех 16-ти выходах регистра 11.

Регистр 11 предназначен для защиты работы устройства от импульсов, формируемых на некоторых выходах дешифратора 10 и обусловленных логикой внутренней работы дешифратора 10. Каждым положительным перепадом выходного сигнала делителя 7 частоты вначале осуществляется запись в регистр 11 выходного состояния дешифратора 10, а затем происходит переключение счетчика 9.

Наличие делителя 7 частот связано с обеспечением точной привязки начала работы распределителя импульсов к выходному сигналу блока 5 задержки.

Таким образом, начало развертки, т.е. начало поочередного формирования импульсов на всех выходах регистра 11 соответствует отрицательному перепаду уровней сигнала на выходе блока 5 задержки. Середина развертки соответствует номинальному местоположению следующего тактового перепада уровней сигнала воспроизведения.

Выходная информация регистра 11 (высокий уровень напряжения на каком-то одном выходе и низкий уровень напряжения на остальных выходах регистра 11) поступает на информационные входы регистра 12 и записывается в этот регистр в момент поступления очередного информационного импульса с выхода селектора 2 фронтов.

Этот очередной информационный импульс селектора 2, вследствие фазовых искажений сигнала воспроизведения, занимает на временной оси место, отличное от его номинального местоположения. Поэтому сигнал (высокий уровень напряжения) будет записан в тот разряд регистра 12, который соответствует выходу регистра 11, выходной сигнал которого (высокий уровень напряжения) совпал во времени с данным информационным импульсом. При этом формируется сигнал на соответствующем выходе регистра 12, который переключает соот-

ветствующий элемент памяти блока 14. Выходной сигнал этого элемента памяти включает соответствующий светодиод блока 15 индикации. Данный информационный импульс проходит также через элемент ИЛИ 4 и устанавливает в исходное состояние блок 5 задержки, на выходе которого при этом устанавливается высокий уровень напряжения, который устанавливается в нулевое состояние двоичный счетчик 9 и делитель 7 частоты. Блок 5 начинает отсчитывать задержку. После установления на его выходе низкого уровня напряжения начинается развертка импульсов на выходах регистра 11.

Следующий выходной информационный импульс селектора 2 фронтов производит запись сигнала в соответствующий разряд регистра 12. Под соответствующим разрядом регистра 12 понимается такой его разряд, который связан с тем выходом регистра 11, формирование импульса на котором совпадает по времени с данным перепадом сигнала воспроизведения. Сигнал с выхода соответствующего разряда регистра 12 переключает соответствующий элемент памяти блока 14. Выходной сигнал этого элемента памяти включает соответствующий светодиод блока 15 индикации. Данный информационный импульс сбрасывает в исходное состояние блок 5 задержки, после чего двоичный счетчик 9 и делитель 7 частоты запираются на время задержки, вырабатываемое блоком 5 в нулевом состоянии.

Таким образом, регистр 12 осуществляет формирование сигналов текущего значения фазовых искажений сигнала воспроизведения, а блок 14 элементов памяти запоминает на определенное время, удобное для наблюдения, эти сигналы, т.е. все значения фазовых искажений, в том числе и максимальную их величину. В результате блок индицирует все значения фазовых искажений за определенный промежуток времени и удвоенная максимальная величина этих искажений будет определяться протяженностью светящейся пачки светодиодов светодиодной шкалы 15.

Максимальная величина фазовой ошибки вычисляется путем умножения числа светодиодов в светящейся

пачке на весомость одного светодиода шкалы. Весомость одного светодиода в светодиодной шкале 15, т.е. длительность импульсов на выходах регистра 11, равна длительности периода выходного сигнала делителя 7 частоты, т.е. периоду переключения счетчика 9.

Поскольку фазовая ошибка обычно не превышает 15-20% от тактового интервала сигнала воспроизведения, то для повышения точности измерения ее, в частности для повышения разрешающей способности устройства, начало измерения сдвигается вправо на временной оси от момента поступления информационного импульса. При этом на соответствующую величину увеличивается частота выходного сигнала делителя 7 частоты, чтобы середина развертки совпадала с номинальным местоположением следующего перепада сигнала воспроизведения.

Контролируемый сигнал воспроизведения по структуре состоит из набора интервалов, равных или кратных тактовому интервалу сигнала воспроизведения.

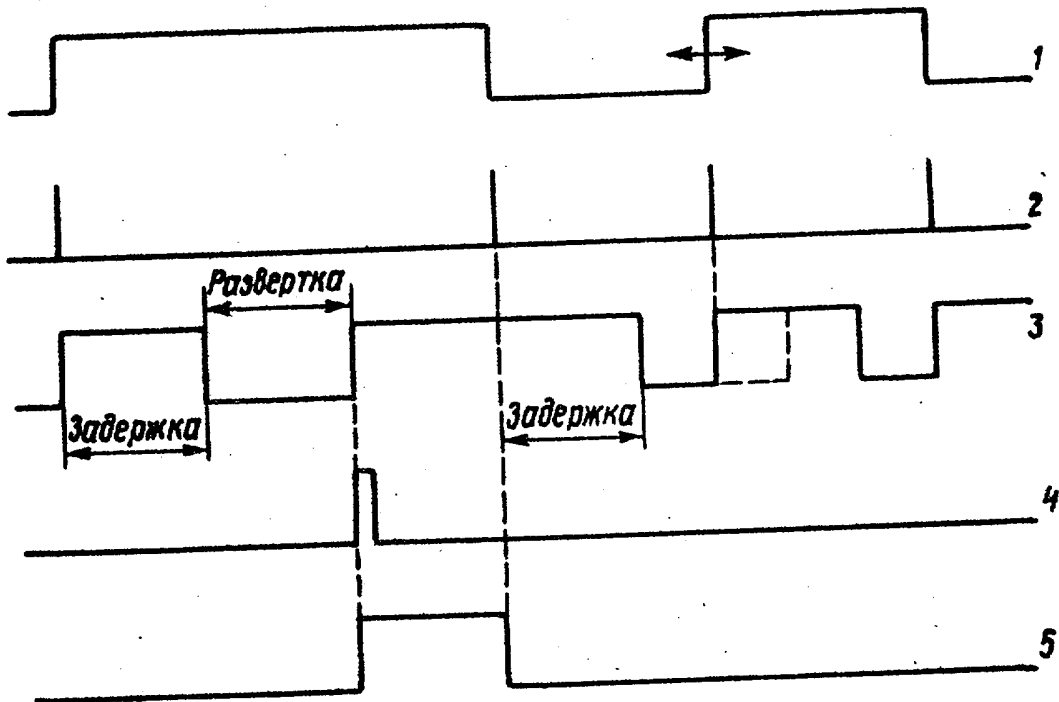
Если следующий выходной импульс (второй импульс на диаграмме 2, фиг. 3) селектора 2 фронтов поступит через интервал, больший чем тактовый, то после предыдущего информационного импульса (первого на диаграмме 2, фиг. 2) развертка импульсов на выходах регистра 11 выполнится полностью и импульсом, сформулируемым на последнем выходе (диаграмма 4, фиг. 2) регистра 11, переключится в единичное состояние триггер 3. При этом выходной сигнал триггера 3 проходит через элемент ИЛИ 4 и запирает в исходном состоянии блок 5 задержки, выходной сигнал которого при этом запирает в нулевом состоянии двоичный счетчик 9 и делитель 7 частоты.

Блок 14 элементов памяти периодически сбрасывается в нулевое состояние выходным импульсом формиро-

вателя 13, который формирует короткий по длительности импульс в момент каждого положительного перепада уровней выходного сигнала делителя 8 частоты.

Ф о р м у л а и з о б р е т е н и я

- 10 Устройство для контроля фазовых искажений сигнала воспроизведения, содержащее генератор эталонной частоты, триггер, блок индикации и последовательно соединенные двоичный
- 15 счетчик, дешифратор и первый регистр, управляющий вход которого объединен со счетным входом двоичного счетчика, а выходы соединены с информационными входами второго
- 20 регистра, управляющим входом соединенного через селектор фронтов с входной шиной сигнала воспроизведения, отличающаяся тем, что, с целью обеспечения контроля
- 25 максимальной величины фазовых искажений сигнала воспроизведения, в него введены блок элементов памяти, два делителя частоты, формирователь импульсов, блок задержки
- 30 и элемент ИЛИ, блок элементов памяти включен между выходами второго регистра и входами блока индикации, выход генератора эталонной частоты соединен с одним входом блока задержки, через первый делитель частоты
- 35 со счетным входом двоичного счетчика и входом первого регистра, а через последовательно соединенные второй делитель частоты и формирователь импульсов - с установочным входом
- 40 блока элементов памяти, выход блока задержки соединен с установочными входами двоичного счетчика и первого делителя частоты, выход селектора фронтов соединен с одним входом
- 45 триггера и через элемент ИЛИ с другим входом блока задержки, один выход первого регистра соединен с другим входом триггера, выход которого подключен к второму входу элемента
- 50 ИЛИ.



Фиг. 2

Редактор М. Бандура Составитель А. Лисицын
 Техред А. Кравчук Корректор М. Шароши

Заказ 3791/54

Тираж 590

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4