



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I536747 B

(45) 公告日：中華民國 105 (2016) 年 06 月 01 日

(21) 申請案號：103123708

(22) 申請日：中華民國 103 (2014) 年 07 月 09 日

(51) Int. Cl. : **H03M1/12 (2006.01)**

(30) 優先權：2013/10/04 美國

14/045,821

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORP. (TW)
新竹市新竹科學園區創新二路 2 號

(72) 發明人：林 嘉亮 LIN, CHIA-LIANG (US)

(74) 代理人：李文賢

(56) 參考文獻：

US 6603415B1

US 2012/0154193A1

審查人員：陳臆聰

申請專利範圍項數：11 項 圖式數：5 共 27 頁

(54) 名稱

類比數位轉換裝置及其方法

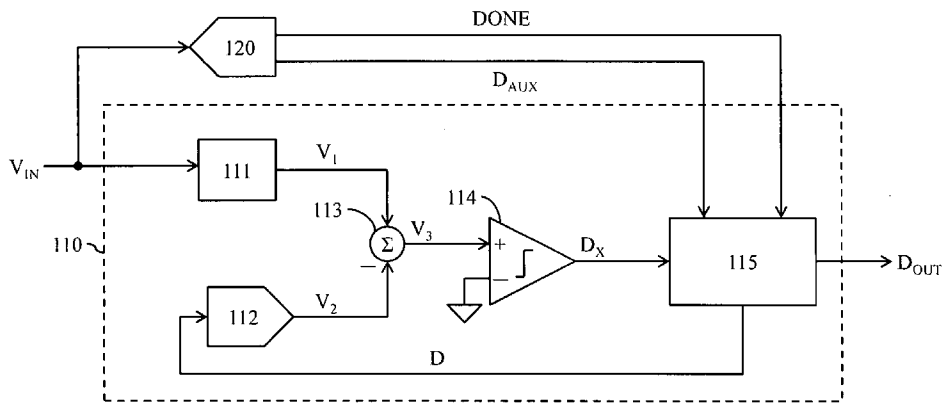
ANALOG-TO-DIGITAL CONVERSION APPARATUS AND METHOD THEREOF

(57) 摘要

一種類比數位轉換裝置包括一主類比數位轉換器以及一輔類比數位轉換器。主類比數位轉換器用以將類比輸入信號轉換成主數位資料，而輔類比數位轉換器用以將同一類比輸入信號轉換成輔數位資料。主類比數位轉換器具有一第一解析度以及一第一轉換速度，而輔類比數位轉換器具有一第二解析度以及一第二轉換速度。其中第二解析度低於第一解析度，並且第二轉換速度快於第一轉換速度。主類比數位轉換器藉由執行連續漸進程序產生主數位資料。於此，連續漸進程序包括基於輔數位資料的値之快速追蹤步驟。

An analog-to-digital conversion apparatus includes a main ADC (analog-to-digital converter) for converting an analog input signal into a digital data and an auxiliary ADC for converting the same analog input signal into an auxiliary digital data. The main ADC has a first resolution and a first conversion speed, and the auxiliary ADC has a second resolution and a second conversion speed. The second resolution is lower than the first resolution, but the second conversion speed is higher than the first conversion speed. The main ADC generates the digital data by undergoing a process of successive approximation including a fast-track step that is based on a value of the auxiliary digital data.

指定代表圖：



100

第1圖

符號簡單說明：

100 . . . 類比數位轉換裝置

110 . . . 主數位類比轉換器

111 . . . 取樣保持電路

112 . . . 數位類比轉換器

113 . . . 加總電路

114 . . . 比較器

115 . . . 啟動載入式SAR控制器

120 . . . 輔ADC

 V_{IN} . . . 類比輸入信號 D_{OUT} . . . 主數位資料 D_{AUX} . . . 輔數位資料

DONE . . . 邏輯信號

 V_1 . . . 第一電壓 V_2 . . . 第二電壓 V_3 . . . 第三電壓 D_X . . . 決策信號

D . . . 數位碼



【發明摘要】

【中文發明名稱】 類比數位轉換裝置及其方法

【英文發明名稱】 ANALOG-TO-DIGITAL CONVERSION

APPARATUS AND METHOD THEREOF

【中文】

一種類比數位轉換裝置包括一主類比數位轉換器以及一輔類比數位轉換器。主類比數位轉換器用以將類比輸入信號轉換成主數位資料，而輔類比數位轉換器用以將同一類比輸入信號轉換成輔數位資料。主類比數位轉換器具有一第一解析度以及一第一轉換速度，而輔類比數位轉換器具有一第二解析度以及一第二轉換速度。其中第二解析度低於第一解析度，並且第二轉換速度快於第一轉換速度。主類比數位轉換器藉由執行連續漸進程序產生主數位資料。於此，連續漸進程序包括基於輔數位資料的値之快速追蹤步驟。

【英文】

An analog-to-digital conversion apparatus includes a main ADC (analog-to-digital converter) for converting an analog input signal into a digital data and an auxiliary ADC for converting the same analog input signal into an auxiliary digital data. The main ADC has a first resolution and a first conversion speed, and the auxiliary ADC has a second resolution and a second conversion speed. The second resolution is lower than the first resolution, but the second

conversion speed is higher than the first conversion speed. The main ADC generates the digital data by undergoing a process of successive approximation including a fast-track step that is based on a value of the auxiliary digital data.

【指定代表圖】 第 1 圖

【代表圖之符號簡單說明】

100	類比數位轉換裝置
110	主數位類比轉換器
111	取樣保持電路
112	數位類比轉換器
113	加總電路
114	比較器
115	啟動載入式SAR控制器
120	輔ADC
V_{IN}	類比輸入信號
D_{OUT}	主數位資料
D_{AUX}	輔數位資料
DONE	邏輯信號
V_1	第一電壓
V_2	第二電壓
V_3	第三電壓
D_X	決策信號
D	數位碼

【特徵化學式】 無

【發明說明書】

【中文發明名稱】 類比數位轉換裝置及其方法

【英文發明名稱】 ANALOG-TO-DIGITAL CONVERSION

APPARATUS AND METHOD THEREOF

【技術領域】

【0001】 本發明是關於一種連續漸進式暫存器（ successive-approximation-register； SAR）類比數位轉換器（ analog-to-digital converters； ADC），特別是關於一種類比數位轉換裝置及其方法。

【先前技術】

【0002】 SAR ADC已廣泛地使用在許多應用中。SAR ADC是將類比輸入信號轉換成數位輸出資料。SAR ADC具有一SAR控制器以及一數位類比轉換器（ digital-to-analog converter； DAC）。SAR控制器用以連續逼近，而DAC用以將數位碼轉換成電壓。為了使SAR ADC具有高解析度的轉換，通常需要使用高解析度的DAC。這樣於連續逼近時則需要的更多的步驟來更新數位碼，即，需要較長的時間來完成連續逼近，因而限制SAR ADC的轉換速度。簡言之，現有技術難以達到同時具有高解析度及高轉換速度。

【0003】 於是，期望能提供一種裝置及方法，其能提供具有在解析度及轉換速度間之間的可接受的平衡的SAR ADC。

【發明內容】

【0004】 本發明之類比數位轉換裝置及其方法可允許一連續漸進

式暫存器 (successive- approximation-register ; SAR) 類比數位轉換器能具有轉換速度及解析度之間的可接收的平衡。

【0005】 在一實施例中，一種類比數位轉換裝置包括一主類比數位轉換器以及一輔類比數位轉換器。主類比數位轉換器用以將類比輸入信號轉換成主數位資料，而輔類比數位轉換器用以將同一類比輸入信號轉換成輔數位資料。主類比數位轉換器具有一第一解析度以及一第一轉換速度，而輔類比數位轉換器具有一第二解析度以及一第二轉換速度。其中第二解析度低於第一解析度，並且第二轉換速度快於第一轉換速度。

【0006】 其中，主類比數位轉換器藉由執行連續漸進程序產生主數位資料。於此，連續漸進程序包括基於輔數位資料的値之快速追蹤步驟。

【0007】 在一實施例中，一種類比數位轉換方法，包括：將類比輸入信號轉換成主數位資料、將同一類比輸入信號轉換成輔數位資料、以及執行包括基於輔數位資料的値的一快速追蹤步驟之一第一程序。於此，主類比數位轉換器具有一第一解析度以及一第一轉換速度，而輔類比數位轉換器具有一第二解析度以及一第二轉換速度。其中第二解析度低於第一解析度，並且第二轉換速度快於第一轉換速度。

【0008】 在一實施例中，一種類比數位轉換方法包括：接收一類比輸入信號、取樣類比輸入信號來產生一第一電壓、使用一數位類比轉換器依據一數位碼產生一第二電壓、依據第一電壓與第二電壓之間的差的極性連續地更新數位碼以造成第二電壓逼近第一電壓、以及藉由依據一輔數位類比轉換器的輸出直接更新數位碼來越過數位碼的連續地更新步驟。

【0009】 在一些實施例中，較高解析度但較低速度之主類比數位轉換器利用較低解析度但較高速度之輔類比數位轉換器來啟動載入連續漸進程序來連續漸進取樣的類比輸入信號。

【0010】 在一些實施例中，類比數位轉換方法可包括連續執行較高解析度但較低速度之類比數位轉換以及較低解析度但較高速度之類比數位轉換、以及利用較低解析度但較高速度之類比數位轉換的結果透過越過具有多個步驟之連續漸進程序中的至少一步驟來加速連續漸進程序。其中，較高解析度但較低速度之類比數位轉換是基於連續漸進程序。

【圖式簡單說明】

【0011】

[第1圖]為根據本發明一實施例之連續漸進式暫存器（successive-approximation-register；SAR）類比數位轉換器的示意圖。

[第2圖]為實現第1圖中之取樣保持電路、數位類比轉換器、加總電路的整合功能的數位類比轉換電路之一實施例的示意圖。

[第3圖]為在主類比數位轉換器（analog-to-digital converters；ADC）接收輔類比數位轉換器的幫助之範例下，第2圖中之數位類比轉換電路之範例波形的示意圖。

[第4圖]為第1圖之主ADC利用輔ADC的輸出時所使用之邏輯表之一實施例的示意圖。

[第5圖]為第1圖之主ADC的運作流程圖。

【實施方式】

【0012】 以下之詳細描述係參照所附圖式，藉由圖式說明，揭露本

發明各種可實行之實施例。所記載之實施例是明確且充分揭露，以致使所屬技術領域中具有通常知識者能據以實施。不同之實施例間並非相互排斥，某些實施例可與一個或一個以上之實施例進行合併而成為新的實施例。因此，下列詳細描述並非用以限定本發明。

【0013】 第1圖是根據本發明一實施例之類比數位轉換裝置的功能方塊圖。參照第1圖，類比數位轉換裝置100包括一主數位類比轉換器(analog-to-digital converters; ADC) 110以及一輔ADC 120。

【0014】 主ADC 110接收一類比輸入信號 V_{IN} 並輸出主數位資料 D_{OUT} 。輔ADC 120接收同一類比輸入信號 V_{IN} ，但輸出輔數位資料 D_{AUX} 以及一邏輯信號DONE。於此，邏輯信號DONE用以信號通知類比數位轉換執行完成。來自輔ADC 120的邏輯信號DONE會提供給主ADC 110以啟動載入(bootstrap)主ADC 110的類比數位轉換。來自主ADC 110的主數位資料 D_{OUT} 與來自輔ADC 120的輔數位資料 D_{AUX} 均為同一類比輸入信號 V_{IN} 的數位表示。

【0015】 然而，主ADC 110與輔ADC 120具有不同的類比數位轉換的解析度。特別是，輔ADC 120的解析度是低於主ADC 110的解析度。由於輔ADC 120的解析度較低，因此輔ADC 120較主ADC 110快完成類比數位轉換。在輔ADC 120完成類比數位轉換後，輔ADC 120拉起(assert)邏輯信號DONE，並提供輔數位資料 D_{AUX} 給主ADC 110作為主數位資料 D_{OUT} 的粗估值，藉以允許主ADC 110跳過不必要的轉換步驟，因而增加整體轉換速度。

【0016】 於此，主ADC 110可為連續漸進式暫存器(successive-

approximation-register ; SAR) ADC 。主ADC 110包括一取樣保持 (sample-and-hold ; S/H) 電路111、一數位類比轉換器 (digital-to-analog converter ; DAC) 112、一加總電路113、一比較器114以及一啟動載入式 (bootstrapped) SAR控制器115。

【0017】 取樣保持電路111將類比輸入信號 V_{IN} 取樣成一第一電壓 V_1 。DAC 112將一數位碼 D 轉換成一第二電壓 V_2 。加總電路113根據第一電壓 V_1 與第二電壓 V_2 產生一第三電壓 V_3 。於此，第三電壓 V_3 代表第一電壓 V_1 與第二電壓 V_2 之間的差。比較器114根據第三電壓 V_3 的極性的偵測結果 (即，比較第三電壓 V_3 與接地準位) 產生一決策信號 D_X 。啟動載入式SAR控制器115接收決策信號 D_X 、輔數位資料 D_{AUX} 以及邏輯信號DONE、依照決策信號 D_X 、輔數位資料 D_{AUX} 以及邏輯信號DONE執行一連續漸進程序來連續地更新數位碼 D 以使第二電壓 V_2 逐漸逼近第一電壓 V_1 、以及在連續漸進程序結束時基於數位碼 D 的最終值產生主數位資料 D_{OUT} 。於連續漸進程序的執行期間，當邏輯信號DONE被拉起時，啟動載入式SAR控制器115以輔數位資料 D_{AUX} 直接更新數位碼 D 並跳過原本應執行之至少一連續漸進步驟。

【0018】 在一實施例中，參照第2圖，能藉由具有取樣保持功能的數位類比轉換電路200來整合並實現取樣保持電路111、數位類比轉換器112及加總電路113的功能。數位類比轉換電路200包括一取樣開關210、一電容陣列220以及一DAC開關電路230。

【0019】 舉例來說，但不限於此，電容陣列220包括八個電容 $C_1 \sim C_8$ ，並且電容 $C_1 \sim C_8$ 中之每一者均具有一頂板和一底板。各電容

$C_1 \sim C_8$ 的頂板連接共同電路節點 N_x ，而各電容 $C_1 \sim C_8$ 的底板連接各自的內部電路節點。例如，電容 $C_1 \sim C_8$ 的底板分別連接內部電路節點 $N_1 \sim N_8$ 。DAC開關電路230包括八個DAC開關231~238，並且DAC開關231~238分別對應於電容 $C_1 \sim C_8$ 。數位碼 D 為八個子碼 $D_1 \sim D_8$ 的組合。子碼 $D_1 \sim D_8$ 分別控制DAC開關231~238。

【0020】 在一實施例中，子碼 $D_1 \sim D_8$ 中之每一者均具有3種可能值：「-1」、「0」、「1」。當子碼的值為「0」時，對應之DAC開關將對應之內部電路節點連接至接地。當子碼的值為「1」時，對應之DAC開關將對應之內部電路節點連接至負參考電壓 $-V_R$ 。而當子碼的值為「-1」時，對應之DAC開關將對應之內部電路節點連接至正參考電壓 V_R 。

【0021】 例如：當子碼 D_1 (D_2 、 D_3 、 \dots 或 D_8) 的值為「0」時，對應之DAC開關231 (232、233、 \dots 或238) 將對應之內部電路節點 N_1 (N_2 、 N_3 、 \dots 或 N_8) 連接至接地。當子碼 D_1 (D_2 、 D_3 、 \dots 或 D_8) 的值為「1」時，對應之DAC開關231 (232、233、 \dots 或238) 將對應之內部電路節點 N_1 (N_2 、 N_3 、 \dots 或 N_8) 連接至負參考電壓 $-V_R$ 。當子碼 D_1 (D_2 、 D_3 、 \dots 或 D_8) 的值為「-1」時，對應之DAC開關231 (232、233、 \dots 或238) 將對應之內部電路節點 N_1 (N_2 、 N_3 、 \dots 或 N_8) 連接至正參考電壓 V_R 。

【0022】 在(應用第2圖中之數位類比轉換電路200的第1圖中之主ADC 110所執行的)類比數位轉換的開始，所有子碼 $D_1 \sim D_8$ 重置為「0」，因此所有內部電路節點 $N_1 \sim N_8$ 連接至接地。

【0023】 在取樣期間(此時，取樣信號SAMP被拉起)，共同電路

節點 N_x 經由取樣開關210連接至類比輸入信號 V_{IN} ，因而藉由電容 $C_1\sim C_8$ 取樣類比輸入信號 V_{IN} 。

【0024】 在取樣信號SAMP未拉起的情況下，取樣開關210打開，以及類比輸入信號 V_{IN} 的準位被保持並儲存在電容 $C_1\sim C_8$ 上；因而有效地實現第1圖中之取樣保持電路111的功能。換言之，第1圖中之第一電壓 V_1 是隱含且儲存在電容 $C_1\sim C_8$ 上。

【0025】 於連續漸進程序的執行期間，依據決策信號 D_x （如第1圖所示）的值連續更新子碼 $D_8、D_7、D_6、D_5、D_4、D_3、D_2、D_1$ ，以致使內部電路節點 $N_8、N_7、N_6、N_5、N_4、N_3、N_2、N_1$ 有條件地切換成連接至正參考電壓 V_R 或負參考電壓 $-V_R$ ；因而有效地實現第1圖中之DAC 112的功能。換言之，第1圖中之第二電壓 V_2 為內隱式且儲存在電容 $C_1\sim C_8$ 上。

【0026】 由於第一電壓 V_1 及第二電壓 V_2 均為內隱式且儲存在電容 $C_1\sim C_8$ 上，因此其隱含地加總；因而有效地實現第1圖中之加總電路113的功能，並且在共同電路節點 N_x 的電壓位準（以下稱之為共模電位 V_x ）則實現第1圖中之加總電路113的輸出，即，第三電壓 V_3 。

【0027】 請參照回第1圖，在任一實施例中，使用輔ADC 120來加速主ADC 110的轉換。因此，輔ADC 120之類比數位轉換的執行速度需快於主ADC 110。

【0028】 在一實施例中，輔ADC 120的解析度低於主ADC 110。舉例而言，較低解析度的ADC使用較小的電容以加速比較及穩定（settling），並且其可快於較高解析度的ADC。輔ADC 120具有低於

主ADC 110的解析度但快於主ADC 110，以致於邏輯信號DONE會在主ADC 110完成轉換之前被拉起。

【0029】 在一實施例中，輔ADC 120為4位元ADC，因此其解析度小於主ADC 110的4個最高有效位元（more significant bit；MSB）。亦即，輔數位資料 D_{AUX} 為主ADC 110的4個最高有效位元之子碼 $\{D_8、D_7、D_6、D_5\}$ 的大概估計。

【0030】 第3圖為第2圖所示電路之範例波形的示意圖。參照第1、2及3圖，在取樣信號SAMP被拉起的取樣期間，第二電壓 V_2 內隱地為零，而第一電壓 V_1 內隱地追蹤類比輸入信號 V_{IN} （此時即等於共模電位 V_X ）。在時間點320（此時取樣信號SAMP未拉起），第一電壓 V_1 內隱地保持並且因此為共模電位 V_X 。然後，共模電位 V_X 的極性被解析為子碼 D_8 。在時間點328，子碼 D_8 被解析為-1（因共模電位 V_X 為負的）並更新之，其導致DAC開關238將內部電路節點 N_8 連接至正參考電壓 V_R （如第2圖所示），因而使得共模電位 V_X 更高。在每次按照子碼 D_8 的值穩定共模電位 V_X 之後，共模電位 V_X 的極性被解析為子碼 D_7 。在時間點327，子碼 D_7 被解析為1（因共模電位 V_X 為正的）並更新之，其導致DAC開關237將內部電路節點 N_7 連接至負參考電壓 $-V_R$ （如第2圖所示），因而使得共模電位 V_X 更低。於每次按照子碼 D_8 的值穩定的期間，輔ADC 120完成其類比數位轉換。在時間點326，邏輯信號DONE被拉起並且輔數位資料 D_{AUX} 的值為可接受的。在這一刻，只有子碼 D_8 與子碼 D_7 被解析；然而，在輔數位資料 D_{AUX} （其為子碼 $\{D_8、D_7、D_6、D_5\}$ 的大概估計）為可接受的時候，即可直接使用輔數位資料 D_{AUX} 來更新子碼 $\{D_8、D_7、$

D_6 、 D_5 }。亦即，能跨過解析子碼 D_6 、 D_5 的步驟，並且以基於輔數位資料 D_{AUX} 的値之「快速追蹤」步驟取代這些解析步驟。反之，若輔數位資料 D_{AUX} 不存在或不洽當，則這些解析步驟都是必需的。

【0031】 在一實施例中，啟動載入式SAR控制器115包括且使用第4圖所示之邏輯表，以按照每個輔數位資料 D_{AUX} 的値（0至15之4位元數字）更新子碼 $\{D_8$ 、 D_7 、 D_6 、 D_5 }。

【0032】 在另一實施例中，若邏輯表與在連續漸進程序中已解析的値（即在前述實施例中，述及之子碼 $\{D_8$ 、 D_7 }）之間有不一致，依據第4圖所示之邏輯表則無法完全映射子碼 $\{D_8$ 、 D_7 、 D_6 、 D_5 }。當偵測到不一致時，將維持已解析的値，並更新剩餘的値（即，在前述實施例中之子碼 $\{D_6$ 、 D_5 }），以致於最小化子碼 $\{D_8$ 、 D_7 、 D_6 、 D_5 }與輔數位資料 D_{AUX} 之間的差異。

【0033】 舉例而言，若子碼 $\{D_8$ 、 D_7 }已解析為 $\{-1$ 、 1 }，但輔數位資料 D_{AUX} 為8（依據第5圖之邏輯表應映射為子碼 $\{D_8$ 、 D_7 、 D_6 、 D_5 }= $\{1$ 、 -1 、 -1 、 -1 }），因此維持子碼 $\{D_8$ 、 D_7 }為 $\{-1$ 、 1 }並更新子碼 $\{D_6$ 、 D_5 }為 $\{-1$ 、 -1 }。即，將子碼 $\{D_8$ 、 D_7 、 D_6 、 D_5 }設定成 $\{-1$ 、 1 、 -1 、 -1 }，並且在未改變子碼 $\{D_8$ 、 D_7 }的已解析値之下此結果最相近於輔數位資料 D_{AUX} 為8。

【0034】 雖然輔數位資料 D_{AUX} 與已由主ADC 110解析之最高有效位元之間的差異可能造成錯誤的輸出資料（即，主數位資料 D_{OUT} ），然而只要在主ADC 110的最低有效位元（在第2圖之實施例中即對應子碼 D_1 ~ D_4 ）之間實現及使用冗位（redundancy），此錯誤即能被容忍及修

正。在最低有效位元使用冗位來修正最高有效位元的誤錯之原則為本領域所熟知，故於此不再贅述。

【0035】 第1圖所示之啟動載入式SAR控制器115為有限狀態機制（finite state machine）。第5圖為實現第1圖所示之啟動載入式SAR控制器115的控制功能之一實施例的流程圖。參照第5圖，在ADC啟動（步驟501）後，ADC初始化數位碼D，即將子碼 $\{D_8、D_7、\dots、D_1\}$ 均設為0（步驟503）。然後，ADC以電容 $C_1\sim C_8$ 取樣類比輸入信號 V_{IN} 取樣在（例如：透過拉起然後未拉起取樣信號SAMP，如第2圖所示）（步驟505）。接著，ADC藉由將一內部變數n設定為8（表示使用之電容數量）來開始連續漸進程序（步驟507）。

【0036】 然後，ADC檢查內部變數n是否為0（步驟509）；若內部變數n不為0，則表示連續漸進程序尚未完成。並且，ADC檢查內部變數n是否大於4以及邏輯信號DONE是否拉起（步驟511）。若內部變數n不大於4或邏輯信號DONE未拉起，則偵測決策信號 D_x 的極性（步驟513）並基於決策信號 D_x 的極性更新子碼 D_n （步驟515）。若內部變數n大於4且邏輯信號DONE亦拉起，則直接基於輔數位資料 D_{AUX} 更新子碼 $\{D_8、D_7、D_6、D_5\}$ （步驟521）並將內部變數n設為5（步驟522）以表示子碼 D_5 已更新。

【0037】 在子碼 D_n 或子碼 $\{D_8、D_7、D_6、D_5\}$ 更新（步驟515或步驟522）後，ADC等待電容 $C_1\sim C_8$ 穩定（步驟517）。然後，ADC減少內部變數n（步驟519），例如：ADC將內部變數n減去1。接著，迴圈回到檢查內部變數n是否為0（步驟509）；若內部變數n為0，則表示連續

漸進程序完成。然後，ADC基於子碼 $\{D_8、D_7、D_6、D_5\}$ 計算主數位資料 D_{OUT} 的值（步驟527）。接著，ADC藉由迴圈回到步驟503來繼續往前執行下一類比數位轉換。

【0038】 在一實施例中，子碼 D_0 的值將被包括在計算主數位資料 D_{OUT} 中。在一些實施例中，主數位資料 D_{OUT} 是依據下列公式計算。

$$\text{【0039】 } D_{OUT} = \frac{D_0}{2} + \sum_{n=1}^8 \frac{D_n C_n}{C_1} \quad (1)$$

【0040】 換言之，以由子碼控制其連接性之電容的權重來決定子碼 D_n 的權重，並且將額外的子碼 D_0 的權重設定為 $1/2$ 。若未使用步驟523及步驟525，那麼則將公式（1）中額外的子碼 D_0 的權重改為0。

【0041】 輔ADC 120只要在主ADC 110完成解析預期由輔ADC 120協助解析之最高有效位元之前完成類比數位轉換，輔ADC 120就可以由任意一種ADC實現。當輔ADC 120開始類比數位轉換時，邏輯信號DONE未拉起；當輔ADC 120完成類比數位轉換時，邏輯信號DONE拉起。

【0042】 在一實施例中，輔ADC 120為一快閃ADC。

【0043】 在一實施例中，輔ADC 120亦可為一SAR ADC。

【0044】 在一實施例中，輔ADC 120可包括如第2圖所示之數位類比轉換電路200，但具有較小且較少的電容（以致使類比數位轉換可較快完成）。

【0045】 在一實施例中，輔ADC 120執行取樣保持功能的速度略快於主ADC 110，以致使較快完成類比數位轉換。

【0046】 雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明，任何熟習相像技術者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

【符號說明】

【0047】

100	類比數位轉換裝置
110	主數位類比轉換器
111	取樣保持電路
112	數位類比轉換器
113	加總電路
114	比較器
115	啟動載入式SAR控制器
120	輔ADC
V_{IN}	類比輸入信號
D_{OUT}	主數位資料
D_{AUX}	輔數位資料
DONE	邏輯信號
V_1	第一電壓
V_2	第二電壓
V_3	第三電壓
V_X	共模電壓
D_X	決策信號
D	數位碼
200	數位類比轉換電路
210	取樣開關

- 220 電容陣列
- 230 DAC開關電路
- 231~238 DAC開關
- $C_1 \sim C_8$ 電容
- $N_1 \sim N_8$ 內部電路節點
- $D_1 \sim D_8$ 子碼
- V_R 正參考電壓
- $-V_R$ 負參考電壓
- N_X 共同電路節點
- SAMP 取樣信號
- 501 開始
- 503 初始化 $\{D_8, D_7, \dots, D_1\}$ 為0
- 505 在 $C_1 \sim C_8$ 上取樣 V_{IN}
- 507 將n設為8
- 509 n是否為0?
- 511 n是否大於4及DONE是否為1?
- 513 偵測 D_X
- 515 基於 D_X 更新 D_n
- 517 等待電容穩定
- 519 n減去1
- 521 基於 D_{AUX} 更新 $\{D_8, D_7, \dots, D_1\}$
- 522 將n設為5

- 523 偵測 D_x
- 525 基於 D_x 更新 D_0
- 527 基於 $\{D_8, D_7, \dots, D_1\}$ 或基於 $\{D_8, D_7, \dots, D_0\}$ 計算 D_{OUT}
- n 內部變數
- D_0 子碼
- D_n 子碼
- 320~324、326~328 時間點

【發明申請專利範圍】

【第1項】 一種類比數位轉換裝置，包括：

一主類比數位轉換器，具有一第一解析度以及一第一轉換速度，以部分基於一輔數位資料的值，將一類比輸入信號轉換成一主數位資料；
以及

一輔類比數位轉換器，具有一第二解析度以及一第二轉換速度，以將該類比輸入信號轉換成該輔數位資料；

其中，該第二解析度低於該第一解析度，並且該第二轉換速度快於該第一轉換速度；以及

其中，該主類比數位轉換器包括：

一啟動載入式控制器，用以執行一第一程序來根據一決策信號以及該輔數位資料更新一數位碼並且在該第一程序結束時基於該數位碼的最終值產生該主數位資料；

一取樣保持電路，用以將該類比輸入信號取樣成一第一電壓；

一數位類比轉換器，用以將該數位碼轉換成一第二電壓；

一加總電路，用以產生一第三電壓，其中該第三電壓的大小等於該第一電壓與該第二電壓之間的差；以及

一比較器，用以基於該第三電壓的極性產生該決策信號。

【第2項】 如請求項1所述之類比數位轉換裝置，其中該比較器比較第三電壓與一接地準位來產生該決策信號。

【第3項】 如請求項1所述之類比數位轉換裝置，其中該輔類比數位轉換器更輸出一邏輯信號，並且該啟動載入式控制器在該邏輯信號拉起時使用該輔數位資料直接更新該數位碼並越過至少一位元之數位碼的至少一解析步驟。

【第4項】 如請求項3所述之類比數位轉換裝置，其中該啟動載入式控制器基於一邏輯表的值使用該輔數位資料直接更新該數位碼。

【第5項】 如請求項1所述之類比數位轉換裝置，其中該啟動載入式控制器包括一有限狀態機制。

【第6項】 如請求項1所述之類比數位轉換裝置，其中該輔類比數位轉換器為一快閃類比數位轉換器或一連續漸進式暫存器類比數位轉換器。

【第7項】 一種類比數位轉換方法，包括：

將一類比輸入信號轉換成一主數位資料，其中該主類比數位轉換器具有一第一解析度以及一第一轉換速度；

將該類比輸入信號轉換成該輔數位資料，其中該輔類比數位轉換器具有一第二解析度以及一第二轉換速度；以及

執行一第一程序，其中該第一程序包括基於輔數位資料的值的一快速追蹤步驟；

其中，該第二解析度低於該第一解析度，並且該第二轉換速度快於該第一轉換速度；以及

其中，該第一程序的執行步驟包括：

第2頁，共4頁(發明申請專利範圍)

根據一決策信號以及該輔數位資料更新一數位碼；

在該第一程序結束時基於該數位碼的最終值產生該主數位資料；

將該類比輸入信號取樣成一第一電壓；

將該數位碼轉換成一第二電壓；

產生一第三電壓，其中該第三電壓代表該第一電壓與該第二電壓之間的差；以及

基於該第三電壓的極性產生該決策信號。

【第8項】 如請求項7所述之類比數位轉換方法，其中該決策信號的產生步驟包括：

比較該第三電壓與一接地準位來產生該決策信號。

【第9項】 如請求項7所述之類比數位轉換方法，其中該數位碼的更新步驟包括：

在該邏輯信號拉起時使用該輔數位資料直接更新該數位碼；以及
越過至少一位元之數位碼的至少一解析步驟。

【第10項】 如請求項9所述之類比數位轉換方法，其中該數位碼的更新步驟包括：

基於一邏輯表的值使用該輔數位資料直接更新該數位碼。

【第11項】 一種類比數位轉換方法，包括：

接收一類比輸入信號；

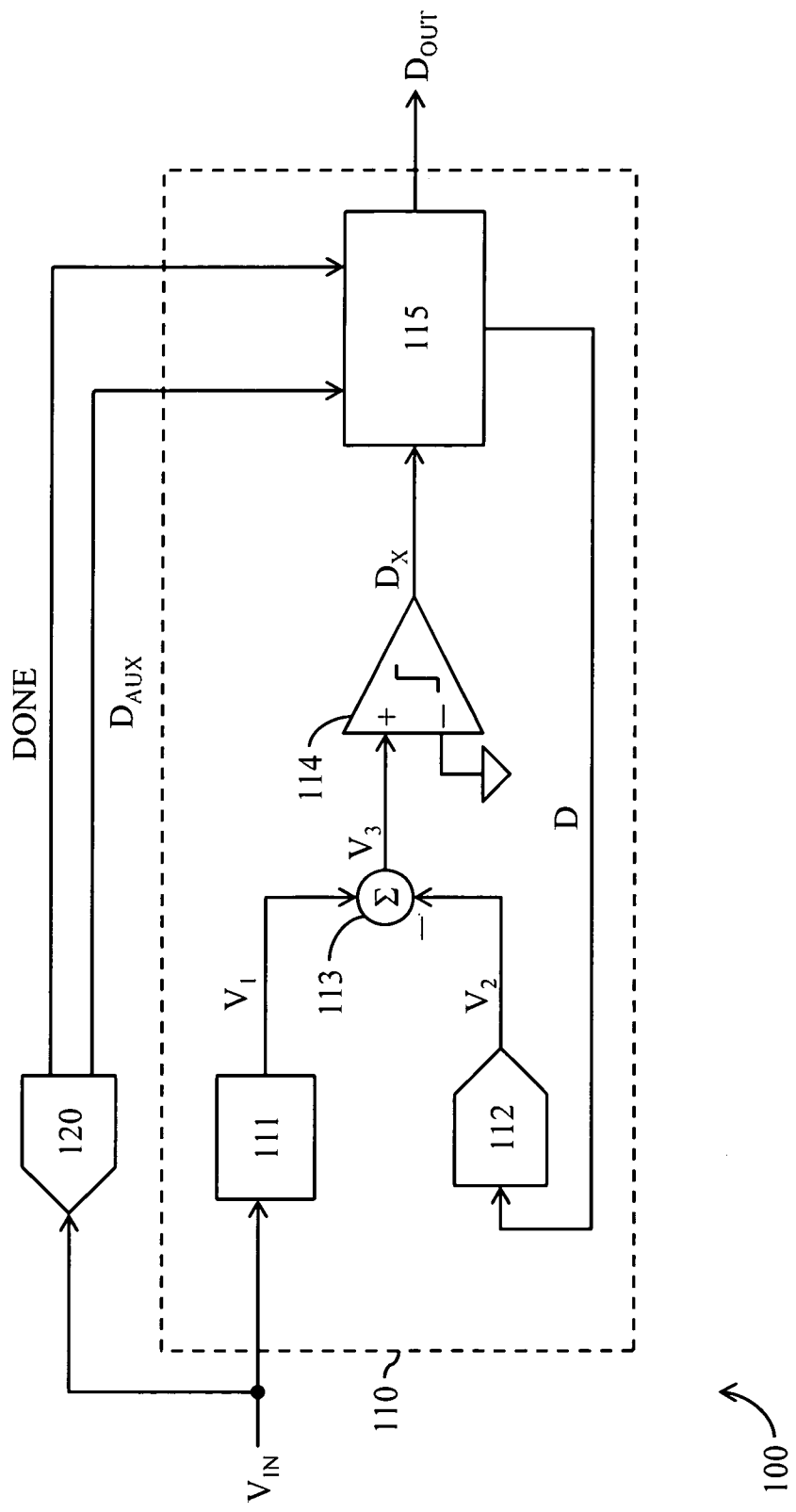
取樣該類比輸入信號來產生一第一電壓；

使用一數位類比轉換器依據一數位碼產生一第二電壓；

依據該第一電壓與該第二電壓之間的差的極性連續地更新該數位碼以造成該第二電壓逼近該第一電壓；以及

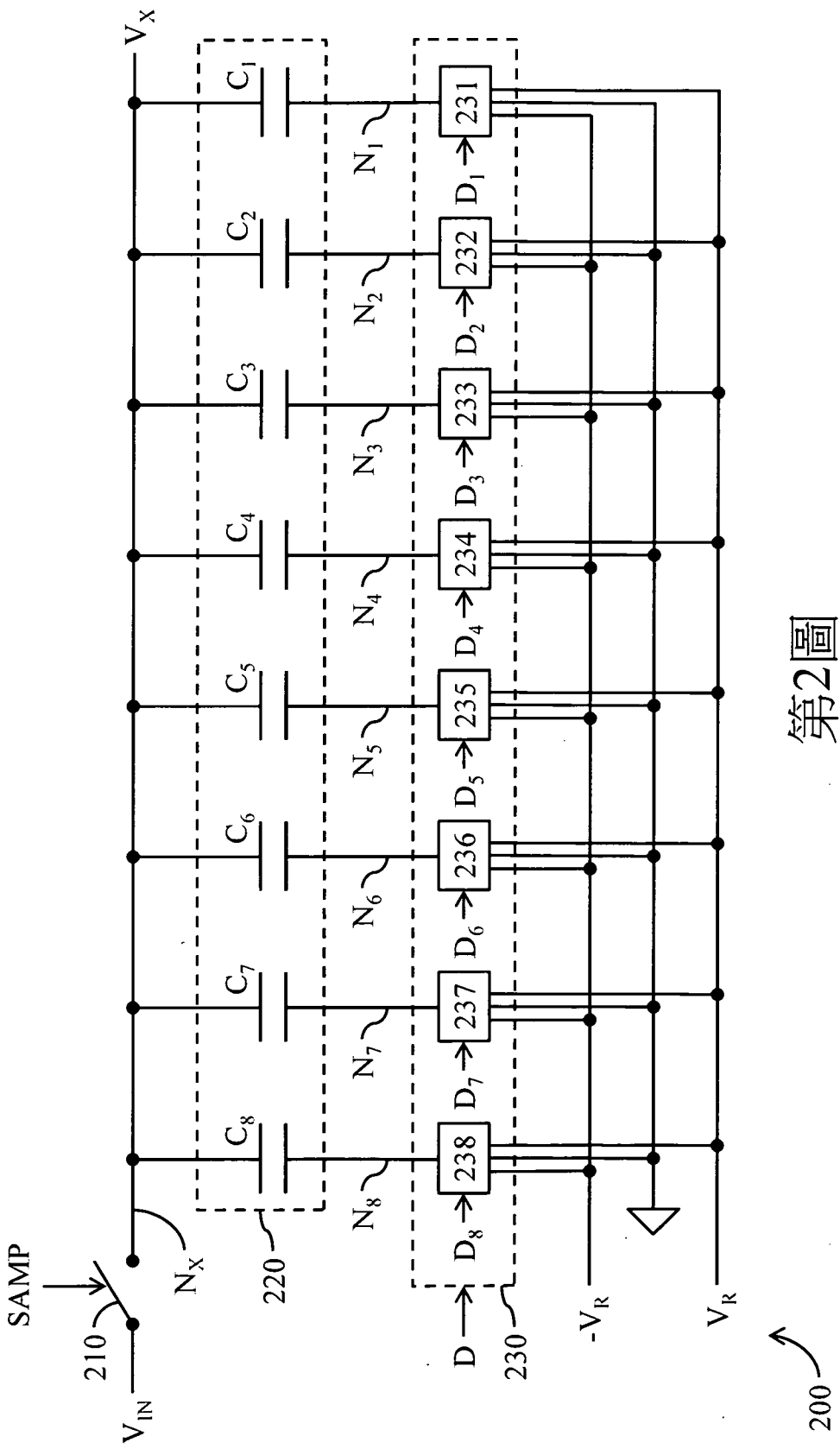
藉由依據一輔數位類比轉換器的輸出直接更新該數位碼來越過該數位碼的連續地更新步驟。

【發明圖式】

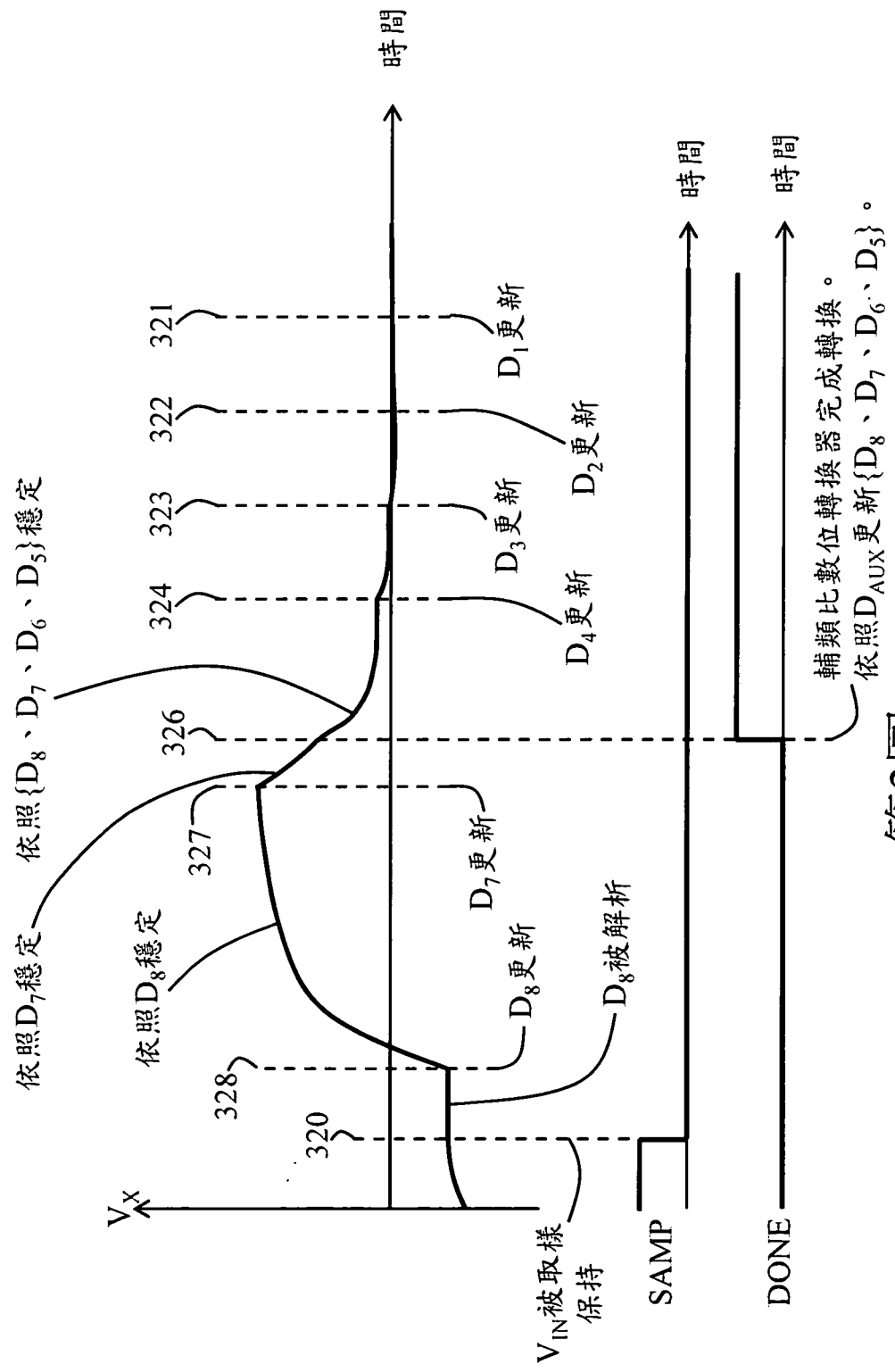


第1圖

100



第2圖

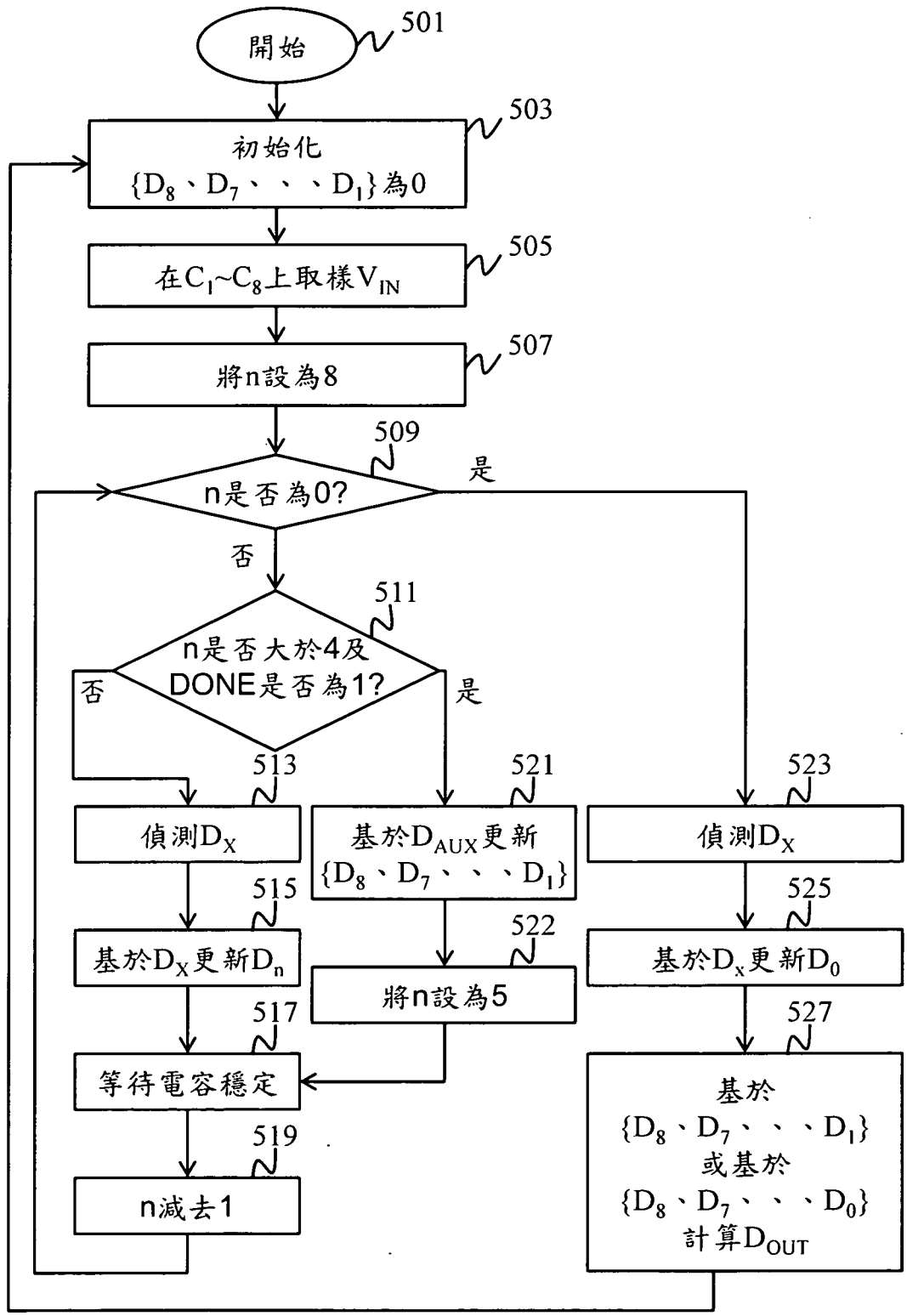


第3圖

輔類比數位轉換器完成轉換。
依照 D_{AUX} 更新 $\{D_8, D_7, D_6, D_5\}$ 。

D_{AUX}	D_8	D_7	D_6	D_5
0	-1	-1	-1	-1
1	-1	-1	-1	1
2	-1	-1	1	-1
3	-1	-1	1	1
4	-1	1	-1	-1
5	-1	1	-1	1
6	-1	1	1	-1
7	-1	1	1	1
8	1	-1	-1	-1
9	1	-1	-1	1
10	1	-1	1	-1
11	1	-1	1	1
12	1	1	-1	-1
13	1	1	-1	1
14	1	1	1	-1
15	1	1	1	1

第4圖



第5圖