



(12) 发明专利申请

(10) 申请公布号 CN 105187342 A

(43) 申请公布日 2015. 12. 23

(21) 申请号 201510497808. X

(22) 申请日 2015. 08. 13

(71) 申请人 清华大学

地址 100084 北京市海淀区北京市  
100084-82 信箱

(72) 发明人 曹卫东 王自强 袁帅 黄柯  
李福乐

(74) 专利代理机构 北京众合诚成知识产权代理  
有限公司 11246

代理人 陈波

(51) Int. Cl.

H04L 25/03(2006. 01)

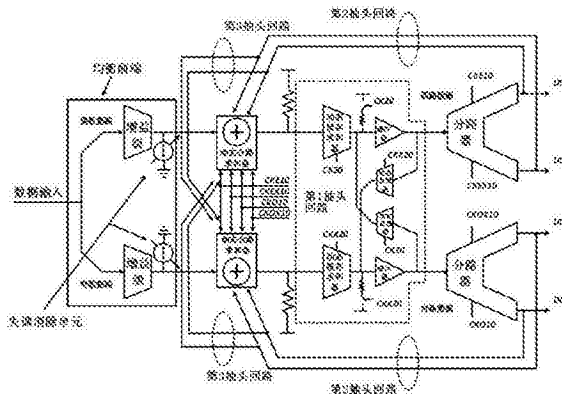
权利要求书2页 说明书5页 附图6页

(54) 发明名称

用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器

(57) 摘要

本发明属于数据传输技术领域,特别涉及一种用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器,包括两条结构相同的数据通路,分别为奇数据路、偶数据路;每条数据通路包括 1 个增益级、1 个失调消除单元、1 个动态合路求和器、1 个动态锁存求和器、1 个缓冲器、1 个动态反馈级以及 1 个分路器;奇、偶数据路中的增益级以及失调消除单元组成均衡前端;奇、偶数据路中的动态锁存求和器、动态反馈级以及缓冲器组成第 1 抽头回路;奇、偶数据路中的动态合路求和器、分路器组成第 2、3 抽头回路;整个 3 抽头模块的求和单元均为钟控实现方式。本发明具有功耗低、高工作速率以及均衡能力强的特点。



1. 一种用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器,其特征在于:包括两条结构相同的数据通路奇数据路和偶数据路;每条数据通路包括 1 个增益级、1 个失调消除单元、1 个动态合路求和器、1 个动态锁存求和器、1 个缓冲器、1 个动态反馈级以及 1 个分路器;

奇数据路和偶数据路中的增益级以及失调消除单元组成均衡前端,失调消除单元置于增益级输出端与地之间,奇数据路和偶数据路的增益级输出端分别连接到奇数据路和偶数据路的动态合路求和器输入端,奇数据路和偶数据路的动态合路求和器输出端分别连接到第 1 抽头回路中奇数据路和偶数据路的动态锁存求和器输入端;

第 1 抽头回路由奇数据路的第 1 抽头与偶数据路的第 1 抽头合并实现,奇数据路的第 1 抽头由偶数据路的动态反馈级输出端连接到奇数据路的动态锁存求和器输出端和奇数据路的动态锁存求和器输出端连接到奇数据路的缓冲器输入端后构成,偶数据路的第 1 抽头由奇数据路的动态反馈级输出端连接到偶数据路的动态锁存求和器输出端和偶数据路的动态锁存求和器输出端连接到偶数据路的缓冲器输入端构成,奇数据路和偶数据路的缓冲器输出端分别连接到奇数据路和偶数据路的分路器输入端;

偶数据路的分路器将偶路数据降速为两路  $1/4$  速率数据,并由偶数据路分路器输出端将其传送至偶数据路和奇数据路的动态合路求和器输入端,分别构成偶数据路的第 2 抽头与奇数据路的第 3 抽头,奇数据路分路器将奇路数据降速为两路  $1/4$  速率数据,并由奇数据路分路器输出端将其传送至奇数据路和偶数据路动态合路求和器的输入端,分别构成奇数据路的第 2 抽头与偶数据路的第 3 抽头;第 2 抽头回路由偶数据路的第 2 抽头与奇数据路的第 2 抽头合并实现,第 3 抽头回路由偶数据路的第 3 抽头与奇数据路的第 3 抽头合并实现;整个 3 抽头模块的求和单元均为钟控实现方式。

2. 根据权利要求 1 所述的用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器,其特征在于,所述奇数据路和偶数据路的动态锁存求和器都由一对  $1/2$  速率的互补时钟分别控制,使其在求和与锁存状态之间切换;所述奇数据路和偶数据路的分路器各有两个时钟控制,且这四个时钟被动态合路求和器共用。

3. 根据权利要求 1 所述的用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器,其特征在于,所述增益级和失调消除单元均采用电流模逻辑电路。

4. 根据权利要求 1 所述的用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器,其特征在于,所述动态锁存求和器由求和器与动态锁存器合并实现,包括一个由正沿时钟 (CLKP) 控制的起尾电流源作用的第一 NMOS 管 (M0),一对由输入数据驱动的第二 NMOS 管 (M1) 和第三 NMOS 管 (M2),一对由负沿时钟 (CLKN) 控制的第一 PMOS 管 (M3) 和第二 PMOS 管 (M4),还有一个由正沿时钟 (CLKP) 控制的上拉第三 PMOS 管 (M6);第一 PMOS 管 (M3) 的源极与电源 (VDD) 连接,其漏极连接到第二 NMOS 管 (M1) 的漏极,第三 NMOS 管 (M2) 的漏极连接到第二 PMOS 管 (M4) 的漏极,第二 PMOS 管 (M4) 的源极连接到电源 VDD,第三 PMOS 管 (M6) 的源极连接到电源 VDD,第一 NMOS 管 (M0) 的源极接地;第二 NMOS 管 (M1) 的源极、第三 NMOS 管 (M2) 的源极、第三 PMOS 管 (M6) 的漏极和第一 NMOS 管 (M0) 的漏极连接到第三节点 (VP);第一节点 (VA) 在第三 NMOS 管 (M2) 的漏极与第二 PMOS 管 (M4) 的漏极的连接线上,第一节点 (VA) 连接到差分数据正输出端 (OUTP);第二节点 (VB) 在第一 PMOS 管 (M3) 的漏极与第二 NMOS 管 (M1) 的漏极的连接线上,第二节点 (VB) 连接到差分数据负输出端

(OUTN) ;第一 PMOS 管 (M3) 和第二 PMOS 管 (M4) 的栅极连接到负沿时钟 (CLKN), 第二 NMOS 管 (M1) 的栅极连接到差分数据正输入端 (INP), 第三 NMOS 管 (M2) 的栅极连接到差分数据负输入端 (INN), 第一 NMOS 管 (M0) 和第三 PMOS 管 (M6) 的栅极连接到正沿时钟 (CLKP)。

5. 根据权利要求 1 所述的用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器, 其特征在于, 所述缓冲器采用电流模逻辑电路。

6. 根据权利要求 1 所述的用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器, 其特征在于, 所述偶数据路分路器由一对 1/4 速率差分时钟 : 第一差分时钟 (CKE10) 和第二差分时钟 (CKEX10) 控制, 所述奇数据路分路器由一对 1/4 速率差分时钟 : 第三差分时钟 (CKO10) 和第四差分时钟 (CKOX10) 控制 ; 第一差分时钟 (CKE10)、第三差分时钟 (CKO10)、第二差分时钟 (CKEX10)、第四差分时钟 (CKOX10) 依次相差 90 度相位。

7. 根据权利要求 1 所述的用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器, 其特征在于, 所述动态合路求和器由合路器嵌入求和单元实现, 包括 2 对差分时钟输入端, 4 对差分数据输入端以及 1 对差分数据输出端。

## 用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器

### 技术领域

[0001] 本发明属于数据传输技术领域,特别涉及一种用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器。

### 背景技术

[0002] 近年来高速串口收发机传输的数据率不断上升,目前单通道的数据率已能达到 40Gbps 以上,如此高的数据率下,信道会对信号产生严重的衰减作用,此时接收机的设计面临着严重的 ISI 问题。常用的均衡器主要有连续时间线性均衡器 (Continuous Time Linear Equalizer, CTLE) 和判决反馈均衡器 (Decision Feedback Equalizer, DFE)。判决反馈均衡器广泛应用于高速串行接口接收端的设计,判决反馈均衡器置于接收机前端,对来自信道的串行数据进行时域补偿,消除其码间干扰 (Inter-Symbol Interference, ISI),保证接收机正确工作。判决反馈均衡器是一种非线性均衡器,它能提供比一般的线性均衡器更小的误码率 (Bit Error Rates, BER),线性均衡器在减小 ISI 的同时也放大了噪声,而判决反馈均衡器能在消除 ISI 的同时不引入噪声增益。

[0003] 多抽头直接型判决反馈均衡器的设计主要受第 1 个抽头关键路径的时序限制,1 抽头判决反馈均衡器消除 ISI 的原理是在单位数据周期 (Unit Interval, UI) 之内,完成对先前 1 位 (bit) 数据的判决并将其送回求和单元,消除对当前 bit 数据的 ISI。图 1 是典型的 1 抽头直接型判决反馈均衡器示意图,奇数路的输入模拟信号被触发器判决成数字信号反馈回偶数路的跨导求和单元,进而消除第 1 后体 (1<sup>st</sup> post cursor, post 1) 的 ISI。整个关键路径的时序限制受公式 (1) 所限:

$$[0004] \quad T_{ckq} + T_{settle} + T_{setup} < 1UI \quad (1)$$

[0005] 其中,  $T_{ckq}$ ,  $T_{setup}$  分别代表触发器的传播延时和建立时间,  $T_{settle}$  代表模拟求和节点的稳定时间。如果不对关键路径进行时序优化,在 40Gbps 的数据率下,  $T_{ckq} + T_{settle} + T_{setup}$  很容易超过 1UI。

[0006] 为了解决第 1 抽头关键路径时序紧张的问题,一种方法如图 2 所示,采用投机型的结构进行第 1 抽头设计,此时新环路的时序为:

$$[0007] \quad T_{ckq} + T_{s, MX} + T_{setup} < 1UI \quad (2)$$

[0008] 其中,  $T_{ckq}$ ,  $T_{setup}$  分别代表触发器的传播延时和建立时间,  $T_{s, MX}$  代表数据选择器的数字信号传播延时,通常  $T_{s, MX}$  要小于  $T_{settle}$ 。虽然这种投机型的结构设计能够放松对第 1 抽头关键路径的时序要求,但却不利于第 2 及以后抽头环路的设计,其原因在于数据选择器会引入大量负载,增加额外的时间延迟,另一方面数据选择器的数量也会随着抽头数指数级增加。

[0009] 随着数据率的上升,高速串行接口接收端功耗——数据率之间的折中也变得非常紧张。

### 发明内容

[0010] 为了克服上述现有技术的缺点,本发明的目的在于提供一种用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器,其特征在于:包括两条结构相同的数据通路奇数据路和偶数据路;每条数据通路包括 1 个增益级、1 个失调消除单元、1 个动态合路求和器、1 个动态锁存求和器、1 个缓冲器、1 个动态反馈级以及 1 个分路器;

[0011] 奇数据路和偶数据路中的增益级以及失调消除单元组成均衡前端,失调消除单元置于增益级输出端与地之间,奇数据路和偶数据路的增益级输出端分别连接到奇数据路和偶数据路的动态合路求和器输入端,奇数据路和偶数据路的动态合路求和器输出端分别连接到第 1 抽头回路中奇数据路和偶数据路的动态锁存求和器输入端;

[0012] 第 1 抽头回路由奇数据路的第 1 抽头与偶数据路的第 1 抽头合并实现,奇数据路的第 1 抽头由偶数据路的动态反馈级输出端连接到奇数据路的动态锁存求和器输出端和奇数据路的动态锁存求和器输出端连接到奇数据路的缓冲器输入端后构成,偶数据路的第 1 抽头由奇数据路的动态反馈级输出端连接到偶数据路的动态锁存求和器输出端和偶数据路的动态锁存求和器输出端连接到偶数据路的缓冲器输入端构成,奇数据路和偶数据路的缓冲器输出端分别连接到奇数据路和偶数据路的分路器输入端;

[0013] 偶数据路的分路器将偶路数据降速为两路  $1/4$  速率数据,并由偶数据路分路器输出端将其传送至偶数据路和奇数据路的动态合路求和器输入端,分别构成偶数据路的第 2 抽头与奇数据路的第 3 抽头,奇数据路分路器将奇路数据降速为两路  $1/4$  速率数据,并由奇数据路分路器输出端将其传送至奇数据路和偶数据路动态合路求和器的输入端,分别构成奇数据路的第 2 抽头与偶数据路的第 3 抽头;第 2 抽头回路由偶数据路的第 2 抽头与奇数据路的第 2 抽头合并实现,第 3 抽头回路由偶数据路的第 3 抽头与奇数据路的第 3 抽头合并实现;整个 3 抽头模块的求和单元均为钟控实现方式。

[0014] 在第 1 抽头回路中,奇数据路和偶数据路的动态锁存求和器都由一对  $1/2$  速率的互补时钟分别控制,使其在求和与锁存状态之间切换;在第 2、3 抽头环路中,奇数据路和偶数据路的分路器各有两个时钟控制,且这四个时钟被动态合路求和器共用。

[0015] 所述增益级和失调消除单元均采用电流模逻辑电路。

[0016] 所述动态锁存求和器由求和器与动态锁存器合并实现,包括一个由正沿时钟 CLKP 控制的起尾电流源作用的第一 NMOS 管 M0,一对由输入数据驱动的第二 NMOS 管 M1、第三 NMOS 管 M2,一对由负沿时钟 CLKN 控制的第一 PMOS 管 M3、第二 PMOS 管 M4,还有一个由正沿时钟 CLKP 控制的上拉第三 PMOS 管 M6;第一 PMOS 管 M3 的源极与电源 VDD 连接,其漏极连接到第二 NMOS 管 M1 的漏极,第三 NMOS 管 M2 的漏极连接到第二 PMOS 管 M4 的漏极,第二 PMOS 管 M4 的源极连接到电源 VDD,第三 PMOS 管 M6 的源极连接到电源 VDD,第一 NMOS 管 M0 的源极接地;第二 NMOS 管 M1 的源极、第三 NMOS 管 M2 的源极、第三 PMOS 管 M6 的漏极和第一 NMOS 管 M0 的漏极连接到第三节点 VP;第一节点 VA 在第三 NMOS 管 M2 的漏极与第二 PMOS 管 M4 的漏极的连接处,第一节点 VA 连接到差分数据正输出端 OUTP;第二节点 VB 在第一 PMOS 管 M3 的漏极与第二 NMOS 管 M1 的漏极的连接处,第二节点 VB 连接到差分数据负输出端 OUTN;第一 PMOS 管 M3 和第二 PMOS 管 M4 的栅极连接到负沿时钟 CLKN,第二 NMOS 管 M1 的栅极连接到差分数据正输入端 INP,第三 NMOS 管 M2 的栅极连接到差分数据负输入端 INN,第一 NMOS 管 M0 和第三 PMOS 管 M6 的栅极连接到正沿时钟 CLKP。

[0017] 所述缓冲器采用电流模逻辑电路。

[0018] 所述偶数据路分路器由一对 1/4 速率差分时钟：第一差分时钟 CKE10 和第二差分时钟 CKEX10 控制，所述奇数据路分路器由一对 1/4 速率差分时钟：第三差分时钟 CKO10 和第四差分时钟 CKOX10 控制；第一差分时钟 CKE10、第三差分时钟 CKO10、第二差分时钟 CKEX10、第四差分时钟 CKOX10 依次相差 90 度相位。

[0019] 所述动态合路求和器由合路器嵌入求和单元实现，包括 2 对差分时钟输入端，4 对差分数据输入端以及 1 对差分数据输出端。

[0020] 有益效果

[0021] 与现有技术相比，本发明提出的判决反馈均衡器能保证第 1 抽头环路的时序充裕，第 2、3 抽头的反馈在四分之一速率下实现，所有抽头求和单元均为钟控方式，均衡器采用动态方式实现，3 抽头的结构，具有功耗低、高工作速率以及均衡能力强的特点。

## 附图说明

[0022] 图 1 是典型的 1 抽头直接型判决反馈均衡器结构示意图。

[0023] 图 2 是典型的 1 抽头投机型判决反馈均衡器结构示意图。

[0024] 图 3a ~ 3b 是典型的 1 抽头直接型判决反馈均衡器其求和单元与主锁存器合并，从锁存器与反馈级合并的示意图。

[0025] 图 4 是本发明中的 1 抽头直接型判决反馈接收器结构示意图。

[0026] 图 5 是本发明中的第 2、第 3 抽头回路实现方式示意图。

[0027] 图 6 是本发明的一种用于高速串行接口接收端的低功耗 3 抽头判决反馈均衡器的结构示意图。

[0028] 图 7 是本发明中的动态锁存求和器电路。

[0029] 图 8 是本发明中的分路器电路图。

[0030] 图 9 是本发明中的动态合路求和器电路图。

[0031] 图 10 是输入数据的眼图。

[0032] 图 11 是偶数据路输出数据的眼图。

## 具体实施方式

[0033] 下面结合附图与实施例，对优选实施例作详细说明。

[0034] 为了解决第 1 抽头环路时序紧张的问题，提出“动态锁存求和器”与“动态反馈级”的电路结构，在满足关键路径时序要求的同时，还能显著地降低功耗。如图 3a ~ 3b 所示，将图 1 中典型的 1 抽头直接型判决反馈均衡器的求和单元与主锁存器合并，从锁存器与反馈级合并，以使“求和稳定”过程与“信号放大”过程同时发生。将求和单元与主锁存器合并之后的单元称之为“动态锁存求和器”，从锁存器与反馈级合并之后的单元称之为“动态反馈级”，利用“动态锁存求和器”，“动态反馈级”，关键路径的时序要求可降低为：

[0035]  $T_{dq} < 1UI$  (3)

[0036] 这里， $T_{dq}$ 代表“动态锁存求和器”的传播延时，其大小与触发器的建立时间  $T_{setup}$  差不多大。经过这一步优化后，关键路径的时序得到很大程度的放松，优化后的第 1 抽头回路如图 3b 所示。由于“动态锁存求和器”要推动“动态反馈级”、分路器以及连线间寄生电容，其负载相当于扇出为 4 的最小尺寸反相器，所以在“动态锁存求和器”后面加了一级缓

冲器,以增强其推动作用,整个 1 抽头的直接型判决反馈均衡器结构图如图 4 所示。

[0037] 第 2、3 抽头回路提出采用分路器与“动态合路求和器”的“分路-合路”结构形式来实现,显著地降低了功耗。其实现如下所述:如图 5 所示,1/2 数据率的奇偶两路数据  $D_{-0}, D_{-E}$  在时钟  $CKE10, CKEX10, CKO10, CKOX10$  的控制下经过分路器后生成 4 路 1/4 数据率的数据  $D00, D01, D0, D03$ , 该 4 路 1/4 速率的数据又在时钟  $CKE10, CKEX10, CKO10, CKOX10$  的控制下,通过“动态合路求和器”实现合路与求和。

[0038] 图 6 展示了本发明所提出的判决反馈均衡器电路结构,包括两条结构相同的数据通路,依次为奇数据路、偶数据路;每条数据通路包括 1 个增益提高级、1 个失调消除单元、1 个动态合路求和器、1 个动态锁存求和器、1 个动态反馈级、1 个缓冲器以及 1 个分路器。

[0039] 奇、偶数据路中的增益级以及失调消除单元组成均衡前端;奇、偶数据路中的动态锁存求和器、动态反馈级以及缓冲器组成第 1 抽头回路;奇、偶数据路中的动态合路求和器、分路器组成第 2、3 抽头回路;

[0040] 均衡前端的增益级包括一个差分输入端,一个差分输出端;差分输入端用于接收经过信道衰减的数据信号  $D_{in}$ , 差分输出端将经过放大的数据信号传送至失调消除单元的输出端以及其后动态合路求和器的输入端;

[0041] 在第 1 抽头回路中,偶数据路的动态锁存求和器输出端连接偶数据路缓冲器输入端、奇数据路动态反馈级输出端,并与奇数据路的动态反馈级共享时钟  $CK20$ , 构成偶数据路的第 1 抽头;而偶数据路缓冲器的输出端连接奇数据路的动态锁存求和器输出端连接奇数据路缓冲器输入端、偶数据路动态反馈级输出端,并与偶数据路的动态反馈级共享时钟  $CKX20$ , 构成偶数据路的第 1 抽头;奇、偶数据路的第 1 抽头由 1 对 1/2 速率互补时钟  $CKX20, CK20$  分别控制,使奇偶两路的动态锁存求和器分别在锁存与求和状态之间切换;

[0042] 图 7 是奇、偶数据路中的动态锁存求和器电路示意图。本发明中采用的动态锁存求和器由带上拉 PMOS 管的动态锁存器实现,包括一个由正沿时钟  $CLKP$  控制的起尾电流源作用的 NMOS 管  $M0$ , 一对由输入数据驱动的 NMOS 管  $M1, M2$ , 一对由负沿时钟  $CLKN$  控制的 PMOS 负载管  $M3, M4$ , 还有一个由  $CLKP$  控制的上拉 PMOS 管  $M6$ ; 当  $CLKP$  为高电平时,动态锁存求和器执行求和功能,当  $CLKN$  为高电平时,动态锁存求和器执行锁存功能;

[0043] 在第 2、3 抽头回路中,分路器输入端接收来自缓冲器输出端的数据,偶数据路分路器将偶路数据  $D_{-E}$  降速为  $D00$  与  $D02$  两路 1/4 速率数据,并由输出端将其传送至偶数据路与奇数据路的动态合路求和器的输入端,分别构成偶数据路的第 2 抽头与奇数据路的第 3 抽头;奇数据路分路器将奇路数据  $D_{-0}$  降速为  $D01$  与  $D03$  两路 1/4 速率数据,并由输出端将其传送至奇数据路与偶数据路的动态合路求和器的输入端,分别构成奇数据路的第 2 抽头与偶数据路的第 3 抽头;偶数据路的分路器由一对 1/4 速率差分时钟  $CKE10, CKEX10$  控制,奇数据路的分路器由一对 1/4 速率差分时钟  $CKO10, CKOX10$  控制,  $CKE10, CKO10, CKEX10, CKOX10$  依次相差 90 度相位;

[0044] 图 8 是奇、偶数据路中的分路器电路图,该电路由两部分组成,前级采样开关与后级正反馈对。采样开关由一对 1/4 速率的互补时钟  $CK10, CKX10$  控制,对 1/2 速率的奇数据路或偶数据路数据进行交替采样,实现分路功能。正反馈对由同样一对 1/4 速率的互补时钟  $CK10, CKX10$  控制,在每一通路中,采样开关的时钟与正反馈对的时钟互补,以确保采样开关保持数据电平期间,正反馈对可以对数据信号进行放大,数据信号放大的程度则由正

反馈对尾部电流源的偏置电压 BIAS 进行控制。

[0045] 图 9 是奇、偶数据路中的动态合路求和器电路图,动态合路求和器电路由四个结构相同的动态求和单元实现。以第 2 抽头的合路求和为例,两个相同的动态求和单元由一对 1/4 速率的互补时钟 CKE10、CKEX10 控制,当 CKE10、CKEX10 交替为高电平时,求和单元便将来自分路器的 1/4 速率的数据进行合路,第 3 抽头合路求和与第 2 抽头的合路求和完全相同。第 2 抽头、第 3 抽头求和的权重大小分别由求和单元的尾电流源管的偏置电压 Tap2\_B、TAP3\_B 进行控制。

[0046] 图 10 和图 11 分别是输入、输出数据的眼图对比。当数据速率为 40Gbps 的 PRBS31 数据通过一段在奈奎斯特频率 (20GHz) 处对信号衰减 22dB 的信道后,输入到如图 1 所示的系统中,输入数据的眼图如图 10 所示,可见眼睛已经几乎完全闭合;而图 11 中的眼图是图 6 所示 DFE 的偶数据路输出数据眼图,由左、右两图的对比可以明显地看出 DFE 的均衡效果。

[0047] 本发明与现存技术相比,除增益级与失调消除单元为 CML 结构实现外,其余部分均为钟控实现方式,这种动态处理方式可显著地降低判决反馈均衡器的功耗。

[0048] 以上所述,仅为本发明较佳的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应该以权利要求的保护范围为准。



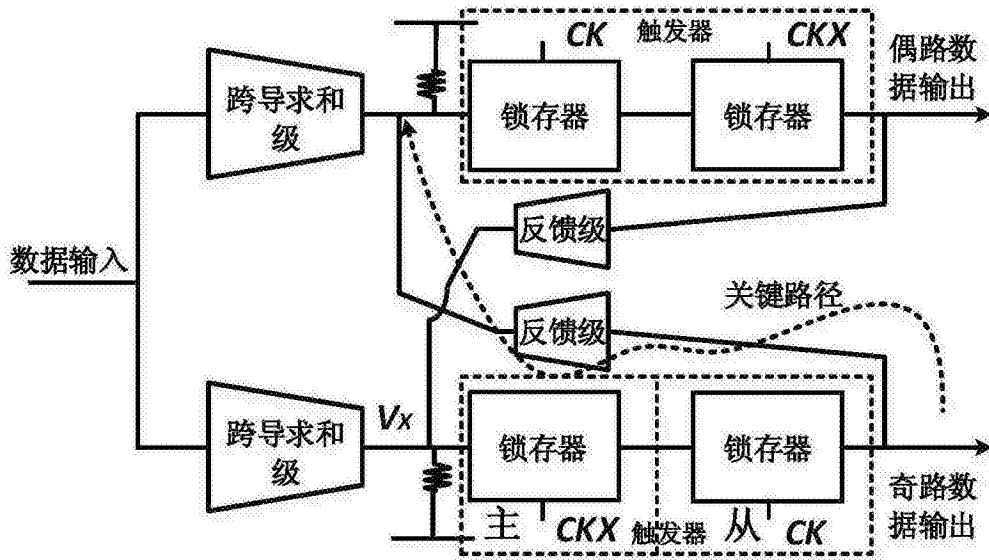


图 1

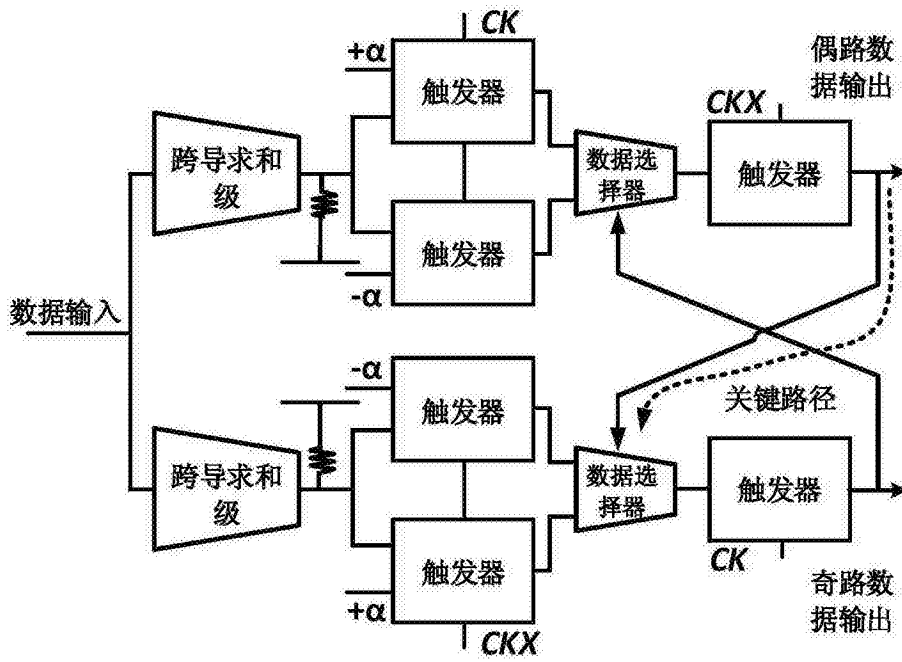
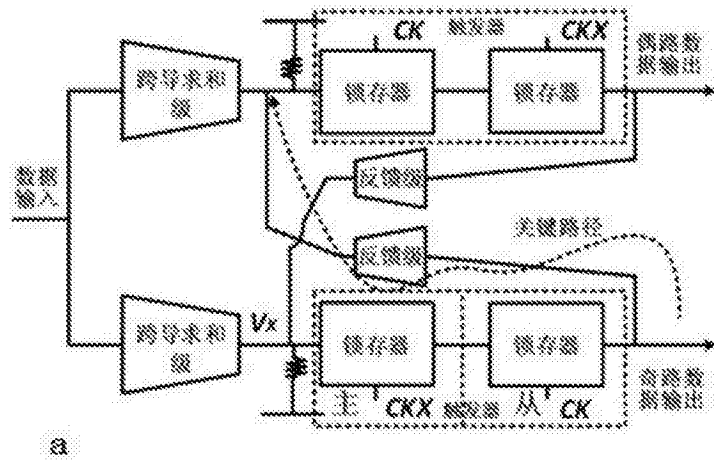
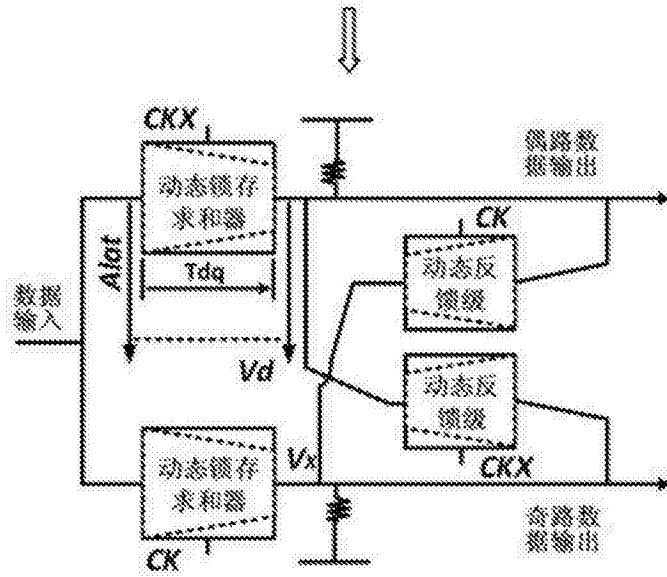


图 2



a



b

图 3

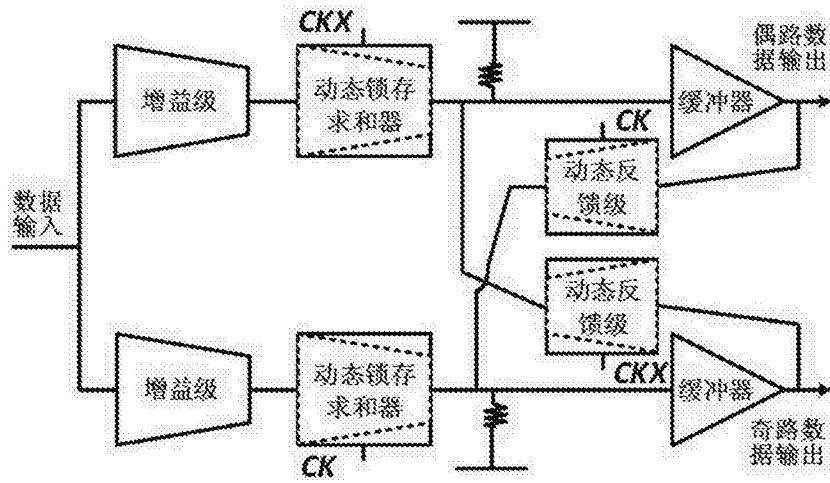


图 4

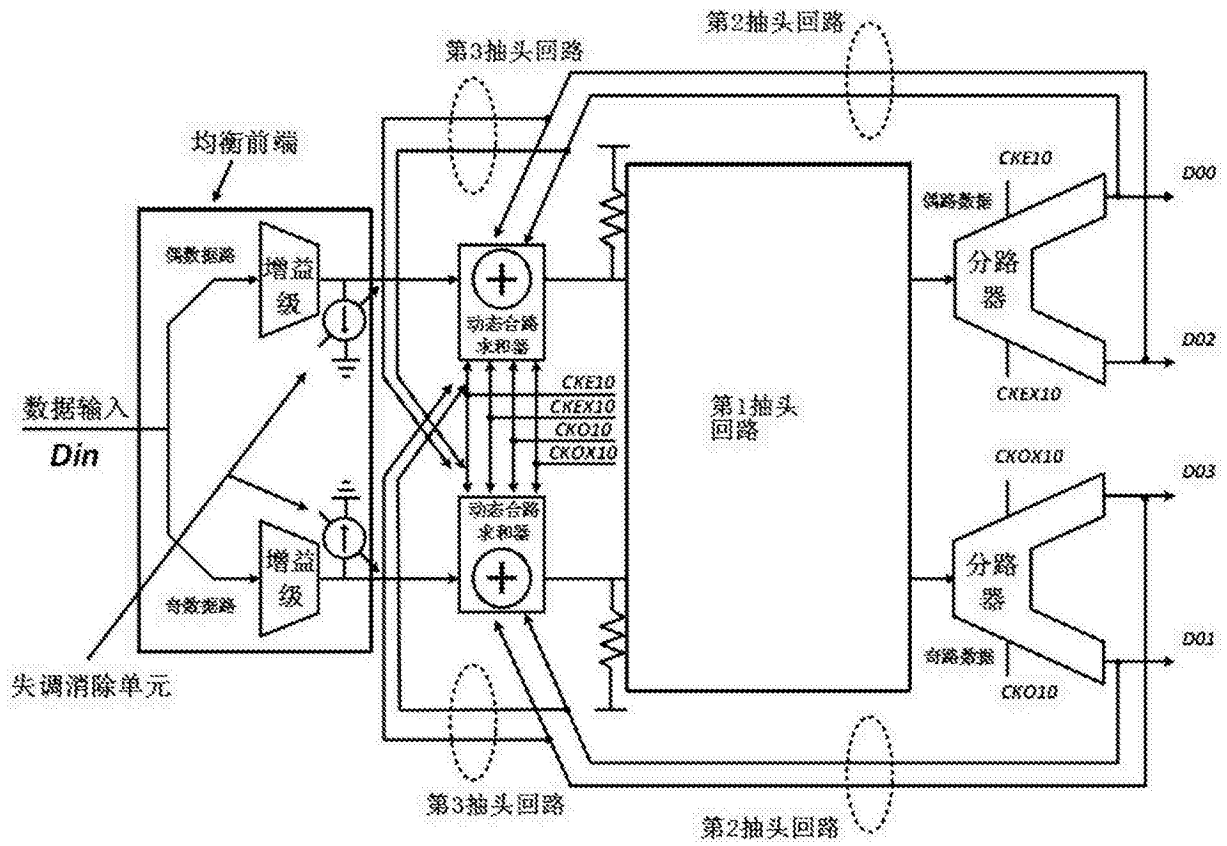


图 5

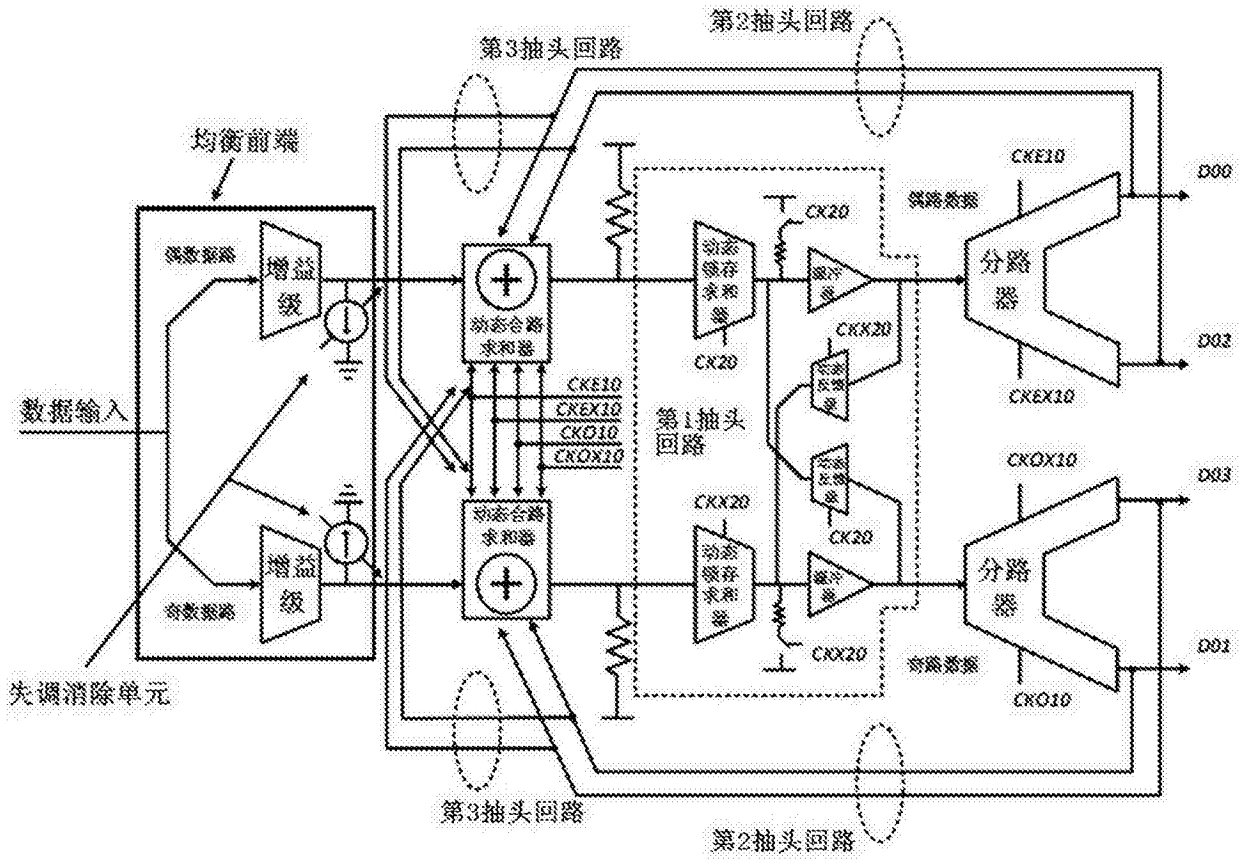


图 6

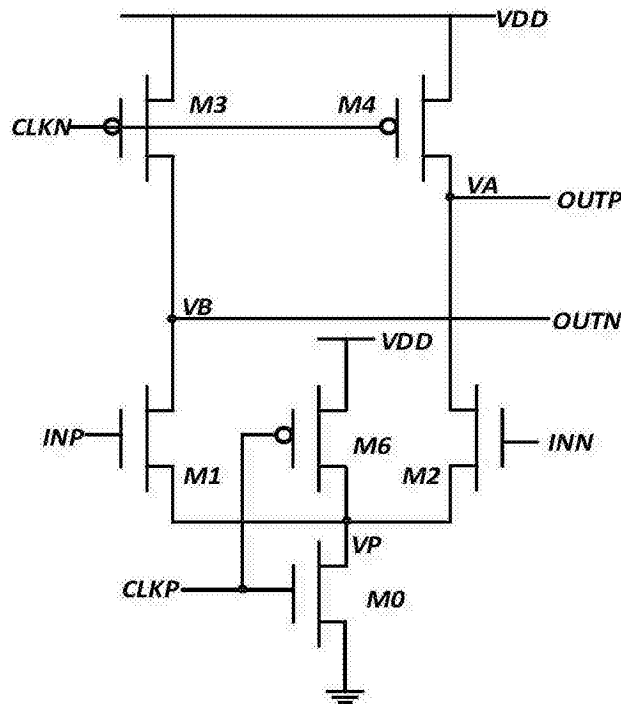


图 7

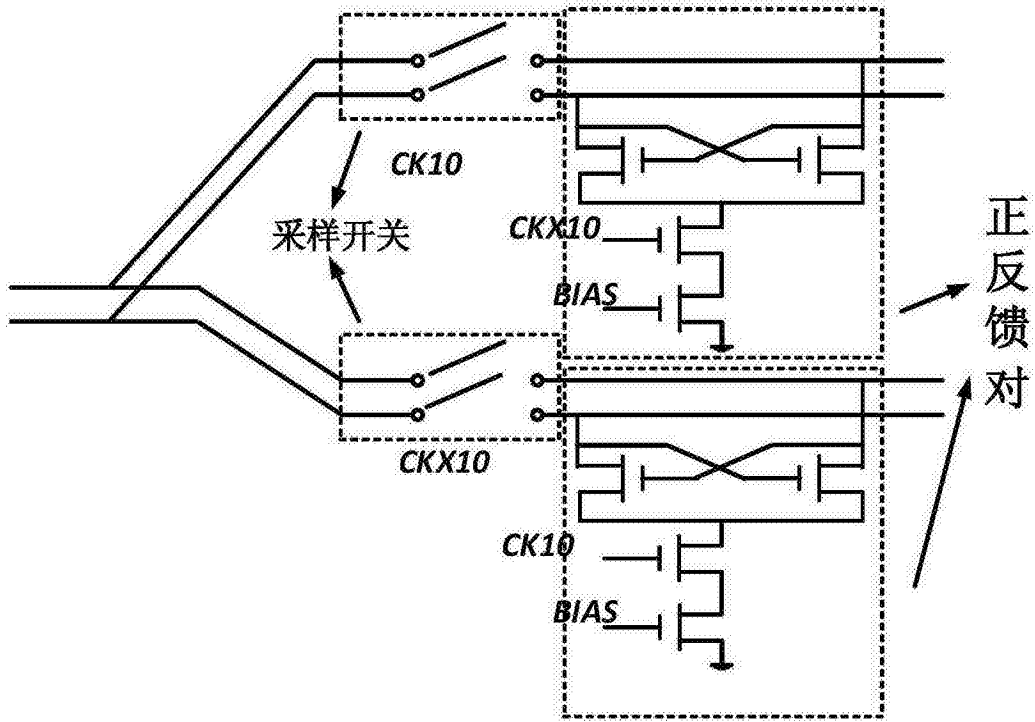


图 8

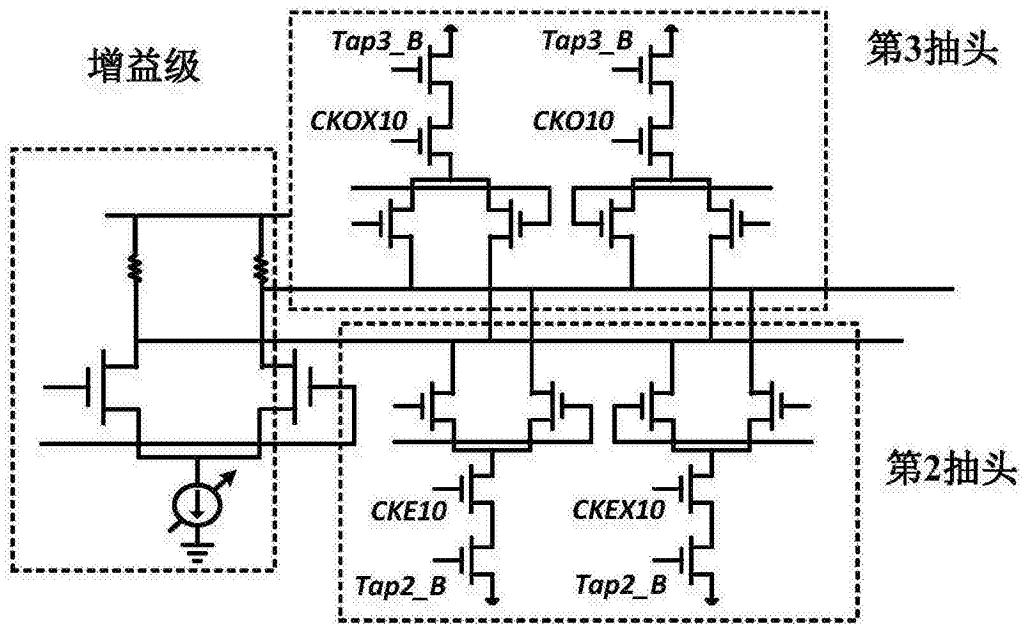


图 9

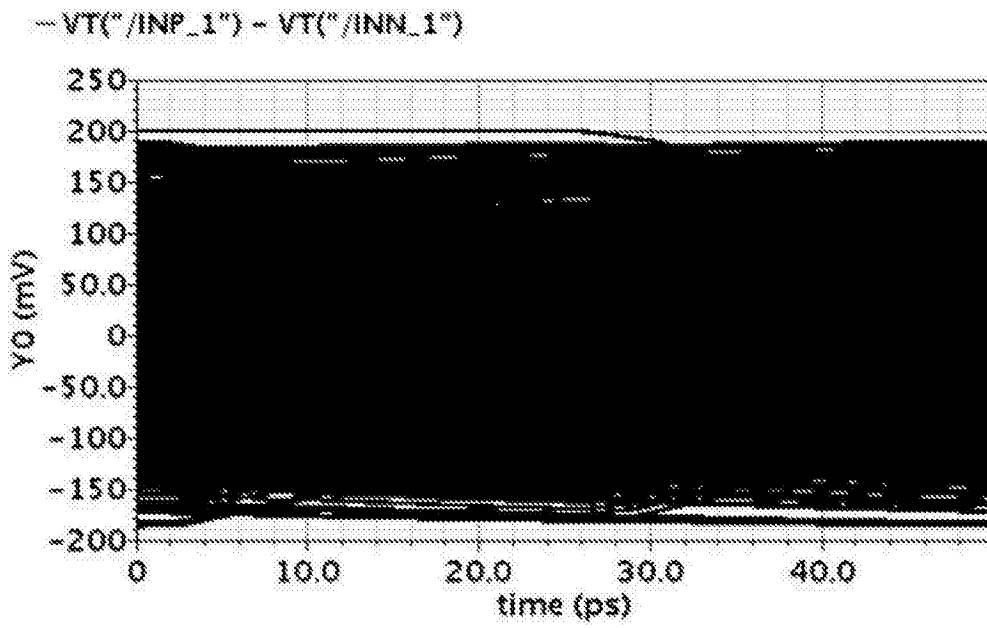


图 10

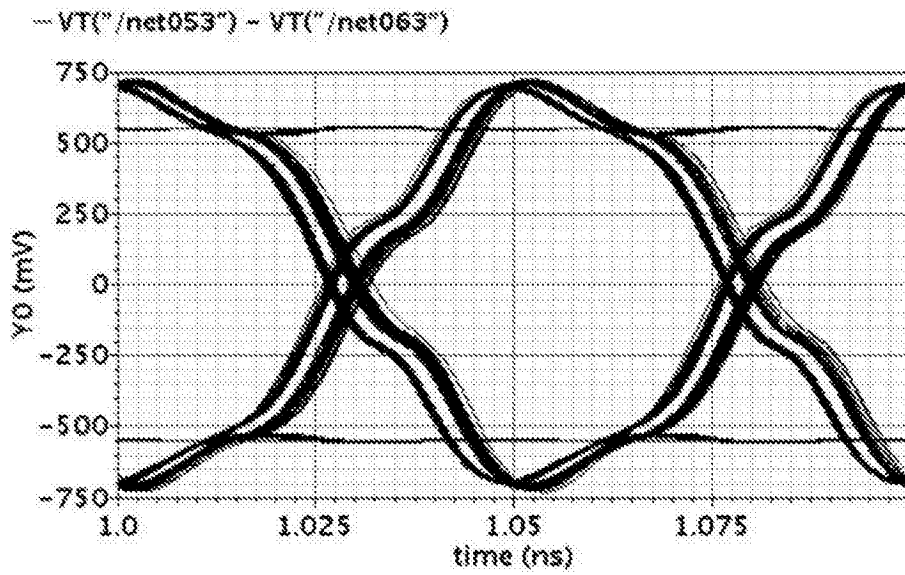


图 11