



(12) 发明专利申请

(10) 申请公布号 CN 106991361 A

(43) 申请公布日 2017. 07. 28

(21) 申请号 201610040052. 0

(22) 申请日 2016. 01. 21

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

申请人 中芯国际集成电路制造(北京)有限公司

(72) 发明人 高燕

(74) 专利代理机构 北京市磐华律师事务所  
11336

代理人 高伟 冯永贞

(51) Int. Cl.

G06K 9/00(2006. 01)

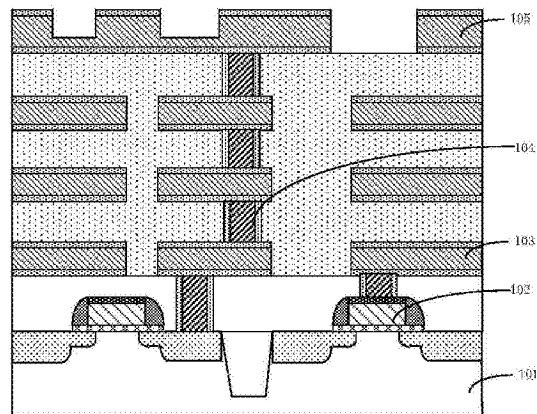
权利要求书1页 说明书8页 附图3页

(54) 发明名称

一种半导体器件及其制备方法、电子装置

(57) 摘要

本发明涉及一种半导体器件及其制备方法、电子装置。所述半导体器件包括：基底；指纹识别区域，位于所述基底上；底部电极，位于所述指纹识别区域中，所述底部电极的表面设置有若干凹槽图案，以增加所述底部电极的表面积。通过这种方法可使指纹识别电容器下极板面积增大，从而增大顶层铝和手指指纹间的电容，改善指纹识别灵敏度。



1. 一种半导体器件,其特征在于,所述半导体器件包括:  
基底;  
指纹识别区域,位于所述基底上;  
底部电极,位于所述指纹识别区域中,所述底部电极的表面设置有若干凹槽图案,以增加所述底部电极的表面积。
2. 根据权利要求1所述的半导体器件,其特征在于,所述凹槽图案的底部剩余的电极材料的厚度大于200埃。
3. 根据权利要求1所述的半导体器件,其特征在于,所述凹槽图案的侧壁为竖直或者倾斜。
4. 根据权利要求1所述的半导体器件,其特征在于,所述凹槽图案由凹槽沿直线和/或曲线延伸形成。
5. 根据权利要求1所述的半导体器件,其特征在于,所述半导体器件还进一步包括钝化层和/或焊盘层,位于所述底部电极的上方。
6. 根据权利要求1所述的半导体器件,其特征在于,所述半导体器件还进一步包括输入输出区,位于所述指纹识别区域的周围。
7. 根据权利要求1所述的半导体器件,其特征在于,在所述底部电极的下方还形成有CMOS器件。
8. 一种权利要求1至7之一所述的半导体器件的制备方法,其特征在于,所述方法包括:  
提供基底,所述基底上形成有指纹识别区域,在所述指纹识别区域中形成有底部电极;  
对所述底部电极进行图案化,以在所述底部电极上形成若干凹槽图案,以增加所述底部电极的表面积。
9. 根据权利要求8所述的方法,其特征在于,所述方法还进一步包括:  
在所述底部电极上形成钝化层和/或焊盘层,以覆盖所述底部电极;  
图案化所述钝化层和/或所述焊盘层,以在所述指纹识别区域的周围形成输入输出区。
10. 根据权利要求8所述的方法,其特征在于,所述凹槽图案的底部剩余的电极材料的厚度大于200埃。
11. 一种电子装置,其特征在于,包括权利要求1至7之一所述的半导体器件。

## 一种半导体器件及其制备方法、电子装置

### 技术领域

[0001] 本发明涉及半导体领域,具体地,本发明涉及一种半导体器件及其制备方法、电子装置。

### 背景技术

[0002] 在电子消费领域,多功能设备越来越受到消费者的喜爱,相比于功能简单的设备,多功能设备制作过程将更加复杂,比如需要在电路板上集成多个不同功能的芯片,因而出现了3D集成电路(integrated circuit, IC)技术,3D集成电路(integrated circuit, IC)被定义为一种系统级集成结构,将多个芯片在垂直平面方向堆叠,从而节省空间。

[0003] 在半导体器件中指纹区的制备变的越来越广泛,如今指纹识别已成为手机标配,市场上出现越来越多的生产指纹识别的厂家,不同的产家其设计原理也是不一样的,其中基于电容结构方式的指纹识别器得到广泛应用。

[0004] 其中,电容结构方式的指纹识别器是利用顶层铝和手指指纹间的电容,手指指纹凹凸不平,与顶层铝形成的电容也不一样,电容越大,指纹识别灵敏度越高。目前顶层铝的及钝化层的流程为:顶层铝的沉积及蚀刻,定义指纹识别电容器的下极板(像素pixel区域)及外围电路;钝化层的沉积及蚀刻,形成结合焊盘和钝化层,然后进行蚀刻以形成测试焊盘开口。

[0005] 目前指纹识别传感器一般粘贴在陶瓷(蓝宝石、微晶锆)下面。如果能将传感器直接粘贴在玻璃下方(under glass)和屏幕整合在一起,不仅可以简化工艺,节约成本,而且对改善手机外形有非常重要的意义,但一般手机玻璃屏厚度达400um,比陶瓷封装厚一倍左右,严重影响指纹识别的灵敏度。

[0006] 对于窄边框手机而言,能够将指纹传感器粘贴在玻璃下方对手机外观有非常重要的意义。因此,提高指纹识别的灵敏度使指纹识别和玻璃屏幕能整合在一起至关重要。但是目前所述指纹识别的灵敏度较低,在实际应用中带来很多不便,因此如何提高指纹识别的灵敏度成为目前需要解决的问题。

### 发明内容

[0007] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0008] 本发明提供了一种半导体器件,所述半导体器件包括:

[0009] 基底;

[0010] 指纹识别区域,位于所述基底上;

[0011] 底部电极,位于所述指纹识别区域中,所述底部电极的表面设置有若干凹槽图案,以增加所述底部电极的表面积。

[0012] 可选地,所述凹槽图案的底部剩余的电极材料的厚度大于200埃。

- [0013] 可选地,所述凹槽图案的侧壁为竖直或者倾斜。
- [0014] 可选地,所述凹槽图案由凹槽沿直线和/或曲线延伸形成。
- [0015] 可选地,所述半导体器件还进一步包括钝化层和/或焊盘层,位于所述底部电极的上方。
- [0016] 可选地,所述半导体器件还进一步包括输入输出区,位于所述指纹识别区域的周围。
- [0017] 可选地,在所述底部电极的下方还形成有CMOS器件。
- [0018] 本发明还提供了一种上述的半导体器件的制备方法,所述方法包括:
- [0019] 提供基底,所述基底上形成有指纹识别区域,在所述指纹识别区域中形成有底部电极;
- [0020] 对所述底部电极进行图案化,以在所述底部电极上形成若干凹槽图案,以增加所述底部电极的表面积。
- [0021] 可选地,所述方法还进一步包括:
- [0022] 在所述底部电极上形成钝化层和/或焊盘层,以覆盖所述底部电极;
- [0023] 图案化所述钝化层和/或所述焊盘层,以在所述指纹识别区域的周围形成输入输出区。
- [0024] 可选地,所述凹槽图案的底部剩余的电极材料的厚度大于200埃。
- [0025] 本发明还提供了一种电子装置,包括上述的半导体器件。
- [0026] 本发明为了解决现有技术中存在的问题,提供了一种包含指纹区的半导体器件及其制备方法,在所述制备方法中在指纹识别像素区域的底部电极(例如顶层大块铝)上刻蚀凹槽,凹凸不平的底部电极(铝)会比原来平整的铝多出侧面面积,凹槽越多,增加的表面积就越大,凹槽的侧面轮廓可以直的,可以斜的,也可为其它形状,其中凹槽部分需剩余大于200A的铝,保证下极板的完整性。通过这种方法可使指纹识别电容器下极板面积增大,从而增大顶层铝和手指指纹间的电容,改善指纹识别灵敏度。

### 附图说明

- [0027] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的装置及原理。在附图中,
- [0028] 图1为本发明所述半导体器件制备的过程示意图;
- [0029] 图2为本发明所述半导体器件制备的过程示意图;
- [0030] 图3a-3b为本发明所述半导体器件中所述底部电极的俯视图;
- [0031] 图4为本发明所述半导体器件制备的流程示意图。

### 具体实施方式

[0032] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0033] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的

实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0034] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0035] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0036] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0037] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0038] 实施例一

[0039] 本发明还提供了一种半导体器件,所述半导体器件包括:

[0040] 基底;

[0041] 指纹识别区域,位于所述基底上;

[0042] 底部电极,位于所述指纹识别区域中,所述底部电极的表面设置有若干凹槽图案,以增加所述底部电极的表面积。

[0043] 所述基底101形成有源区,包括NMOS区域以及PMOS区域,所述NMOS区域以及PMOS区域上分别形成有NMOS栅极结构以及PMOS栅极结构。

[0044] 所述基底101可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)等。

[0045] 此外,基底101上可以被定义有源区。在该有源区上还可以包含有其他的有源器件,为了方便,在所示图形中并没有标示。

[0046] 进一步,在所述基底101上形成有浅沟槽隔离,以将所述半导体衬底分为NMOS区域以及PMOS区域。

[0047] 在所述NMOS区域形成有NMOS栅极,在所述PMOS区域形成PMOS栅极102。

[0048] 在所述NMOS栅极以及PMOS栅极两侧形成有偏移侧墙(offset spacer)。所述偏移侧墙的材料例如是氮化硅,氧化硅或者氮氧化硅等绝缘材料。随着器件尺寸的进一步变小,器件的沟道长度越来越小,源漏极的粒子注入深度也越来越小,偏移侧墙的作用在于以提高形成的晶体管的沟道长度,减小短沟道效应和由于短沟道效应引起的热载流子效应。在栅极结构两侧形成偏移侧墙的工艺例如化学气相沉积,本实施例中,所述偏移侧墙的厚度可以小到80埃。

[0049] 在所述NMOS栅极以及PMOS栅极两侧形成有轻掺杂源极/漏极(LDD)于NMOS栅极以及PMOS栅极两侧的衬底中。所述形成LDD的方法可以是离子注入工艺或扩散工艺。所述LDD注入的离子类型根据将要形成的半导体器件的电性决定,即形成的器件为NMOS器件,则LDD注入工艺中掺入的杂质离子为磷、砷、锑、铋中的一种或组合;若形成的器件为PMOS器件,则注入的杂质离子为硼。根据所需的杂质离子的浓度,离子注入工艺可以一步或多步完成。

[0050] 进一步,在所述NMOS栅极结构和所述PMOS栅极结构的偏移侧壁上形成有间隙壁。所述间隙壁可以为氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。

[0051] 在NMOS栅极结构和所述PMOS栅极结构两侧的衬底中形成有源漏区。

[0052] 进一步,在所述栅极结构上形成有其他半导体元件,例如在该实施例中在所述源漏和/或栅极上交替的形成有通孔104和金属层103,以形成互联结构。

[0053] 可选地,所述通孔可以选用硅通孔,所述金属层可以选用常规的金属层并不局限于某一种,其中所述硅通孔以及所述金属层的形成方法可以选用常规的方法。

[0054] 在所述CMOS器件的上方形成有指纹识别区域,在所述指纹识别区域上形成有底部电极105。

[0055] 其中所述底部电极可以选用Al、W等金属,并不局限于某一种。例如在该实施例中所述底部电极可以选用金属Al。

[0056] 在所述底部电极上形成有若干凹槽图案,以增加所述底部电极的表面积。

[0057] 进一步,所述凹槽图案的底部剩余的电极的厚度大于或等于200埃,以保证所述底部电极的完整性。

[0058] 进一步,所述凹槽图案的侧壁为竖直或者倾斜。

[0059] 进一步,所述凹槽图案可以为任意的图案,例如图3b所述,其中图3b为图3a中圆圈标记部分108的局部放大图,所述凹槽图案可以有横向和竖直的凹槽任意接合连通组成的图案,此外,还可以是沿曲线蜿蜒曲折的图案,可以是开放式的也可以为闭合的图案。

[0060] 在本申请中所述图案的形状没有任何的限制,只要能够增加底部电极的表面积即可。

[0061] 在所述底部电极上形成有钝化层和/或焊盘层,以覆盖所述底部电极。

[0062] 在所述指纹识别区域的周围形成输入输出区。

[0063] 本发明为了解决现有技术中存在的问题,提供了一种包含指纹区的半导体器件及其制备方法,在所述制备方法中在指纹识别像素区域的底部电极(例如顶层大块铝)上刻蚀凹槽,凹凸不平的铝会比原来平整的铝多出侧面面积,凹槽越多,增加的面积就越大,凹槽

的侧面轮廓可以直的,可以斜的,也可为其它形状,其中凹槽部分需剩余大于200Å的铝,保证下极板的完整性。通过这种方法可使指纹识别电容器下极板表面积增大,从而增大顶层铝和手指指纹间的电容,改善指纹识别灵敏度。

[0064] 实施例二

[0065] 本发明还提供了实施例一所述的半导体器件的制备方法,下面结合附图对所述制备方法做进一步的说明。

[0066] 首先,执行步骤10,提供基底101,在所述基底上形成有各种CMOS器件。

[0067] 如图1所示,所述基底101形成有源区,包括NMOS区域以及PMOS区域,所述NMOS区域以及PMOS区域上分别形成有NMOS栅极结构以及PMOS栅极结构。

[0068] 所述基底101可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)等。

[0069] 此外,基底101上可以被定义有源区。在该有源区上还可以包含有其他的有源器件,为了方便,在所示图形中并没有标示。

[0070] 进一步,在所述基底101上形成浅沟槽隔离,所述浅沟槽隔离的形成方法可以选用现有技术中常用的方法,例如首先,在基底101上依次形成第一氧化物层和第一氮化物层。接着,执行干法刻蚀工艺,依次对第一氮化物层、第一氧化物层和半导体衬底进行刻蚀以形成沟槽。具体地,可以在第一氮化物层上形成具有图案的光刻胶层,以该光刻胶层为掩膜对第一氮化物层进行干法刻蚀,以将图案转移至第一氮化物层,并以光刻胶层和第一氮化物层为掩膜对第一氧化物层和半导体衬底进行刻蚀,以形成沟槽。当然还可以采用其它方法来形成沟槽,由于该工艺以为本领域所熟知,因此不再做进一步描述。

[0071] 进一步,在沟槽内填充浅沟槽隔离材料,以形成浅沟槽隔离结构。具体地,可以在第一氮化物层上和沟槽内形成浅沟槽隔离材料,所述浅沟槽隔离材料可以为氧化硅、氮氧化硅和/或其它现有的低介电常数材料;执行化学机械研磨工艺并停止在第一氮化物层上,以形成具有浅沟槽隔离结构。

[0072] 在本发明中所述浅沟槽隔离可以将所述半导体衬底分为NMOS区域以及PMOS区域。

[0073] 进一步,在所述NMOS区域形成NMOS栅极,在所述PMOS区域形成PMOS栅极102。

[0074] 具体地,在所述半导体衬底上依次沉积氧化物绝缘层、栅极材料层,然后对所述的氧化物绝缘层、栅极材料层进行刻蚀得到栅极结构。其中,所述氧化物绝缘层可选为二氧化硅,其形成方法可以为沉积二氧化硅材料层或者高温氧化所述半导体衬底来形成绝缘层,所述栅极材料层可包括多晶硅层、金属层、导电性金属氮化物层、导电性金属氧化物层和金属硅化物层中的一种或多种,其中,金属层的构成材料可以是钨(W)、镍(Ni)或钛(Ti);导电性金属氮化物层可包括氮化钛(TiN)层;导电性金属氧化物层可包括氧化铱(IrO<sub>2</sub>)层;金属硅化物层可包括硅化钛(TiSi)层。

[0075] 可选地,所述方法还进一步包括在所述NMOS栅极以及PMOS栅极两侧形成偏移侧墙(offset spacer)。所述偏移侧墙的材料例如是氮化硅,氧化硅或者氮氧化硅等绝缘材料。随着器件尺寸的进一步变小,器件的沟道长度越来越小,源漏极的粒子注入深度也越来越小,偏移侧墙的作用在于以提高形成的晶体管的沟道长度,减小短沟道效应和由于短沟道效应引起的热载流子效应。在栅极结构两侧形成偏移侧墙的工艺例如化学气相沉积,本实施例中,所述偏移侧墙的厚度可以小到80埃。

[0076] 在所述NMOS栅极以及PMOS栅极两侧执行LDD离子注入步骤并活化。

[0077] 具体地,形成轻掺杂源极/漏极(LDD)于NMOS栅极以及PMOS栅极两侧的衬底中。所述形成LDD的方法可以是离子注入工艺或扩散工艺。所述LDD注入的离子类型根据将要形成的半导体器件的电性决定,即形成的器件为NMOS器件,则LDD注入工艺中掺入的杂质离子为磷、砷、锑、铋中的一种或组合;若形成的器件为PMOS器件,则注入的杂质离子为硼。根据所需的杂质离子的浓度,离子注入工艺可以一步或多步完成。

[0078] 可选地,执行完所述LDD之后,还进一步包含热退火的步骤,以激活所述LDD离子,所述退火步骤一般是将所述衬底置于高真空或高纯气体的保护下,加热到一定的温度进行热处理,在本发明所述高纯气体可选为氮气或惰性气体,所述热退火步骤的温度为800-1200℃,可选为1050℃,所述热退火步骤时间为1-300s。

[0079] 进一步,在所述NMOS栅极结构和所述PMOS栅极结构的偏移侧壁上形成间隙壁。

[0080] 具体地,在所形成的偏移侧墙上形成间隙壁(Spacer),所述间隙壁可以为氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。作为本实施例的一个优化实施方式,所述间隙壁为氧化硅、氮化硅共同组成,具体工艺为:在半导体衬底上形成第一氧化硅层、第一氮化硅层以及第二氧化硅层,然后采用蚀刻方法形成间隙壁。

[0081] 在栅极的每个侧壁上形成间隙壁,包括氮化物、氧氮化物或它们的组合,是通过沉积和刻蚀形成的。间隙壁结构可以具有不同的厚度,但从底表面开始测量,间隙壁结构的厚度通常为10到30nm。需要说明的是,间隙壁是可选的而非必需的,其主要用于在后续进行蚀刻或离子注入时保护栅极结构的侧壁不受损伤。

[0082] 进一步,执行源漏注入,以在NMOS栅极结构和所述PMOS栅极结构两侧的衬底中形成源漏区。

[0083] 进一步,在所述栅极结构上形成其他半导体元件,例如在该实施例中在所述源漏和/或栅极上交替的形成通孔104和金属层103,以形成互联结构。

[0084] 可选地,所述通孔可以选用硅通孔,所述金属层可以选用常规的金属层并不局限于某一种,其中所述硅通孔以及所述金属层的形成方法可以选用常规的方法。

[0085] 执行步骤11,在所述CMOS器件的上方形成有指纹识别区域,在所述指纹识别区域上形成有底部电极105。

[0086] 具体地,如图1所示,在该步骤中在所述通孔和所述金属层的上方形成顶部金属层,以作为底部电极,其中所述顶部金属层可以选用Al、W等金属,并不局限于某一种。

[0087] 例如在该实施例中所述底部电极可以选用金属Al。

[0088] 可选地,在所述指纹识别区域的周围还形成有输入输出区,如图3a所示。

[0089] 执行步骤12,对所述底部电极进行图案化,以在所述底部电极上形成若干凹槽图案,以增加所述底部电极的表面积。

[0090] 具体地,如图1所示,在该步骤中在所述底部电极上形成光刻胶层,然后对所述光刻胶进行曝光显影,然后以所述光刻胶为掩膜蚀刻所述底部电极,以在所述底部电极上形成若干凹槽图案,以增加所述底部电极的表面积。

[0091] 在本发明中可以选用干法蚀刻或者湿法蚀刻,并不局限于某一种,例如选用反应离子蚀刻方法,所述反应离子刻蚀选用 $C_xF_y$ 气体,例如 $CF_4$ 、 $CHF_3$ 、 $C_4F_8$ 或 $C_5F_8$ ,在本发明的一具体实施方式中,所述蚀刻可以选用 $CF_4$ 、 $CHF_3$ ,另外加上 $N_2$ 、 $CO_2$ 中的一种作为蚀刻气氛,其中



气体流量为 $CF_4$ 10-200sccm, $CHF_3$ 10-200sccm, $N_2$ 或 $CO_2$ 或 $O_2$ 10-400sccm,所述蚀刻压力为30-150mTorr,蚀刻时间为5-120s。

[0092] 进一步,所述凹槽图案的底部剩余的电极的厚度大于200埃,以保证所述底部电极的完整性。

[0093] 进一步,所述凹槽图案的侧壁为竖直或者倾斜。

[0094] 进一步,所述凹槽图案可以为任意的图案,例如图3b所述,其中图3b为图3a中圆圈标记部分108的局部放大图,所述凹槽图案可以有横向和竖直的凹槽任意接合连通组成的图案,此外,还可以是沿曲线蜿蜒曲折的图案,可以是开放式的也可以为闭合的图案。

[0095] 在本申请中所述图案的形状没有任何的限制,只要能够增加底部电极的表面积即可。

[0096] 执行步骤13,在所述底部电极上形成钝化层和/或焊盘层,以覆盖所述底部电极。

[0097] 具体地,如图2所示,在该步骤中所述钝化层106可以选用等离子增强氮化硅层PESIN层、等离子增强正硅酸乙酯PETEOS层、 $SiN$ 层以及正硅酸乙酯TEOS层中的一种或多种的组合,在本发明中,所述钝化层16为上述各种材料的组合,所述钝化层包括依次层叠的PESIN层、PETEOS层、 $SiN$ 层和TEOS层。

[0098] 所述钝化层的厚度为6千埃。

[0099] 可选地,所述钝化层的沉积方法可以选用化学气相沉积(CVD)法、物理气相沉积(PVD)法或原子层沉积(ALD)法等形成的低压化学气相沉积(LPCVD)、激光烧蚀沉积(LAD)以及选择外延生长(SEG)中的一种。

[0100] 进一步,沉积焊盘层;沉积焊盘金属材料层,所述焊盘金属层可以为 $SiN$ 层,在本发明中所述焊盘金属层的厚度为6千埃。

[0101] 执行步骤14,图案化所述钝化层和/或所述焊盘层,以在所述指纹识别区域的周围形成输入输出区。

[0102] 具体的图案化方法可以选用本领域常用的方法,并不局限于某一种。

[0103] 图4为本发明所述半导体器件制备的流程示意图,所述方法包括:

[0104] 提供基底,所述基底上形成有指纹识别区域,在所述指纹识别区域中形成有底部电极;

[0105] 对所述底部电极进行图案化,以在所述底部电极上形成若干凹槽图案,以增加所述底部电极的表面积。

[0106] 实施例三

[0107] 本发明还提供了一种电子装置,包括实施例一所述的半导体器件。其中,半导体器件为实施例一所述的半导体器件,或根据实施例二所述的制备方法得到的半导体器件。

[0108] 本实施例的电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP等任何电子产品或设备,也可为任何包括所述半导体器件的中间产品。本发明实施例的电子装置,由于使用了上述的半导体器件,因而具有更好的性能。

[0109] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的

变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

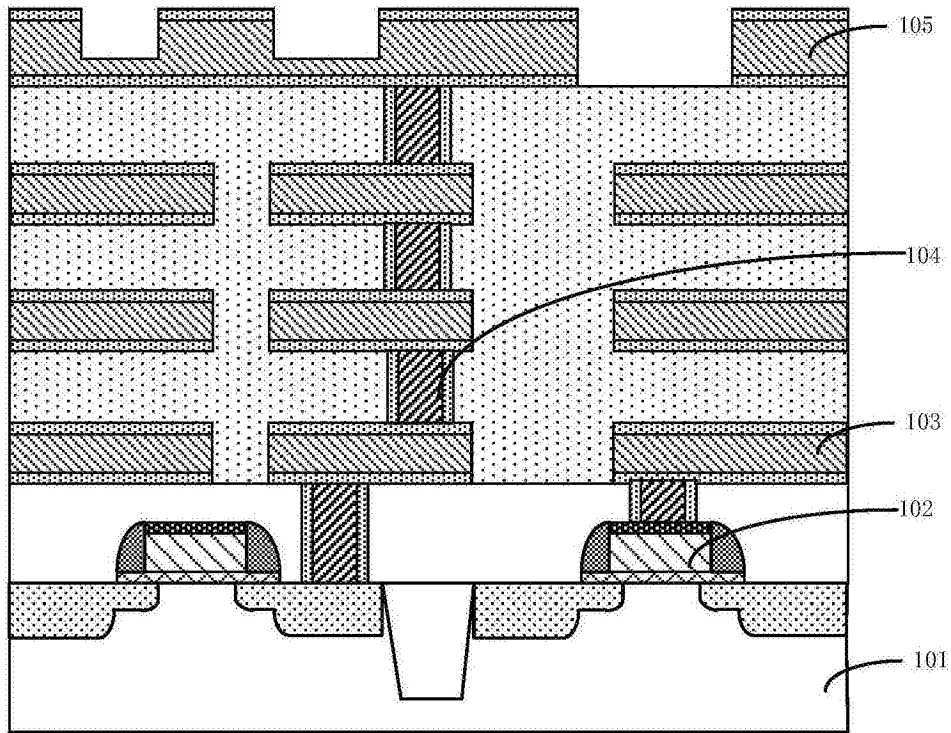


图1

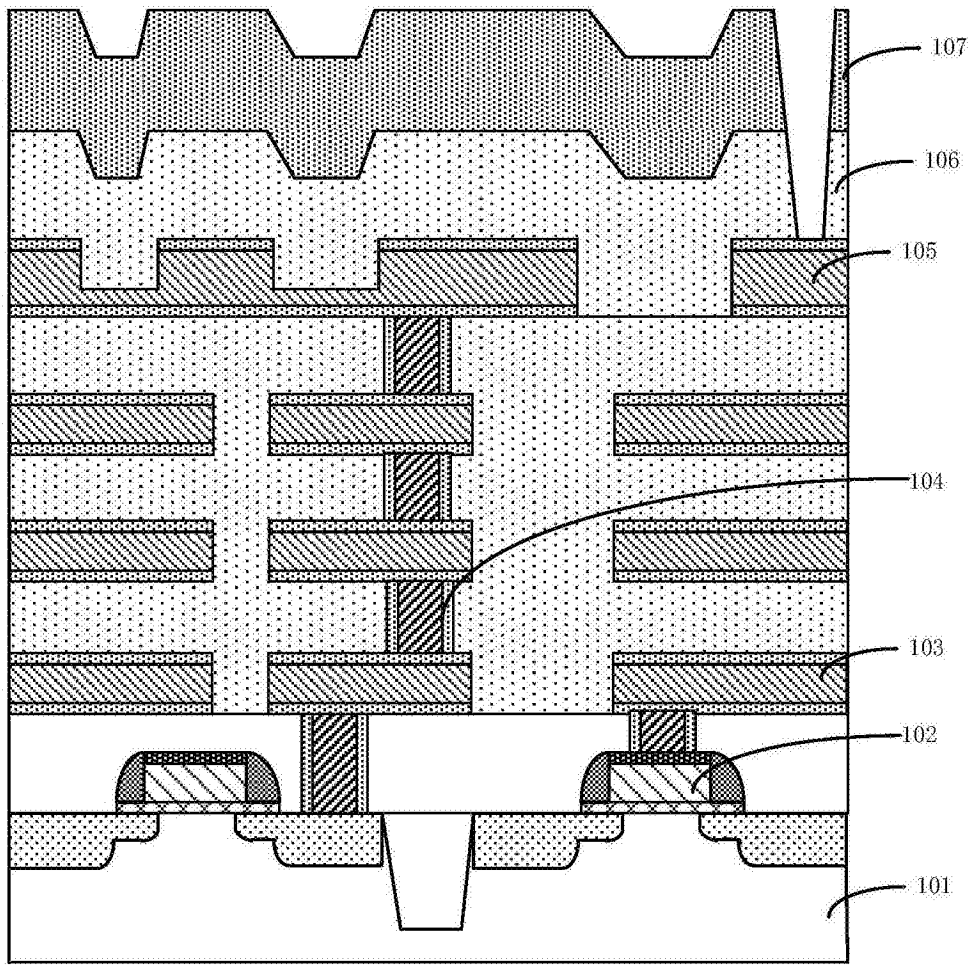


图2

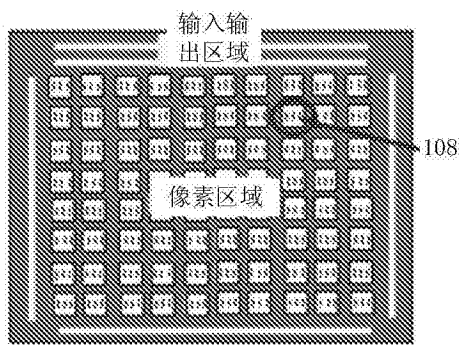


图3a

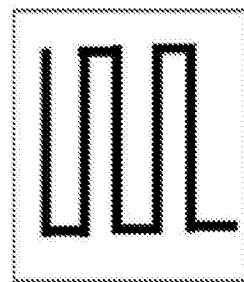


图3b

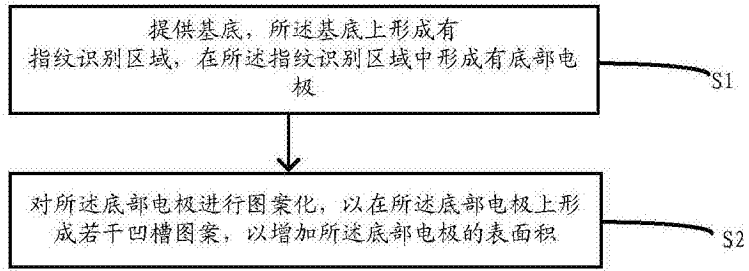


图4