

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6896201号
(P6896201)

(45) 発行日 令和3年6月30日(2021.6.30)

(24) 登録日 令和3年6月10日(2021.6.10)

(51) Int.Cl. F 1
HO2M 7/48 (2007.01) HO2M 7/48 E

請求項の数 13 (全 28 頁)

<p>(21) 出願番号 特願2021-512816 (P2021-512816) (86) (22) 出願日 令和2年12月9日(2020.12.9) (86) 国際出願番号 PCT/JP2020/045901 審査請求日 令和3年3月5日(2021.3.5)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号 (74) 代理人 110001195 特許業務法人深見特許事務所 (72) 発明者 梶山 拓也 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内 (72) 発明者 藤井 俊行 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内 (72) 発明者 藤原 修平 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

電力変換装置であって、
 互いにカスケード接続された複数の変換器セルを有するアームを複数含む電力変換器を
 備え、

前記複数のアームの各々は、交流回路の対応する相と電氣的に接続され、

前記複数の変換器セルの各々は、

一対の入出力端子と、

複数のスイッチング素子と、

前記複数のスイッチング素子を介して前記入出力端子と電氣的に接続される蓄電素子と
 を含み、

前記電力変換装置は、さらに、

前記交流回路と前記電力変換器との間に接続された交流遮断器と、

前記電力変換器の交流出力電流の経路に接続された限流抵抗器と、

前記限流抵抗器と並列に接続されたバイパス開閉器と、

前記交流遮断器と前記限流抵抗器との間の交流線路を短絡するための短絡開閉器と、

制御装置とを備え、

前記制御装置は、第1の運転モードにおいて、前記交流遮断器および前記バイパス開閉
 器を閉路状態にし、かつ前記短絡開閉器を開放状態にした状態で、前記複数の変換器セル
 の各々の各スイッチング素子をスイッチングさせることにより、電力変換動作を行い、

前記制御装置は、第2の運転モードにおいて、前記交流遮断器および前記バイパス開閉器を開放状態にし、かつ前記短絡開閉器を閉路状態にした状態で、前記複数の変換器セルの各々の各スイッチング素子をスイッチングさせることにより、電力変換動作を行う、電力変換装置。

【請求項2】

前記制御装置は、前記第1の運転モードにおいて、交流電流指令値と前記交流出力電流の検出値との偏差を0にするためのフィードバック制御と、前記交流回路と前記電力変換器との連系点の交流電圧のフィードフォワード制御とにより、前記電力変換器の交流出力を制御し、

前記制御装置は、前記第2の運転モードにおいて、前記フィードバック制御と、前記交流回路と前記電力変換器との連系点の交流電圧を0とみなしたフィードフォワード制御とにより、前記電力変換器の交流出力を制御する、請求項1に記載の電力変換装置。

10

【請求項3】

前記限流抵抗器は、前記交流回路と前記電力変換器との間の交流線路に接続される、請求項1または2に記載の電力変換装置。

【請求項4】

前記限流抵抗器は、前記複数のアームの各々において、前記複数の変換器セルと直列に接続される、請求項1または2に記載の電力変換装置。

【請求項5】

前記電力変換装置は、前記交流回路と直流回路との間で電力変換を行い、

20

前記電力変換装置は、前記電力変換器と前記直流回路との連系点と接地極との間に接続された付加的な短絡開閉器をさらに備え、

前記制御装置は、前記第1の運転モードにおいて前記付加的な短絡開閉器を開放状態にし、前記第2の運転モードにおいて前記付加的な短絡開閉器を閉路状態にする、請求項4に記載の電力変換装置。

【請求項6】

前記制御装置は、前記第2の運転モードにおいて、前記第1の運転モードの場合よりも前記交流出力電流の実効値または振幅値を増加させる、請求項1～5のいずれか1項に記載の電力変換装置。

【請求項7】

30

前記制御装置は、前記第2の運転モードにおいて、前記複数の変換器セルの各スイッチング素子の安全動作領域で決まる電流の上限値にアーム電流のピーク値が一致するように、前記交流出力電流の実効値または振幅値を変化させる、請求項6に記載の電力変換装置。

【請求項8】

前記制御装置は、位相シフトパルス幅変調によって前記複数の変換器セルの各々の出力電圧を制御し、

前記制御装置は、前記第2の運転モードにおいて、前記位相シフトパルス幅変調のキャリア周波数を、前記第1の運転モードの場合よりも増加させる、請求項1～7のいずれか1項に記載の電力変換装置。

40

【請求項9】

前記複数の変換器セルの各々に設けられた各スイッチング素子のスイッチング損失は、前記制御装置からの制御によって変化し、

前記制御装置は、前記第2の運転モードにおいて、前記複数の変換器セルの各々に設けられた各スイッチング素子のスイッチング損失を、前記第1の運転モードの場合よりも増加させる、請求項1～8のいずれか1項に記載の電力変換装置。

【請求項10】

前記複数の変換器セルの各々に設けられた各スイッチング素子のゲート抵抗値は、前記制御装置からの制御によって変化し、

前記制御装置は、前記第2の運転モードにおいて、前記ゲート抵抗値を前記第1の運転

50

モードの場合よりも増加させることによって前記スイッチング損失を増加させる、請求項 9 に記載の電力変換装置。

【請求項 1 1】

前記制御装置は、前記複数の変換器セルに設けられた複数の前記蓄電素子の少なくとも 1 つの電圧が閾値を超えている場合に、前記第 1 の運転モードから前記第 2 の運転モードに運転モードを切り替える、請求項 1 ~ 1 0 のいずれか 1 項に記載の電力変換装置。

【請求項 1 2】

前記制御装置は、前記電力変換器の運転停止指令を受けた場合に、前記第 1 の運転モードから前記第 2 の運転モードに運転モードを切り替える、請求項 1 ~ 1 1 のいずれか 1 項に記載の電力変換装置。

10

【請求項 1 3】

前記電力変換装置は、前記交流回路と直流回路との間で電力変換を行い、

前記制御装置は、前記電力変換器から前記直流回路に出力される直流出力電流が閾値を超えたことを検出した場合に、前記第 1 の運転モードから第 3 の運転モードに運転モードを切り替え、

前記制御装置は、前記第 3 の運転モードにおいて、前記複数の変換器セルの各々の各スイッチング素子をオフ状態にし、前記交流遮断器および前記バイパス開閉器を開放状態にし、前記短絡開閉器を閉路状態にする、請求項 1 に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本開示は、電力変換装置に関する。

【背景技術】

【0002】

複数の単位変換器（以下、変換器セルとも称する）をカスケードに接続して構成するモジュラーマルチレベル変換器（MMC：Modular Multilevel Converter）が知られている。MMC は、カスケードに接続する変換器セルの数を増加させることによって、容易に高電圧への対応ができることから送配電系統に広く適用されている。たとえば、大容量の STATCOM（STATIC synchronous COMPensator）および高圧直流送電（HVDC 送電）用の交直電力変換装置などとして用いられる。なお、STATCOM は、自励式 SVC（Static Var Compensator：静止形無効電力補償装置）とも称する。

30

【0003】

MMC を構成する各変換器セルは、複数のスイッチ（以下、スイッチング素子とも称する）と、蓄電要素（以下、キャパシタとも称する）とを備える。変換器セルの構成には、ハーフブリッジ回路（以下、チョッパ回路とも称する）またはフルブリッジ回路などのバリエーションがある。

【0004】

MMC では、蓄電要素の充電電圧が規定値よりも増加したとき、もしくは、MMC の運転を停止するときなどに、変換器セルごとに分散配置された蓄電要素を速やかに放電することが求められる。

40

【0005】

たとえば、特開 2018 - 093637 号公報（特許文献 1）は、変換器セルの内部において各スイッチング素子と並列に抵抗素子を設けることを開示する。キャパシタから出力される放電エネルギーを消費するために、直列接続された正極側スイッチング素子と負極側スイッチング素子とのうち一方がオン状態に他方がオフ状態に制御される。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2018 - 093637 号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0007】

上記の特開2018-093637号公報(特許文献1)に記載のMMCでは、変換器セルごとに物理的に抵抗素子を設けることになるので、電力変換装置の大型化およびコストの増大が懸念される。

【0008】

本開示は、上記の背景を考慮してなされたものであって、ある局面における目的は、物理的な放電機構の追加を最小限に抑えて、各変換器セルに設けられたキャパシタの放電を短時間で実現する電力変換装置を提供することである。本開示のその他の目的および効果については、図面を参照して実施の形態において説明する。

10

【課題を解決するための手段】

【0009】

一局面における電力変換装置は、電力変換器と、交流遮断器と、限流抵抗器と、バイパス開閉器と、短絡開閉器と、制御装置とを備える。電力変換器は、互いにカスケード接続された複数の変換器セルを有するアームを複数含む。複数のアームの各々は、交流回路の対応する相と電気的に接続される。複数の変換器セルの各々は、一对の入出力端子と、複数のスイッチング素子と、複数のスイッチング素子を介して入出力端子と電気的に接続される蓄電素子とを含む。交流遮断器は、交流回路と電力変換器との間に接続される。限流抵抗器は、電力変換器の交流出力電流の経路に接続される。バイパス開閉器は、限流抵抗器と並列に接続される。短絡開閉器は、交流遮断器と限流抵抗器との間の交流線路を短絡する。制御装置は、第1の運転モードにおいて、交流遮断器およびバイパス開閉器を閉路状態にし、かつ短絡開閉器を開放状態にした状態で、複数の変換器セルの各々の各スイッチング素子をスイッチングさせることにより、電力変換動作を行う。制御装置は、第2の運転モードにおいて、交流遮断器およびバイパス開閉器を開放状態にし、かつ短絡開閉器を閉路状態にした状態で、複数の変換器セルの各々の各スイッチング素子をスイッチングさせることにより、電力変換動作を行う。

20

【発明の効果】

【0010】

上記の一局面の電力変換装置によれば、物理的な放電機構として限流抵抗器、バイパス開閉器、および短絡開閉器のみを設けて、第2の運転モードで運転することにより、各変換器セルに設けられたキャパシタの放電を短時間で実現できる。

30

【図面の簡単な説明】

【0011】

【図1】実施の形態1の電力変換装置の概略構成図である。

【図2】電力変換器を構成する変換器セルの構成例を示す回路図である。

【図3】制御装置3のハードウェア構成例を示すブロック図である。

【図4】図1に示された制御装置の内部構成を説明する機能ブロック図である。

【図5】図4の各基本制御部502のさらに詳細な構成を示す図である。

【図6】図5の交流電流制御部603のより詳細な構成例を示すブロック図である。

【図7】アーム制御部503の構成例を説明するブロック図である。

40

【図8】通常運転モードから放電運転モードまたは保護運転モードへの切り替えタイミングを説明するためのフローチャートである。

【図9】放電運転モードにおける図4の交流遮断器制御部、短絡開閉器制御部、および限流抵抗制御部ならびに図5の基本制御部の動作を説明するためのフローチャートである。

【図10】実施の形態2の電力変換装置の概略構成図である。

【図11】図10に示す制御装置の内部構成を説明する機能ブロック図である。

【図12】IGBTまたはMOSFETのSOAの一例を概念的に示す図である。

【図13】実施の形態3の電力変換装置における交流電流制御部の構成例を示すブロック図である。

【図14】実施の形態3の電力変換装置において、放電運転モードにおける放電制御部お

50

よび交流電流制御部の動作を説明するためのフローチャートである。

【図15】図7に示された個別セル制御部202の構成例を示すブロック図である。

【図16】図15に示されたゲート信号生成部によるPWM変調制御を説明するための概念的な波形図である。

【図17】実施の形態4の電力変換器におけるキャリア周波数の設定について説明するためのフローチャートである。

【図18】実施の形態5の電力変換装置において、電力変換器を構成する変換器セルの構成例を示す回路図である。

【図19】実施の形態5の電力変換装置において、個別セル制御部の構成例を示すブロック図である。

10

【図20】実施の形態5の電力変換器におけるゲート抵抗の設定について説明するためのフローチャートである。

【発明を実施するための形態】

【0012】

以下、各実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰り返さない。

【0013】

実施の形態1.

[電力変換装置の全体構成]

図1は、実施の形態1の電力変換装置の概略構成図である。図1を参照して、電力変換装置1は、互いに直列接続された複数の変換器セルを含むモジュラマルチレベル変換器(MMC)によって構成されている。なお、「変換器セル」は、「サブモジュール」、「SM」、または「単位変換器」とも呼ばれる。電力変換装置1は、直流回路14と交流回路12との間で電力変換を行なう。電力変換装置1は、電力変換器2と、制御装置3と、変圧器13と、交流遮断器19と、限流抵抗器22と、バイパス開閉器21と、短絡開閉器20とを含む。

20

【0014】

電力変換器2は、正極直流端子(すなわち、高電位側直流端子)Npと、負極直流端子(すなわち、低電位側直流端子)Nnとの間に互いに並列に接続された複数のレグ回路4u, 4v, 4w(総称する場合または任意のものを示す場合、レグ回路4と記載する)を含む。

30

【0015】

レグ回路4は、交流を構成する複数相の各々に設けられる。レグ回路4は、交流回路12と直流回路14との間に接続され、両回路間で電力変換を行なう。図1には、交流回路12が3相交流系統の場合が示され、U相、V相、W相にそれぞれ対応して3個のレグ回路4u, 4v, 4wが設けられている。

【0016】

レグ回路4u, 4v, 4wにそれぞれ設けられた交流入力端子Nu, Nv, Nwは、変圧器13を介して交流回路12に接続される。変圧器13と交流回路12との間に交流遮断器19が設けられる。交流回路12は、たとえば、交流電源などを含む交流電力系統である。図1では、図解を容易にするために、交流入力端子Nv, Nwと変圧器13との接続は図示していない。また、三相交流線路を1本の伝送路で表示している。

40

【0017】

限流抵抗器22は、電力変換器2の交流出力電流の経路に接続される。図1の場合には、限流抵抗器22は、交流遮断器19と電力変換器2との間に接続される。三相交流線路の各々に限流抵抗器22が設けられる。MMC方式の電力変換器2では、起動時の充電電流を抑制するため、電力変換器2の交流出力電流の経路に限流抵抗器22を備えることが一般的である。また、本開示の電力変換器2では、各変換器セル7に設けられた蓄電素子32の放電時に、限流抵抗器22によって放電電流を消費することにより放電を高速化できる。

50

【 0 0 1 8 】

限流抵抗器 2 2 は、変圧器 1 3 の一次側（すなわち、交流回路 1 2 の側）および二次側（すなわち、電力変換器 2 の側）のどちらに設けてもよい。限流抵抗器 2 2 を変圧器 1 3 の一次側に設けると、交流回路 1 2 から変圧器 1 3 に流れるインラッシュ電流を抑制できるという効果がある。

【 0 0 1 9 】

バイパス開閉器 2 1 は、対応する限流抵抗器 2 2 と並列に接続される。制御装置 3 は、電力変換器 2 の通常運転モード（第 1 の運転モードとも称する）においてバイパス開閉器 2 1 を閉路状態にする。これにより、交流電流は限流抵抗器 2 2 に流れない。制御装置 3 は、放電運転モード（第 2 の運転モードとも称する）バイパス開閉器 2 1 を開放状態にすることにより、交流電流を限流抵抗器 2 2 に流す。また、制御装置 3 は、保護運転モード（第 3 の運転モードとも称する）において、バイパス開閉器 2 1 を開放状態にする。

10

【 0 0 2 0 】

短絡開閉器 2 0 は、交流遮断器 1 9 と限流抵抗器 2 2 との間の三相交流線路に接続される。短絡開閉器 2 0 は、図 1 に示すように三相交流線路に Y 結線によって接続されてもよい。この場合、三相交流線路の各々と中性点との間に短絡開閉器 2 0 が接続される。図 1 の場合と異なり、3 個の短絡開閉器 2 0 が結線によって三相交流線路に接続されてもよい。もしくは、2 個の短絡開閉器 2 0 を、U 相と V 相の間、V 相と W 相の間、および W 相と U 相の間のうちのいずれか 2 つに接続してもよい。

【 0 0 2 1 】

制御装置 3 は、通常運転モードにおいて各短絡開閉器 2 0 を開放状態にする。制御装置 3 は、放電運転モードおよび保護運転モードにおいて、各短絡開閉器 2 0 を閉路状態にすることによって、短絡開閉器 2 0 の接続点において三相交流線路を三相短絡させる。これにより、電力変換器 2 は三相抵抗負荷が連系された状態になる。

20

【 0 0 2 2 】

なお、制御装置 3 は、直流回路 1 4 の短絡事故時に電力変換器 2 を保護運転モードにする。これにより、短絡開閉器 2 0 によって三相交流線路は三相短絡状態になるので、電力変換器 2 への事故電流の流入が抑制され、電力変換器 2 の故障を防止できる。

【 0 0 2 3 】

短絡開閉器 2 0 は、変圧器 1 3 の一次側（すなわち、交流回路 1 2 の側）および二次側（すなわち、電力変換器 2 の側）のどちらに設けてもよい。直流回路 1 4 の短絡事故対策の観点からは、短絡開閉器 2 0 を変圧器 1 3 の二次側に設けたほうが望ましい。この第 1 の理由は、短絡開閉器 2 0 を閉路することによる交流回路 1 2 からの短絡電流をより抑制できるからである。第 2 の理由は、短絡開閉器 2 0 の耐圧をより小さくできるからである。

30

【 0 0 2 4 】

短絡開閉器 2 0 は、機械式開閉器または半導体素子で構成することが考えられるが、より高速な動作が可能な半導体素子、もしくは、半導体素子と機械式開閉器とを並列に接続したハイブリッドで構成することが望ましい。特に、短絡開閉器 2 0 には大電流が流れるため、サイリスタなど大電流を流すことが可能な半導体素子が望ましい。

40

【 0 0 2 5 】

各レグ回路 4 に共通に接続された高電位側直流端子 N p および低電位側直流端子 N n は、直流回路 1 4 に接続される。直流回路 1 4 は、たとえば、直流送電網などを含む直流電力システムまたは他の電力変換装置の直流端子である。後者の場合、2 台の電力変換装置を連結することによって定格周波数などが異なる交流電力システム間を接続するための B T B (Back To Back) システムが構成される。

【 0 0 2 6 】

図 1 の変圧器 1 3 を用いる代わりに、連系リアクトルを介して交流回路 1 2 に接続する構成としてもよい。さらに、交流入力端子 N u , N v , N w に代えてレグ回路 4 u , 4 v , 4 w にそれぞれ一次巻線を設け、この一次巻線と磁気結合する二次巻線を介してレグ回

50

路 4 u , 4 v , 4 w が変圧器 1 3 または連系リアクトルに交流的に接続するようにしてもよい。この場合、一次巻線を下記のリアクトル 8 A , 8 B としてもよい。すなわち、レグ回路 4 は、交流入力端子 N u , N v , N w または上記の一次巻線など、各レグ回路 4 u , 4 v , 4 w に設けられた接続部を介して電氣的に（すなわち直流的または交流的に）交流回路 1 2 と接続される。

【 0 0 2 7 】

レグ回路 4 u は、高電位側直流端子 N p から交流入力端子 N u までの上アーム 5 と、低電位側直流端子 N n から交流入力端子 N u までの下アーム 6 とを含む。上アーム 5 と下アーム 6 との接続点である交流入力端子 N u が変圧器 1 3 と接続される。高電位側直流端子 N p および低電位側直流端子 N n が直流回路 1 4 に接続される。レグ回路 4 v , 4 w につ

10

【 0 0 2 8 】

上アーム 5 は、カスケード接続された複数の変換器セル 7 と、リアクトル 8 A とを含む。複数の変換器セル 7 およびリアクトル 8 A は、直列に接続されている。同様に、下アーム 6 は、カスケード接続された複数の変換器セル 7 と、リアクトル 8 B とを含む。複数の変換器セル 7 およびリアクトル 8 B は、直列に接続されている。

【 0 0 2 9 】

以下の説明では、上アーム 5 および下アーム 6 の各々に含まれる変換器セル 7 の個数を N c e l l とする。但し、N c e l l = 2 とする。上アーム 5 および下アーム 6 の各々に含まれる個々の変換器セル 7 を区別する場合、変換器セル 7 _ 1 ~ 7 _ N c e l l のように記載する。

20

【 0 0 3 0 】

リアクトル 8 A が挿入される位置は、レグ回路 4 u の上アーム 5 のいずれの位置であってもよく、リアクトル 8 B が挿入される位置は、レグ回路 4 u の下アーム 6 のいずれの位置であってもよい。リアクトル 8 A , 8 B はそれぞれ複数個あってもよい。各リアクトルのインダクタンス値は互いに異なってもよい。さらに、上アーム 5 のリアクトル 8 A のみ、もしくは、下アーム 6 のリアクトル 8 B のみを設けてもよい。

【 0 0 3 1 】

電力変換装置 1 は、さらに、制御に使用される電氣量（電流、電圧など）を計測する各検出器として、交流電圧検出器 1 0 と、交流電流検出器 1 6 と、直流電圧検出器 1 1 A , 1 1 B と、各レグ回路 4 に設けられたアーム電流検出器 9 A , 9 B と、直流電流検出器 1 7 とを含む。これらの検出器によって検出された信号は、制御装置 3 に入力される。

30

【 0 0 3 2 】

なお、図 1 では図解を容易にするために、各検出器から制御装置 3 に入力される信号の信号線と、制御装置 3 および各変換器セル 7 間で入出力される信号の信号線とは、一部まとめて記載されているが、実際には検出器ごとおよび変換器セル 7 ごとに設けられている。各変換器セル 7 と制御装置 3 との間の信号線は、送信用と受信用とが別個に設けられていてもよい。信号線は、たとえば光ファイバによって構成される。

【 0 0 3 3 】

次に、各検出器について具体的に説明する。

40

交流電圧検出器 1 0 は、交流回路 1 2 の U 相の交流電圧 V_{sysu} 、V 相の交流電圧 V_{sysv} 、および、W 相の交流電圧 V_{sysw} を検出する。以下の説明では、 V_{sysu} 、 V_{sysv} 、および、 V_{sysw} を総称して V_{sys} とも記載する。電力変換器 2 の交流入力端子 N u , N v , N w の交流電圧 V_{acu} 、 V_{acv} 、 V_{acw} は、交流電圧検出器 1 0 で検出される交流電圧 V_{sysu} 、 V_{sysv} 、 V_{sysw} から、変圧器 1 3 の変圧比およびインピーダンス降下を考慮して求めることができる。以下の説明では、交流 V_{acu} 、 V_{acv} 、および V_{acw} を総称して V_{ac} とも記載する。

【 0 0 3 4 】

交流電流検出器 1 6 は、交流回路 1 2 の U 相の交流電流 I_{sysu} 、V 相の交流電流 I_{sysv} 、および、W 相の交流電流 I_{sysw} を検出する。以下の説明では、 I_{sysu}

50

、 I_{sysv} 、および I_{sysw} を総称して I_{sys} とも記載する。また、電力変換器2から交流回路12に出力される場合の交流電流の符号を正とする。

【0035】

直流電圧検出器11Aは、直流回路14に接続された高電位側直流端子Npの直流電圧 V_{dcp} を検出する。直流電圧検出器11Bは、直流回路14に接続された低電位側直流端子Nnの直流電圧 V_{dcn} を検出する。直流電圧 V_{dcp} と直流電圧 V_{dcn} との差を直流電圧 V_{dc} とする。

【0036】

直流電流検出器17は、高電位側直流端子Npまたは低電位側直流端子Nnを流れる直流電流 I_{dc} を検出する。以下の説明では、直流回路14から高電位側直流端子Npに流れる場合、および低電位側直流端子Nnから直流回路14に流れる場合の直流電流の符号を正とする。

10

【0037】

U相用のレグ回路4uに設けられたアーム電流検出器9Aおよび9Bは、上アーム5に流れる上アーム電流 I_{pu} 、および、下アーム6に流れる下アーム電流 I_{nu} をそれぞれ検出する。V相用のレグ回路4vに設けられたアーム電流検出器9Aおよび9Bは、上アーム電流 I_{pv} および下アーム電流 I_{nv} をそれぞれ検出する。W相用のレグ回路4wに設けられたアーム電流検出器9Aおよび9Bは、上アーム電流 I_{pw} および下アーム電流 I_{nw} をそれぞれ検出する。以下の説明では、上アーム電流 I_{pu} 、 I_{pv} 、 I_{pw} を総称して上アーム電流 I_{armp} とも記載し、下アーム電流 I_{nu} 、 I_{nv} 、 I_{nw} を総称して下アーム電流 I_{armn} とも記載し、上アーム電流 I_{armp} と下アーム電流 I_{armn} とを総称して I_{arm} とも記載する。また、高電位側直流端子Npから低電位側直流端子Nnに流れる場合のアーム電流の符号を正とする。

20

【0038】

電力変換器2から交流回路12に出力するU相交流電流 I_{acu} 、V相交流電流 I_{acv} 、およびW相交流電流 I_{acw} は、アーム電流 I_{arm} を用いて表すことができる。具体的に、各相の交流電流 I_{ac} は、

$$I_{acu} = I_{pu} - I_{nu} \quad \dots (1)$$

$$I_{acv} = I_{pv} - I_{nv} \quad \dots (2)$$

$$I_{acw} = I_{pw} - I_{nw} \quad \dots (3)$$

30

のように表される。以下の説明では、 I_{acu} 、 I_{acv} 、および I_{acw} を総称して、 I_{ac} とも記載する。

【0039】

上記の(1)～(3)式で表される交流電流 I_{ac} は、変圧器の二次側電流(電力変換器2の側の電流)に相当する。交流電流 I_{ac} と、交流電流検出器16で検出される交流電流 I_{sys} とは、理想的には、変圧器13の変圧比だけ異なる。変圧器13に代えて連系リアクトルを用いる場合には、交流電流 I_{ac} と交流電流 I_{sys} とは一致する。制御装置3では、上式(1)～(3)で計算される交流電流 I_{ac} に代えて、交流電流検出器16に計測される交流電流 I_{sys} を用いてもよい。

【0040】

40

直流回路14から電力変換器2の高電位側直流端子Npに流入する直流電流 I_{dc} も、アーム電流 I_{arm} を用いて表すことができる。具体的に、直流電流 I_{dc} は、

$$I_{dc} = (I_{pu} + I_{nu} + I_{pv} + I_{nv} + I_{pw} + I_{nw}) / 2 \quad \dots (4)$$

と表される。

【0041】

交流回路12および直流回路14を経路に含まずに電力変換器2内の閉回路に流れる電流を循環電流と称する。U相アームに流れる循環電流 I_{zu} 、V相アームに流れる循環電流 I_{zv} 、およびW相アームに流れる循環電流 I_{zw} は、

$$I_{zu} = (I_{pu} + I_{nu}) / 2 - I_{dc} / 3 \quad \dots (5)$$

$$I_{zv} = (I_{pv} + I_{nv}) / 2 - I_{dc} / 3 \quad \dots (6)$$

50

$I_{zw} = (I_{pw} + I_{nw}) / 2 - I_{dc} / 3 \quad \dots(7)$
 のように定義できる。各相の循環電流 I_{zu} , I_{zv} , I_{zw} を総称して I_z と記載する。

【 0 0 4 2 】

[変換器セルの構成例]

図 2 は、電力変換器を構成する変換器セルの構成例を示す回路図である。

【 0 0 4 3 】

図 2 の (A) に示す変換器セル 7 は、ハーフブリッジ構成と呼ばれる回路構成を有する。この変換器セル 7 は、2 つのスイッチング素子 3 1 p および 3 1 n を直列接続して形成した直列体と、蓄電素子 3 2 と、電圧検出器 3 3 と、入出力端子 P 1 , P 2 とを備える。スイッチング素子 3 1 p および 3 1 n の直列体と蓄電素子 3 2 とは並列接続される。電圧検出器 3 3 は、蓄電素子 3 2 の両端間の電圧 V_c を検出する。

10

【 0 0 4 4 】

スイッチング素子 3 1 n の両端子は、入出力端子 P 1 , P 2 にそれぞれ接続される。変換器セル 7 は、スイッチング素子 3 1 p , 3 1 n のスイッチング動作により、蓄電素子 3 2 の電圧 V_c または零電圧を、入出力端子 P 1 および P 2 の間に出力する。スイッチング素子 3 1 p がオン、かつスイッチング素子 3 1 n がオフとなったときに、変換器セル 7 からは、蓄電素子 3 2 の電圧 V_c が出力される。スイッチング素子 3 1 p がオフ、かつスイッチング素子 3 1 n がオンとなったときに、変換器セル 7 は、零電圧を出力する。

【 0 0 4 5 】

図 2 の (B) に示す変換器セル 7 は、フルブリッジ構成と呼ばれる回路構成を有する。この変換器セル 7 は、2 つのスイッチング素子 3 1 p 1 および 3 1 n 1 を直列接続して形成された第 1 の直列体と、2 つスイッチング素子 3 1 p 2 および 3 1 n 2 を直列接続して形成された第 2 の直列体と、蓄電素子 3 2 と、電圧検出器 3 3 と、入出力端子 P 1 , P 2 とを備える。第 1 の直列体と、第 2 の直列体と、蓄電素子 3 2 とが並列接続される。電圧検出器 3 3 は、蓄電素子 3 2 の両端間の電圧 V_c を検出する。

20

【 0 0 4 6 】

スイッチング素子 3 1 p 1 およびスイッチング素子 3 1 n 1 の中点は、入出力端子 P 1 と接続される。同様に、スイッチング素子 3 1 p 2 およびスイッチング素子 3 1 n 2 の中点は、入出力端子 P 2 と接続される。変換器セル 7 は、スイッチング素子 3 1 p 1 , 3 1 n 1 , 3 1 p 2 , 3 1 n 2 のスイッチング動作により、蓄電素子 3 2 の電圧 V_c 、 $-V_c$ 、または零電圧を、入出力端子 P 1 および P 2 の間に出力する。

30

【 0 0 4 7 】

図 2 の (A) および (B) において、スイッチング素子 3 1 p , 3 1 n , 3 1 p 1 , 3 1 n 1 , 3 1 p 2 , 3 1 n 2 は、たとえば、IGBT (Insulated Gate Bipolar Transistor) 、 GCT (Gate Commutated Turn-off) サイリスタなどの自己消弧型の半導体スイッチング素子に FWD (Freewheeling Diode) が逆並列に接続されて構成される。

【 0 0 4 8 】

図 2 の (A) および (B) において、蓄電素子 3 2 には、フィルムコンデンサなどのキャパシタが主に用いられる。蓄電素子 3 2 は、以降の説明では、キャパシタと呼称することもある。以下では、蓄電素子 3 2 の電圧 V_c をキャパシタ電圧 V_c とも称する。

40

【 0 0 4 9 】

図 1 に示されるように、変換器セル 7 はカスケード接続されている。図 2 の (A) および (B) の各々において、上アーム 5 に配置された変換器セル 7 では、入出力端子 P 1 は、隣の変換器セル 7 の入出力端子 P 2 または高電位側直流端子 N_p と接続され、入出力端子 P 2 は、隣の変換器セル 7 の入出力端子 P 1 または交流入力端子 N_u と接続される。同様に、下アーム 6 に配置された変換器セル 7 では、入出力端子 P 1 は、隣の変換器セル 7 の入出力端子 P 2 または交流入力端子 N_u と接続され、入出力端子 P 2 は、隣の変換器セル 7 の入出力端子 P 1 または低電位側直流端子 N_n と接続される。

【 0 0 5 0 】

50

以降では、変換器セル7を図2の(A)に示すハーフブリッジセルの構成とし、スイッチング素子として半導体スイッチング素子、蓄電素子としてキャパシタを用いた場合を例に説明する。但し、電力変換器2を構成する変換器セル7を図2の(B)に示すフルブリッジ構成とすることも可能である。また、上記で例示した構成以外の変換器セル、たとえば、クランプトダブルセルと呼ばれる回路構成などを適用した変換器セルを用いてもよく、スイッチング素子および蓄電素子も上記の例示に限定されるものではない。

【0051】

なお、図2の(A)に示すハーフブリッジセルの構成を採用した場合において、直流回路14の短絡事故時に電力変換器2が故障する可能性がある。この理由は、電力変換器2の動作を停止しても、交流遮断器19の遮断動作が間に合わずに、変換器セル7のスイッチング素子31nのダイオードを通して、交流回路12から過大な事故電流が電力変換器2に流入するからである。本実施の形態の電力変換装置1では、前述のように、直流短絡事故時に制御装置3は、短絡開閉器20を閉路状態に制御することにより、電力変換器2への事故電流の流入を抑制する。この結果、電力変換器2の故障を防止できる。

【0052】

[制御装置]

図3は、制御装置3のハードウェア構成例を示すブロック図である。図3には、コンピュータによって制御装置3を構成する例が示される。

【0053】

図3を参照して、制御装置3は、1つ以上の入力変換器70と、1つ以上のサンプルホールド(S/H)回路71と、マルチプレクサ(MUX)72と、A/D(Analog to Digital)変換器73とを含む。さらに、制御装置3は、1つ以上のCPU(Central Processing Unit)74と、RAM(Random Access Memory)75と、ROM(Read Only Memory)76とを含む。さらに、制御装置3は、1つ以上の入出力インターフェイス77と、補助記憶装置78と、上記の構成要素間を相互に接続するバス79を含む。

【0054】

入力変換器70は、入力チャンネルごとに補助変成器(図示せず)を有する。各補助変成器は、図1の各電気量検出器による検出信号を、後続する信号処理に適した電圧レベルの信号に変換する。

【0055】

サンプルホールド回路71は、入力変換器70ごとに設けられる。サンプルホールド回路71は、対応の入力変換器70から受けた電気量を表す信号を規定のサンプリング周波数でサンプリングして保持する。

【0056】

マルチプレクサ72は、複数のサンプルホールド回路71に保持された信号を順次選択する。A/D変換器73は、マルチプレクサ72によって選択された信号をデジタル値に変換する。なお、複数のA/D変換器73を設けることによって、複数の入力チャンネルの検出信号に対して並列的にA/D変換を実行するようにしてもよい。

【0057】

CPU74は、制御装置3の全体を制御し、プログラムに従って演算処理を実行する。揮発性メモリとしてのRAM75および不揮発性メモリとしてのROM76は、CPU74の主記憶として用いられる。ROM76は、プログラムおよび信号処理用の設定値などを収納する。補助記憶装置78は、ROM76に比べて大容量の不揮発性メモリであり、プログラムおよび電気量検出値のデータなどを格納する。

【0058】

入出力インターフェイス77は、CPU74および外部装置の間で通信する際のインターフェイス回路である。

【0059】

なお、図3の例とは異なり、制御装置3の少なくとも一部をFPGA(Field Programmable Gate Array)および、ASIC(Application Specific Integrated Circuit

10

20

30

40

50

)等の回路を用いて構成することも可能である。すなわち、図3に記載された各機能ブロックの機能は、図3に例示されたコンピュータをベースに構成することもできるし、その少なくとも一部をFPGAおよびASICなどの回路を用いて構成することができる。また、各機能ブロックの機能の少なくとも一部は、アナログ回路によって構成することも可能である。

【0060】

図4は、図1に示された制御装置の内部構成を説明する機能ブロック図である。制御装置3は、その制御機能の1つとして、各変換器セル7のスイッチング素子31p, 31nのオン、オフを制御する。さらに、制御装置3は、図1で説明した交流遮断器19、短絡開閉器20、およびバイパス開閉器21のオン、オフを制御する。

10

【0061】

制御装置3は、U相基本制御部502Uと、U相上アーム制御部503UPと、U相下アーム制御部503UNと、V相基本制御部502Vと、V相上アーム制御部503VPと、V相下アーム制御部503VNと、W相基本制御部502Wと、W相上アーム制御部503WPと、W相下アーム制御部503WNと、交流遮断器制御部504と、短絡開閉器制御部505と、限流抵抗制御部506を含む。なお、本明細書では、制御装置3を構成するこれらの制御部において演算に用いられる各種電気量は、PU(Per Unit)法の単位に変換されているものとする。

【0062】

以下の説明では、U相基本制御部502U、V相基本制御部502V、および、W相基本制御部502Wを総称する場合またはいずれか1つの相のものを示す場合に、基本制御部502とも記載する。U相上アーム制御部503UP、V相上アーム制御部503VP、およびW相上アーム制御部503WPを総称する場合またはいずれか1つの相のものを示す場合に、上アーム制御部503Pと記載する。U相下アーム制御部503UN、V相下アーム制御部503VN、およびW相下アーム制御部503WNを総称する場合またはいずれか1つの相のものを示す場合に、下アーム制御部503Nとも記載する。上アーム制御部503Pおよび下アーム制御部503Nを総称してアーム制御部503と記載する。

20

【0063】

基本制御部502の構成例は図5および図6を参照して説明し、アーム制御部503の構成例は図7を参照して説明する。以下では、図4のその他の構成について説明する。

30

【0064】

交流遮断器制御部504は、図1の交流遮断器19の開閉を制御する。ある局面において、交流遮断器制御部504は、電力変換器2の運転モードOMが通常運転モードの場合に交流遮断器19を閉路状態にし、運転モードOMが放電運転モードおよび保護運転モードの場合に交流遮断器19を開放状態にする。

【0065】

短絡開閉器制御部505は、図1の短絡開閉器20の開閉を制御する。ある局面において、短絡開閉器制御部505は、電力変換器2の運転モードOMが通常運転モードの場合に短絡開閉器20を開放状態にし、運転モードOMが放電運転モードおよび保護運転モードの場合に短絡開閉器20を閉路状態にする。

40

【0066】

限流抵抗制御部506は、図1のバイパス開閉器21の開閉を制御する。ある局面において、限流抵抗制御部506は、電力変換器2の運転モードOMが通常運転モードの場合にバイパス開閉器21を閉路状態にし、運転モードOMが放電運転モードおよび保護運転モードの場合にバイパス開閉器21を開放状態にする。

【0067】

図5は、図4の各基本制御部502のさらに詳細な構成を示す図である。図5を参照して、基本制御部502は、アーム電圧指令生成部601と、キャパシタ電圧指令生成部602を含む。

50

【 0 0 6 8 】

アーム電圧指令生成部 6 0 1 は、図 1 の上アーム 5 に含まれる N_{cell} 個の変換器セル 7 の電圧指令値 k_{refp} と、下アーム 6 に含まれる N_{cell} 個の変換器セル 7 の電圧指令値 k_{refn} とを生成する。アーム電圧指令生成部 6 0 1 は、生成した電圧指令値 k_{refp} を上アーム制御部 5 0 3 P に出力し、生成した電圧指令値 k_{refn} を下アーム制御部 5 0 3 N に出力する。以下の説明では、上アーム 5 のための電圧指令値 k_{refp} と下アーム 6 のための電圧指令値 k_{refn} とを総称して、電圧指令値 k_{ref} と記載する。

【 0 0 6 9 】

キャパシタ電圧指令生成部 6 0 2 は、上アーム 5 に含まれる N_{cell} 個の変換器セル 7 のキャパシタ 3 2 のキャパシタ電圧指令値 V_{crefp} を生成する。キャパシタ電圧指令生成部 6 0 2 は、さらに、下アーム 6 に含まれる N_{cell} 個の変換器セル 7 のキャパシタ 3 2 のキャパシタ電圧指令値 V_{crefn} を算出する。キャパシタ電圧指令生成部 6 0 2 は、生成した上アーム 5 のためのキャパシタ電圧指令値 V_{crefp} を上アーム制御部 5 0 3 P に出力し、生成した下アーム 6 のためのキャパシタ電圧指令値 V_{crefn} を下アーム制御部 5 0 3 N に出力する。

【 0 0 7 0 】

上アーム 5 のためのキャパシタ電圧指令値 V_{crefp} は、たとえば、上アームの変換器セル 7 のキャパシタ 3 2 の平均電圧とし、下アーム 6 のためのキャパシタ電圧指令値 V_{crefn} は、たとえば、下アーム 6 の変換器セル 7 のキャパシタ 3 2 の平均電圧とする。以下の説明では、上アーム 5 のためのキャパシタ電圧指令値 V_{crefp} と下アーム 6 のためのキャパシタ電圧指令値 V_{crefn} とを総称して、キャパシタ電圧指令値 V_{cref} と記載する。

【 0 0 7 1 】

図 5 に示すように、より詳細には、アーム電圧指令生成部 6 0 1 は、交流電流制御部 6 0 3 と、直流電流制御部 6 0 4 と、循環電流制御部 6 0 5 と、指令分配部 6 0 6 と、放電制御部 6 0 7 とを備える。

【 0 0 7 2 】

交流電流制御部 6 0 3 は、検出された交流電流 I_{ac} と設定された交流電流指令値 I_{acref} との偏差を 0 にするためのフィードバック制御と、交流回路 1 2 の交流電圧 V_{sys} のフィードフォワード制御とにより、交流制御指令値 V_{cr} を生成する。交流電流制御部 6 0 3 は、放電運転モードでは、放電制御部 6 0 7 からの指令に基づいて、交流回路 1 2 の交流電圧 V_{sys} を 0 とみなした状態で、交流電流 I_{ac} の検出値に基づくフィードバック制御を実行する。これによって、制御装置 3 は、特別な制御が不要で安定的に各変換器セル 7 のキャパシタ 3 2 の放電を実行できる。

【 0 0 7 3 】

図 6 は、図 5 の交流電流制御部 6 0 3 のより詳細な構成例を示すブロック図である。図 6 では、図 5 の放電制御部 6 0 7 も併せて示されている。

【 0 0 7 4 】

図 6 を参照して、交流電流制御部 6 0 3 は、減算器 6 2 0 と、比例積分 (P I) 制御器 6 2 1 と、加算器 6 2 2 と、選択器 6 2 3 とを含む。なお、図 5 および図 6 の場合と異なり、交流電流制御部 6 0 3 の構成は放電制御部 6 0 7 を含む構成であってもよい。

【 0 0 7 5 】

減算器 6 2 0 は、交流電流指令値 I_{acref} から交流電流 I_{ac} の検出値を減算する。 P I 制御器 6 2 1 は、減算器 6 2 0 よって算出された、交流電流指令値 I_{acref} と交流電流 I_{ac} との偏差に対して、比例演算および積分演算を施す。なお、 P I 制御器 6 2 1 に代えて、さらに微分演算を行う P I D 制御を用いてもよいし、フィードバック演算に用いられる他の構成の制御器を用いてもよい。

【 0 0 7 6 】

選択器 6 2 3 は、放電制御部 6 0 7 から与えられる選択信号 SL に従って、交流電圧 V

10

20

30

40

50

$s y s$ の検出値または0を加算器622に出力する。具体的に、放電制御部607は、電力変換器2の運転モードOMが通常運転モードの場合に、選択器623から加算器622に交流電圧 $V s y s$ の検出値を出力するように選択信号SLを設定する。放電制御部607は、電力変換器2の運転モードOMが放電運転モードの場合に、選択器623から加算器622に0を出力するように選択信号SLを設定する。

【0077】

加算器622は、PI制御器621の出力と選択器623の出力とを加算することにより、交流制御指令値 $V c r$ を生成する。

【0078】

再び図5を参照して、直流電流制御部604は、設定された直流電圧指令値 $V d c r e f$ と設定された直流電流指令値 $I d c r e f$ とに基づいて、検出された直流電流 $I d c$ と設定された直流電流指令値 $I d c r e f$ との偏差を0にするための直流制御指令値 $V d c r$ を算出する。この際、直流電圧指令値 $V d c r e f$ は検出された直流電圧 $V d c$ に基づいて演算されるものでもよい。なお、実施の形態1の場合の放電運転モードでは、直流電流指令値 $I d c r e f$ を例えば0に設定してもよい。

【0079】

循環電流制御部605は、検出された循環電流 $I z$ を、設定された循環電流指令値 $I z r e f$ に追従制御するための、循環制御指令値 $V z r$ を算出する。ある局面において、循環電流指令値 $I z r e f$ は、たとえば、0に設定される。他の局面において、循環電流指令値 $I z r e f$ は、レグ回路4u, 4v, 4wの各々のキャパシタ電圧の平均値の相違が小さくなるように、さらに、相ごとに上アーム5および下アーム6の各々のキャパシタ電圧の平均値の相違が小さくなるように設定される。

【0080】

指令分配部606は、交流制御指令値 $V c r$ と、循環制御指令値 $V z r$ と、直流制御指令値 $V d c r$ と、中性点電圧 $V s n$ とを受け取る。電力変換器2の交流側が変圧器13を介して交流回路12に接続されているため、中性点電圧 $V s n$ は、直流回路14の直流電源の電圧により求めることができる。直流制御指令値 $V d c r$ は、直流出力制御により決定されても、一定値でもよい。

【0081】

指令分配部606は、これらの入力に基づいて、上アーム、および下アームがそれぞれ出力分担する電圧を算出する。指令分配部606は、算出した電圧から上アーム、下アーム内のインダクタンス成分による電圧降下分をそれぞれ差し引くことによって、上アームのアーム電圧指令値 $k r e f p$ 、および下アームのアーム電圧指令値 $k r e f n$ を決定する。

【0082】

決定された上アームのアーム電圧指令値 $k r e f p$ および下アームのアーム電圧指令値 $k r e f n$ は、交流電流 $I a c$ を交流電流指令値 $I a c r e f$ に追従させ、循環電流 $I z$ を循環電流指令値 $I z r e f$ に追従させ、直流電圧 $V d c$ を直流電圧指令値 $V d c r e f$ に追従させるとともに、交流電圧 $V s y s$ をフィードフォワード制御する出力電圧指令である。

【0083】

図7は、アーム制御部503の構成例を説明するブロック図である。図7を参照して、アーム制御部503は、Ncell個の個別セル制御部202を含む。

【0084】

個別セル制御部202は、対応する変換器セル7を個別に制御する。個別セル制御部202は、基本制御部502からアーム電圧指令値 $k r e f$ 、アーム電流 $I a r m$ 、および、キャパシタ電圧指令値 $V c r e f$ を受け取る。

【0085】

個別セル制御部202は、対応する変換器セル7のゲート信号 $g a$ を生成して、対応する変換器セル7へ出力する。ゲート信号 $g a$ は、図2の(A)の変換器セル7では、スイ

10

20

30

40

50

ツチング素子 31p および 31n のオンオフを制御する信号である ($n = 2$)。なお、変換器セル 7 が、図 2 の (B) のフルブリッジ構成である場合には、スイッチング素子 31p1, 31n1, 31p2, 31n2 のそれぞれのゲート信号が生成される ($n = 4$)。

【0086】

一方で、各個別セル制御部 202 は、対応する変換器セル 7 の電圧検出器 33 から、キャパシタ電圧 V_c の検出値を受信する。さらに、各変換器セル 7 の電圧検出器 33 からのキャパシタ電圧 V_c の検出値は、基本制御部 502 に入力される。

【0087】

[放電運転モードおよび保護運転モードにおける電力変換器の制御手順]

以下、放電運転モードおよび保護運転モードにおける電力変換器 2 の制御手順について、これまでの説明を総括する。

10

【0088】

図 8 は、通常運転モードから放電運転モードまたは保護運転モードへの切り替えタイミングを説明するためのフローチャートである。初期状態において、制御装置 3 は、通常運転モードで運転中であるとする。

【0089】

図 8 のフローチャート (A) を参照して、制御装置 3 は、電力変換器 2 の停止指令を受けた場合に (ステップ S100 で YES)、処理をステップ S101 に進める。ステップ S101 において、制御装置 3 は、運転モードを通常運転モードから放電運転モードへ切り替える。

20

【0090】

図 8 のフローチャート (B) を参照して、制御装置 3 は、少なくとも 1 つのキャパシタ電圧 V_c が閾値 V_{th} を超えているとき (ステップ S110 で YES)、処理をステップ S111 に進める。ステップ S111 において、制御装置 3 は、運転モードを通常運転モードから放電運転モードへ切り替える。

【0091】

図 8 のフローチャート (C) を参照して、制御装置 3 は、直流回路 14 において短絡事故を検出した場合に (ステップ S120 で YES)、処理をステップ S121 に進める。ステップ S121 において、制御装置 3 は、運転モードを通常運転モードから保護運転モードへ切り替える。たとえば、直流電流検出器 17 によって検出される直流電流 I_{dc} が閾値を超えた場合に、制御装置 3 は直流回路 14 において短絡事故が発生したと判定する。

30

【0092】

保護運転モードでは、制御装置 3 は、電力変換器 2 を構成する全スイッチング素子をオフ状態にする。これにより、電力変換器 2 は電力変換動作を行わない。その上で、制御装置 3 は、放電運転モードの場合と同様に、交流遮断器 19 およびバイパス開閉器 21 を開放状態にし、短絡開閉器 20 を閉路状態にする。

【0093】

図 9 は、放電運転モードにおける図 4 の交流遮断器制御部、短絡開閉器制御部、および限流抵抗制御部ならびに図 5 の基本制御部の動作を説明するためのフローチャートである。

40

【0094】

図 9 を参照して、通常運転モードの場合、交流遮断器 19 は閉路状態であり (S200)、バイパス開閉器 21 は閉路状態であり (S210)、短絡開閉器 20 は開放状態である (S220)。この状態で、制御装置 3 は、各変換器セル 7 のスイッチング素子をスイッチングさせることにより、電力変換動作を行う。たとえば、交流電流制御部 603 は、電力変換器 2 の交流出力電流 I_{ac} と交流電流指令値 I_{acref} との偏差を 0 にするためのフィードバック制御と、交流回路 12 との連系点の交流電圧 V_{sys} のフィードフォワード制御とを実行する (S230)。

【0095】

50

運転モードを通常運転モードから放電運転モードに切り替える場合（ステップS240でYES）、交流遮断器制御部504は交流遮断器19を開放状態にし（ステップS250）、限流抵抗制御部506はバイパス開閉器21を開放状態にし（ステップS260）、短絡開閉器制御部505は短絡開閉器20を閉路状態にする（ステップS270）。ステップS250～S270は、どの順番で実行してもよいし、並行して実行してもよい。交流回路12への影響を考慮すれば、短絡開閉器20の閉路動作に先駆けて、交流遮断器19の開放動作を実行することが望ましい。

【0096】

放電運転モードにおいても、制御装置3は、各変換器セル7のスイッチング素子をスイッチングさせることにより、電力変換動作を行う。ここで、交流電流制御部603は、交流回路12との連系点の交流電圧 V_{sys} を0とみなして、交流電流 I_{ac} と交流電流指令値 I_{acref} との偏差を0にするためのフィードバック制御を実行する（ステップS280）。放電運転モードが継続される間（ステップS290でNO）、交流電流制御部603は上記の交流電流制御を実行する。

10

【0097】

運転モードを放電運転モードから通常運転モードに切り替える場合（ステップS290でYES）、交流遮断器制御部504は交流遮断器19を閉路状態にし（ステップS200）、限流抵抗制御部506はバイパス開閉器21を閉路状態にし（ステップS210）、短絡開閉器制御部505は短絡開閉器20を開放状態にする（ステップS220）。ステップS200～S220は、どの順番で実行してもよいし、並行して実行してもよい。交流回路12への影響を考慮すれば、交流遮断器19の閉路動作に先駆けて、短絡開閉器20の開放動作を実行することが望ましい。

20

【0098】

前述のように、通常運転モードにおいて、制御装置3は、各変換器セル7のスイッチング素子をスイッチングさせることにより、電力変換動作を行う。たとえば、交流電流制御部603は、交流出力電流 I_{ac} と交流電流指令値 I_{acref} との偏差を0にするためのフィードバック制御と、交流回路12との連系点の交流電圧 V_{sys} のフィードフォワード制御とを実行する（ステップS230）。通常運転モードが継続される間（ステップS240でNO）、交流電流制御部603は上記の交流電流制御を実行する。

30

【0099】

[実施の形態1の効果]

上記のとおり、実施の形態1の電力変換装置1によれば、キャパシタ32を放電させる場合に、交流遮断器19を閉路状態にした状態で、三相交流線路に設けられた短絡開閉器20を閉路状態にしてバイパス開閉器21を開放状態にすることにより、限流抵抗器22に交流電流 I_{ac} を流す。この結果、基本制御部502による特別の制御を実行することなく、キャパシタ32を高速に放電させることができる。

【0100】

さらに、実施の形態1の電力変換装置1によれば、直流短絡事故の発生時に運転モード保護運転モードに切り替えることにより、三相交流線路に設けられた短絡開閉器を閉路状態にする。この結果、事故電流を抑制することができる。

40

【0101】

実施の形態2

実施の形態2の電力変換器2では、限流抵抗器およびバイパス開閉器が、三相交流線路に代えて各アームに設けられる点で実施の形態1の電力変換器2と異なる。以下、図10および図11を参照して詳しく説明する。

【0102】

[電力変換装置の全体構成]

図10は、実施の形態2の電力変換装置の概略構成図である。図10の電力変換器2では、三相交流線路に設けられたバイパス開閉器21および限流抵抗器22に代えて、各レグ回路4の上アーム5および下アーム6に限流抵抗器18Aおよび18Bが設けられ、限

50

流抵抗器 18 A および 18 B の各々と並列にバイパス開閉器 15 A および 15 B がそれぞれ接続される。

【 0 1 0 3 】

各変換器セル 7 において、限流抵抗器 18 A は、上アーム 5 の各変換器セル 7 およびリアクトル 8 A と直列に接続される。限流抵抗器 18 A は上アーム 5 のどの位置に設けられていてもよい。また、限流抵抗器 18 B は、下アーム 6 の各変換器セル 7 およびリアクトル 8 B と直列に接続される。限流抵抗器 18 B は下アーム 6 のどの位置に設けられていてもよい。以下では、限流抵抗器 18 A , 18 B を総称する場合またはいずれか 1 つを示す場合、限流抵抗器 18 と記載する。バイパス開閉器 15 A , 15 B を総称する場合またはいずれか 1 つを示す場合、バイパス開閉器 15 と記載する。

10

【 0 1 0 4 】

図 10 の電力変換器 2 では、さらに、高電位側直流端子 N p を接地極に短絡させるための短絡開閉器 23 A と、低電位側直流端子 N n を接地極に短絡させるための短絡開閉器 23 B とが直流線路に接続される。放電運転モード時に、バイパス開閉器 15 A , 15 B を開放状態にし、短絡開閉器 20 , 23 A , 23 B を閉路状態にすることにより、各上アーム 5 に設けられた限流抵抗器 18 A および各下アーム 6 にもつけられた限流抵抗器 18 B に交流短絡電流および直流短絡電流の両方を流すことができるので、各変換器セル 7 のキャパシタ 32 の放電を高速化することができる。なお、実施の形態 2 の場合の放電運転モードでは、直流短絡電流を流す必要があるため、直流電流指令値を 0 と異なる値に設定するのが望ましい。または、一定の直流電圧もしくはコンデンサ電圧に比例する直流電圧を出力するよう直流制御指令値 V d c r を制御してもよい。

20

【 0 1 0 5 】

図 10 のその他の点は図 1 の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

【 0 1 0 6 】

[制御装置の構成]

図 11 は、図 10 に示す制御装置の内部構成を説明する機能ブロック図である。図 10 に示す制御装置 3 の内部構成は、基本的には図 4 に示す制御装置 3 の内部構成と同じである。ただし、以下の点で実施の形態 1 の図 4 と異なる。

【 0 1 0 7 】

短絡開閉器制御部 505 は、運転モード O M に応じて、短絡開閉器 20 だけでなく、短絡開閉器 23 A , 23 B の開閉を制御する。すなわち、短絡開閉器制御部 505 は、通常運転モードにおいて短絡開閉器 20 , 23 A , 23 B を開放状態にし、放電運転モードおよび保護運転モードにおいて短絡開閉器 20 , 23 A , 23 B を閉路状態にする。

30

【 0 1 0 8 】

限流抵抗制御部 506 は、運転モード O M に応じて、バイパス開閉器 21 A , 21 B に代えてバイパス開閉器 15 A , 15 B を制御する。すなわち、限流抵抗制御部 506 は、通常運転モードにおいてバイパス開閉器 15 A , 15 B を閉路状態にし、放電運転モードおよび保護運転モードにおいてバイパス開閉器 15 A , 15 B を開放状態にする。

【 0 1 0 9 】

図 11 のその他の点は図 14 の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。また、実施の形態 1 の図 2、図 3、図 5 ~ 図 9 で説明した内容は、実施の形態 2 の場合にもほぼそのまま当てはまるので詳しい説明を繰り返さない。

40

【 0 1 1 0 】

[実施の形態 2 の効果]

実施の形態 2 の電力変換装置 1 によれば、放電運転モード時に各アーム 5 , 6 に設けた限流抵抗器 18 を介して交流短絡電流および直流短絡電流を流すことができる。したがって、実施の形態 2 の電力変換装置 1 は、実施の形態 1 の電力変換装置 1 の場合と同様の効果を奏する上に、放電運転モードにおける各変換器セル 7 のキャパシタ 32 の放電をさら

50

に高速化できる。

【 0 1 1 1 】

実施の形態 3 .

実施の形態 3 では、安全運転領域 (S O A : Safety Operating Area) の範囲内で、できるだけ交流電流 I_{ac} の実効値または振幅値を大きくするように、電力変換器 2 を制御する。これにより、各変換器セル 7 のキャパシタ 3 2 の放電を早めることができる。ここで、S O A とは、変換器セル 7 のスイッチング素子 3 1 として用いられている半導体素子が安全にスイッチングを行うことができる電圧と電流の範囲をいう。

【 0 1 1 2 】

なお、実施の形態 3 の電力変換装置 1 のハードウェア構成および制御装置 3 の機能的構成は実施の形態 1 の場合と同様であるので説明を繰り返さない。また、以下では、実施の形態 3 を実施の形態 1 と組み合わせる場合について説明するが、実施の形態 3 は実施の形態 2 とも組み合わせることができる。

【 0 1 1 3 】

[実施の形態 3 の電力変換装置における放電制御の特徴]

図 1 2 は、I G B T または M O S F E T の S O A の一例を概念的に示す図である。図 1 2 の縦軸はコレクタ電流 I_c を示し、図 1 2 の横軸はコレクタエミッタ電圧 V_{ce} を示す。コレクタ電流 I_c は各アームを流れるアーム電流 I_{arm} に対応し、コレクタエミッタ電圧 V_{ce} は各変換器セル 7 のキャパシタ電圧 V_c に対応する。

【 0 1 1 4 】

図 1 2 に示すように、コレクタエミッタ電圧 V_{ce} が 0 から V_2 までの間は、コレクタ電流 I_c の上限値は一定値 I_{max} である。コレクタエミッタ電圧 V_{ce} が V_2 から V_{max} までの間は、コレクタエミッタ電圧 V_{ce} が増加するほど許容されるコレクタ電流 I_c は小さくなる。このように、コレクタエミッタ電圧 V_{ce} に応じてコレクタ電流 I_c の上限値は変化する。

【 0 1 1 5 】

したがって、キャパシタ電圧 V_c に応じて、アーム電流 I_{arm} のピーク値が S O A の上限値に一致するように交流電流 I_{ac} の実効値または振幅値の大きさを決定する。アーム電流 I_{arm} は、電力変換器 2 の交流出力電流 I_{ac} と直流出力電流 I_{dc} と電力変換器 2 の内部を流れる循環電流 I_z との和によって決まるので、交流電流 I_{ac} を増やすこと
30

【 0 1 1 6 】

具体的に図 1 2 の場合には、キャパシタ電圧 V_c の値 V_1 が過大であったとする。このときのアーム電流 I_{arm} の上限値は I_1 であるので、交流電流制御部 6 0 3 は、アーム電流 I_{arm} のピーク値が I_1 に一致するように、交流電流 I_{ac} の振幅値または実効値を定める。その後、キャパシタ 3 2 の放電によりキャパシタ電圧 V_c が低下するにつれて、アーム電流 I_{arm} の上限値は増加する。したがって、交流電流制御部 6 0 3 は、キャパシタ電圧 V_c の大きさに応じて交流電流 I_{ac} の実効値または振幅値を増やす。これにより、安全にかつ高速にキャパシタ 3 2 を放電することができる。なお、キャパシタ電圧
40

【 0 1 1 7 】

[交流電流制御部の構成例]

図 1 3 は、実施の形態 3 の電力変換装置における交流電流制御部の構成例を示すブロック図である。

【 0 1 1 8 】

図 1 3 に示す交流電流制御部 6 0 3 は、加算器 6 2 4 をさらに含む点で図 6 の交流電流制御部 6 0 3 と異なる。加算器 6 2 4 は、交流電流指令値 I_{acref} に交流電流指令値
50

の加算量 I_{acref} を加算する。減算器 620 は、加算量 I_{acref} が加算された交流電流指令値 I_{acref} と交流電流 I_{ac} の検出値との偏差を演算する。

【0119】

放電制御部 607 は、運転モード OM が放電運転モードの場合に、キャパシタ電圧 V_c に応じた加算量 I_{acref} を加算器 624 に出力する。図 13 のその他の点は図 6 の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

【0120】

[放電運転モードにおける電力変換器 2 の制御手順]

図 14 は、実施の形態 3 の電力変換装置において、放電運転モードにおける放電制御部および交流電流制御部の動作を説明するためのフローチャートである。図 14 のフローチャートは、ステップ S280 がステップ S285 に変更された点で図 9 のフローチャートと異なる。図 14 のその他のステップは図 9 の場合と同様であるので、同一または相当するステップには同一の参照符号を付して説明を繰り返さない。

10

【0121】

図 14 のステップ S285 において、交流電流制御部 603 は、キャパシタ電圧 V_c の低下に応じてアーム電流 I_{arm} のピーク値が SOA の上限値に等しくなるように、交流電流指令値 I_{acref} の実効値または振幅値を決定する。もしくは、交流電流制御部 603 は、交流電流指令値 I_{acref} を変更せずに、キャパシタ電圧 V_c の低下に応じてアーム電流 I_{arm} のピーク値が SOA の上限値に等しくなるように、交流制御指令値 V_{cr} を変更してもよい。

20

【0122】

[実施の形態 3 の効果]

以上のとおり、実施の形態 3 の電力変換装置 1 によれば、制御装置 3 は、放電運転モードにおいて、SOA の範囲内で交流電流 I_{ac} の実効値または振幅値をできるだけ大きくするように電力変換器 2 を制御する。これによって、各変換器セル 7 のスイッチング素子 31 を破損させることなく、最速でキャパシタ 32 の放電を行うことができる。

【0123】

実施の形態 4 .

実施の形態 4 の電力変換装置 1 では、放電運転モードにおいて、パルス幅制御におけるキャリア周波数を増大させる。これによってスイッチング素子 31 のスイッチング損失を増大させることができるので、キャパシタ 32 の放電を早めることができる。

30

【0124】

以下では、まず、図 7 の個別セル制御部 202 のより詳細な構成と、パルス幅制御について説明した後、実施の形態 4 の電力変換装置 1 における放電運転モードの特徴について説明する。なお、実施の形態 4 の電力変換装置 1 のハードウェア構成および制御装置 3 の機能的構成は実施の形態 1 の場合と同様であるので説明を繰り返さない。なお、実施の形態 4 は、実施の形態 1 だけでなく実施の形態 2 と組み合わせることができる。また、実施の形態 3 , 4 の両方を実施の形態 1 または実施に形態 2 に適用することができる。

【0125】

図 15 は、図 7 に示された個別セル制御部 202 の構成例を示すブロック図である。

図 15 を参照して、個別セル制御部 202 は、キャリア発生器 203 と、個別電圧制御部 205 と、加算器 206 と、ゲート信号生成部 207 とを備える。

40

【0126】

キャリア発生器 203 は、位相シフト PWM (Pulse Width Modulation) 制御で用いられる、ある定められた周波数 (すなわち、キャリア周波数) を有するキャリア信号 CS を生成する。位相シフト PWM 制御とは、同一アーム (上アーム 5 または下アーム 6) を構成する複数 (N_{cell} 個) の変換器セル 7 のそれぞれに対して出力される PWM 信号のタイミングを相互にずらすものである。これによって、各変換器セル 7 の出力電圧の合成電圧に含まれる高調波成分が削減されることが知られている。

50

【0127】

キャリア発生器203は、基本制御部502から受信した共通の基準位相 i およびキャリア周波数 f_c に基づいて、上記 N_{cell} 個の変換器セル7の間で相互に位相のずれたキャリア信号 CS を生成する。

【0128】

個別電圧制御部205には、キャパシタ電圧指令値 V_{cref} と、対応する変換器セル7のキャパシタ電圧 V_c と、対応する変換器セル7が属するアームのアーム電流 I_{arm} の検出値とを受ける。キャパシタ電圧指令値 V_{cref} は、電力変換器2の全体のキャパシタ電圧 V_c の平均値に設定されてもよいし、同一アームに含まれる N_{cell} 個の変換器セル7のキャパシタ電圧の平均値に設定されてもよい。

10

【0129】

個別電圧制御部205は、キャパシタ電圧指令値 V_{cref} に対するキャパシタ電圧 V_c の偏差に演算を施して、個別電圧制御のための制御出力 $dkref$ を算出する。個別電圧制御部205についても、PI制御またはPID制御等を実行する制御器によって構成することが可能である。また、上記制御器による演算値に対して、アーム電流 I_{arm} の極性に依じて、「+1」または「-1」を乗算することによって、上記偏差を解消する方向にキャパシタ32を充放電するための制御出力 $dkref$ が算出される。もしくは、上記制御器による演算値に対して、アーム電流 I_{arm} を乗算することによって、上記偏差を解消する方向にキャパシタ32を充放電するための制御出力 $dkref$ を算出してもよい。

20

【0130】

加算器206は、基本制御部502からのアーム電圧指令値 $kref$ と、個別電圧制御部205の制御出力 $dkref$ とを加算することによって、セル電圧指令値 $krefc$ を出力する。

【0131】

ゲート信号生成部207は、キャリア発生器203からのキャリア信号 CS によって、セル電圧指令値 $krefc$ をPWM変調することでゲート信号 ga を生成する。

【0132】

図16は、図15に示されたゲート信号生成部によるPWM変調制御を説明するための概念的な波形図である。なお、図16に示された信号波形は説明のために誇張したものであり、実際の信号波形をそのまま示したのではない。

30

【0133】

図16を参照して、セル電圧指令値 $krefc$ は、代表的には三角波で構成されるキャリア信号 CS と、電圧比較される。セル電圧指令値 $krefc$ の電圧が、キャリア信号 CS の電圧よりも高いときには、PWM変調信号 $Spwm$ はハイレベル（Hレベル）に設定される。反対に、キャリア信号 CS の電圧がセル電圧指令値 $krefc$ の電圧よりも高いときには、PWM変調信号 $Spwm$ はローレベル（Lレベル）に設定される。

【0134】

たとえば、PWM変調信号 $Spwm$ のHレベル期間では、図2(A)の変換器セル7において、スイッチング素子31pをオンする一方で、スイッチング素子31nをオフするようにゲート信号 $ga(n=2)$ が生成される。反対に、PWM変調信号 $Spwm$ のLレベル期間では、スイッチング素子31nをオンする一方で、スイッチング素子31pをオフするようにゲート信号 $ga(n=2)$ が生成される。

40

【0135】

ゲート信号 ga として、変換器セル7のスイッチング素子31p、31nのゲートドライバ（図示せず）に送出されることによって、変換器セル7のスイッチング素子31p、31nがオンオフ制御される。

【0136】

セル電圧指令値 $krefc$ は、制御出力 $dkref$ によって修正された、正弦波電圧に相当する。したがって、制御装置3では、当該正弦波電圧（アーム電圧指令値 $kref$ ）

50

の振幅（または、実効値）と、キャリア信号CSの振幅から、PWM変調での変調率指令値を公知の手法によって算出することが可能である。

【0137】

[放電運転モードにおける電力変換器2の制御手順]

図17は、実施の形態4の電力変換器におけるキャリア周波数の設定について説明するためのフローチャートである。初期状態において、制御装置3は通常運転モードであるとする。

【0138】

制御装置3は、通常運転モードから放電運転モードに切り替える場合に（ステップS300でYES）、処理をステップS310に進める。ステップS310において、制御装置3は、キャリア周波数 f_c を通常運転モードの場合よりも大きく設定する。スイッチング素子31の動作温度の上限値によって決まる限界周波数までキャリア周波数 f_c を大きくしたほうが、スイッチング素子31の損失が増大させることのできるため、キャパシタ32の放電を早めることができる。

【0139】

放電運転モードが維持される場合には（ステップS310でNO）、上記のステップS310が継続される。一方、放電運転モードから通常運転モードに切り替える場合には（ステップS310でYES）、次のステップS330において、制御装置3はキャリア周波数 f_c を元の通常運転モードの設定値に戻す。

【0140】

[実施の形態4の効果]

以上のとおり、実施の形態4の電力変換装置1によれば、制御装置3は、放電運転モードにおいて、位相シフトPWM制御におけるキャリア周波数 f_c を通常運転モードの場合より大きな値に設定する。これによって、変換器セル7のスイッチング素子31におけるスイッチング損失を増大させることができるため、キャパシタ32の放電を早めることができる。

【0141】

実施の形態5 .

実施の形態5の電力変換装置1では、アクティブゲートドライブを用いることによって、放電運転モードにおけるスイッチング素子31の損失を増大させる。これによって、キャパシタ32の放電を早めることができる。以下、図面を参照して具体的に説明する。なお、実施の形態5は、実施の形態1または実施の形態2のいずれとも組み合わせることができる。また、実施の形態3, 5の両方、実施の形態4, 5の両方、または実施の形態3, 4, 5の全てを実施の形態1または実施の形態2に適用できる。

【0142】

[アクティブゲートドライブの構成例]

図18は、実施の形態5の電力変換装置において、電力変換器を構成する変換器セルの構成例を示す回路図である。実施の形態5の場合には、変換器セル7は、スイッチング素子31のアクティブゲートドライブが可能なゲートドライバを備える。

【0143】

具体的に、図18の回路図(A)は、制御信号actに応じて抵抗値が可変のゲート抵抗器34p, 34nをさらに備える点で図2の回路図(A)と異なる。同様に、図18の回路図(B)は、制御信号actに応じて抵抗値が可変のゲート抵抗器34p1, 34p2, 34n1, 34n2をさらに備える点で図2の回路図(B)と異なる。図18のその他の点は図2の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

【0144】

図18において、ゲート抵抗器34p, 34nおよびゲート抵抗器34p1, 34p2, 34n1, 34n2を総称する場合またはいずれか1つを示す場合には、ゲート抵抗器34と記載する。図18では、ゲート抵抗器34として可変抵抗器が設けられているが、

10

20

30

40

50

ゲート抵抗器 3 4 は、複数の抵抗器の接続を切り替えることによって抵抗値を変更するように構成されていてもよい。

【 0 1 4 5 】

図 1 9 は、実施の形態 5 の電力変換装置において、個別セル制御部の構成例を示すブロック図である。図 1 9 の個別セル制御部 2 0 2 は、ゲートドライブ制御部 2 0 8 をさらに含む点で図 1 2 の個別セル制御部 2 0 2 と異なる。図 1 9 のその他の点は図 1 2 の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

【 0 1 4 6 】

図 1 8 および図 1 9 を参照して、個別セル制御部 2 0 2 のゲートドライブ制御部 2 0 8 は、制御装置 3 の運転モードが通常運転モードから放電運転モードに切り替わった場合に、制御信号 *act* を活性化させる。これにより、ゲートドライブ制御部 2 0 8 は、対応する変換器セル 7 のゲート抵抗値を増大させる。この結果、変換器セル 7 のスイッチング素子 3 1 のスイッチング時間が増大するためにスイッチング損失が増大するので、キャパシタ 3 2 の放電を早めることができる。

【 0 1 4 7 】

なお、スイッチング素子 3 1 のスイッチング損失を変更するものであれば、アクティブゲートドライブの手法はゲート抵抗を変更する方式には限定されない。たとえば、ゲート抵抗値を増大させる以外の方法でスイッチング時間を増加させてもよい。

【 0 1 4 8 】

[放電運転モードにおける電力変換器 2 の制御手順]

図 2 0 は、実施の形態 5 の電力変換器におけるゲート抵抗の設定について説明するためのフローチャートである。初期状態において、制御装置 3 は通常運転モードであるとする。

【 0 1 4 9 】

制御装置 3 は、通常運転モードから放電運転モードに切り替える場合に (ステップ S 4 0 0 で Y E S)、処理をステップ S 4 1 0 に進める。ステップ S 4 1 0 において、制御装置 3 は、各変換器セル 7 のスイッチング素子 3 1 に対応して設けられたゲート抵抗器 3 4 の抵抗値を通常運転モードの場合よりも大きく設定する。

【 0 1 5 0 】

放電運転モードが維持される場合には (ステップ S 4 1 0 で N O)、上記のステップ S 4 1 0 が継続される。一方、放電運転モードから通常運転モードに切り替える場合には (ステップ S 4 1 0 で Y E S)、次のステップ S 4 3 0 において、制御装置 3 はゲート抵抗値を元の通常運転モードの設定値に戻す。

【 0 1 5 1 】

[実施の形態 5 の効果]

以上のとおり、実施の形態 5 の電力変換装置 1 によれば、制御装置 3 は、放電運転モードにおいて、アクティブゲートドライブを用いることにより、スイッチング素子 3 1 の損失を通常運転モードの場合よりも増大させるように各変換器セル 7 を制御する。これにより、キャパシタ 3 2 の放電を早めることができる。

【 0 1 5 2 】

今回開示された実施の形態はすべての点で例示であって制限的なものでないと考えられるべきである。この出願の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 符号の説明 】

【 0 1 5 3 】

1 電力変換装置、2 電力変換器、3 制御装置、4 レグ回路、5 上アーム、6 下アーム、7 変換器セル、8 A , 8 B リアクトル、9 A , 9 B アーム電流検出器、10 交流電圧検出器、11 A , 11 B 直流電圧検出器、12 交流回路、13 変圧器、14 直流回路、15 , 21 バイパス開閉器、16 交流電流検出器、17 直

10

20

30

40

50

流電流検出器、18、22 限流抵抗器、19 交流遮断器、20、23A、23B 短絡開閉器、31 スwitching素子、32 蓄電素子(キャパシタ)、33 電圧検出器、34 ゲート抵抗器、70 入力変換器、71 サンプルホールド回路、72 マルチプレクサ、73 A/D変換器、74 CPU、75 RAM、76 ROM、77 入出力インターフェイス、78 補助記憶装置、79 バス、202 個別セル制御部、203 キャリア発生器、205 個別電圧制御部、207 ゲート信号生成部、208 ゲートドライブ制御部、502 基本制御部、503 アーム制御部、504 交流遮断器制御部、505 短絡開閉器制御部、506 限流抵抗制御部、601 アーム電圧指令生成部、602 キャパシタ電圧指令生成部、603 交流電流制御部、604 直流電流制御部、605 循環電流制御部、606 指令分配部、607 放電制御部、Ia c r e f 交流電流指令値、I a c u , I a c v , I a c w 交流電流、I a r m アーム電流、I d c 直流出力電流、I d c r e f 直流電流指令値、I z 循環電流、I z r e f 循環電流指令値、N n 低電位側直流端子、N p 高電位側直流端子、N u , N v , N w 交流入力端子、P 1 , P 2 入出力端子、V s y s u , V s y s v , V s y s w 交流電圧、V c キャパシタ電圧、V c r 交流制御指令値、V d c , V d c n , V d c p 直流電圧、V d c r 直流制御指令値、V d c r e f 直流電圧指令値、V s n 中性点電圧、V z r 循環制御指令値、f c キャリア周波数、g a ゲート信号、k r e f , k r e f n , k r e f p アーム電圧指令値、k r e f c セル電圧指令値。

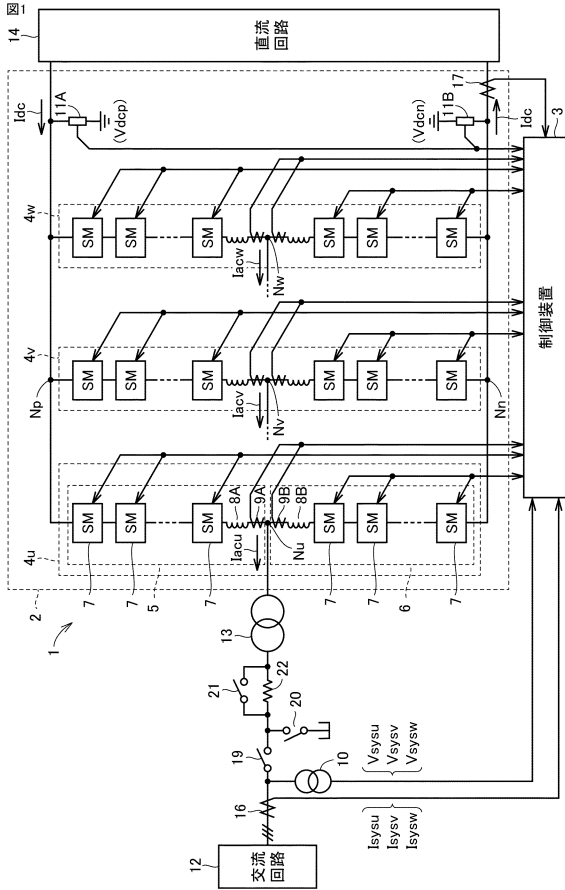
10

【要約】

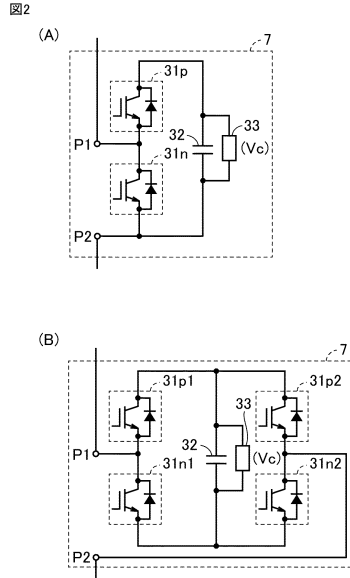
電力変換装置(1)において、複数の変換器セル(7)の各々は、一対の入出力端子と、複数のスイッチング素子と、複数のスイッチング素子を介して入出力端子と電氣的に接続される蓄電素子とを含む。限流抵抗器(22)は、電力変換器(2)の交流出力電流の経路に接続される。バイパス開閉器(21)は、限流抵抗器(22)と並列に接続される。短絡開閉器(20)は、交流遮断器(19)と限流抵抗器(22)との間の交流線路を短絡する。制御装置(3)は、放電運転モードにおいて、交流遮断器(19)およびバイパス開閉器(21)を開放状態にし、かつ短絡開閉器(20)を閉路状態にした状態で、複数の変換器セル(7)の各々の各スイッチング素子をスイッチングさせることにより、電力変換動作を行う。

20

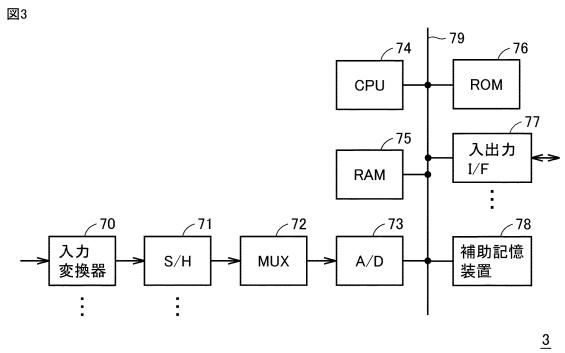
【図1】



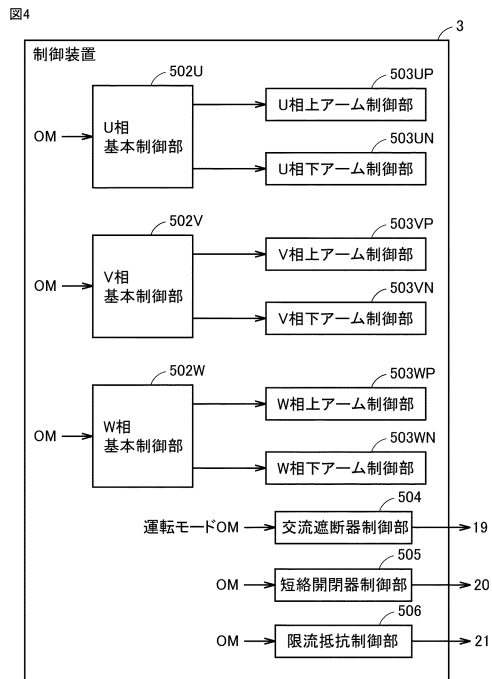
【図2】



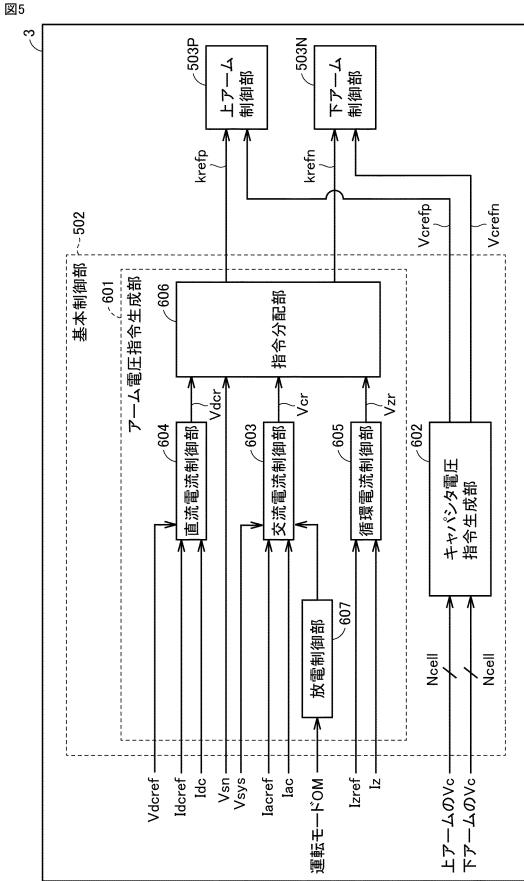
【図3】



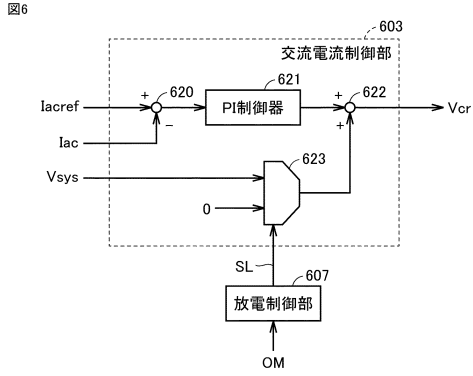
【図4】



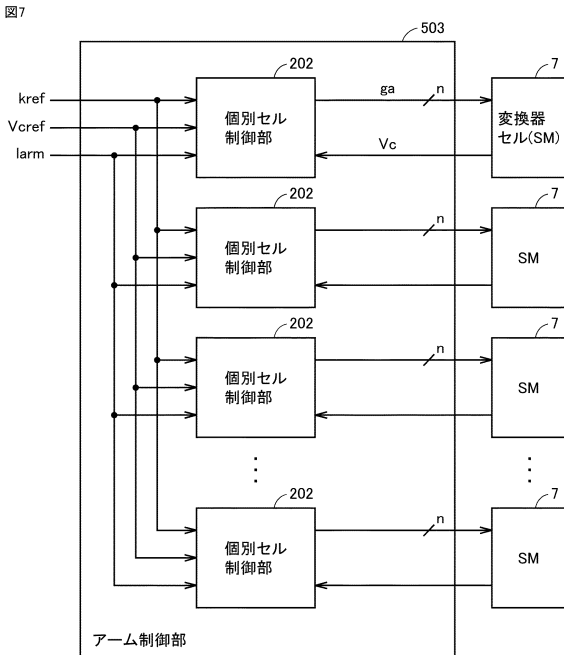
【図5】



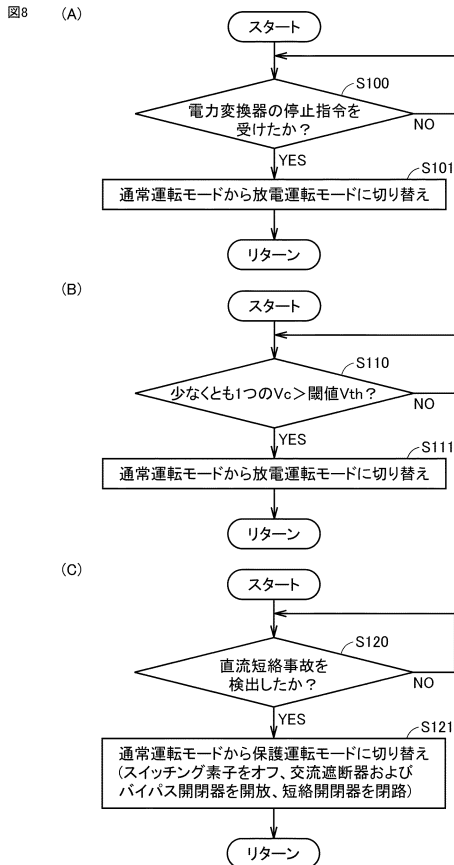
【図6】



【図7】

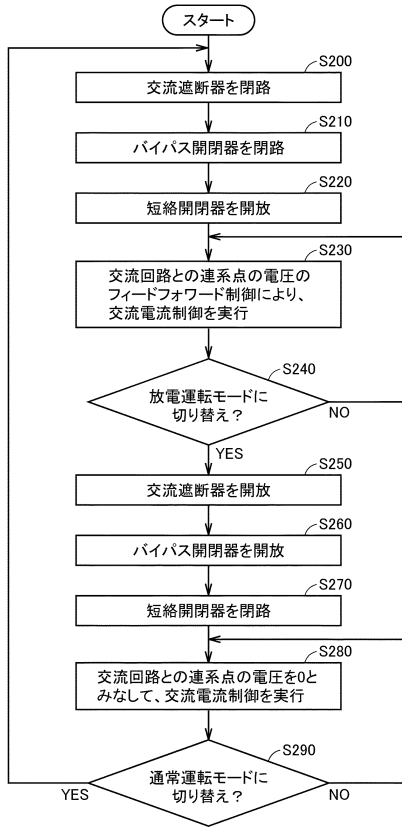


【図8】



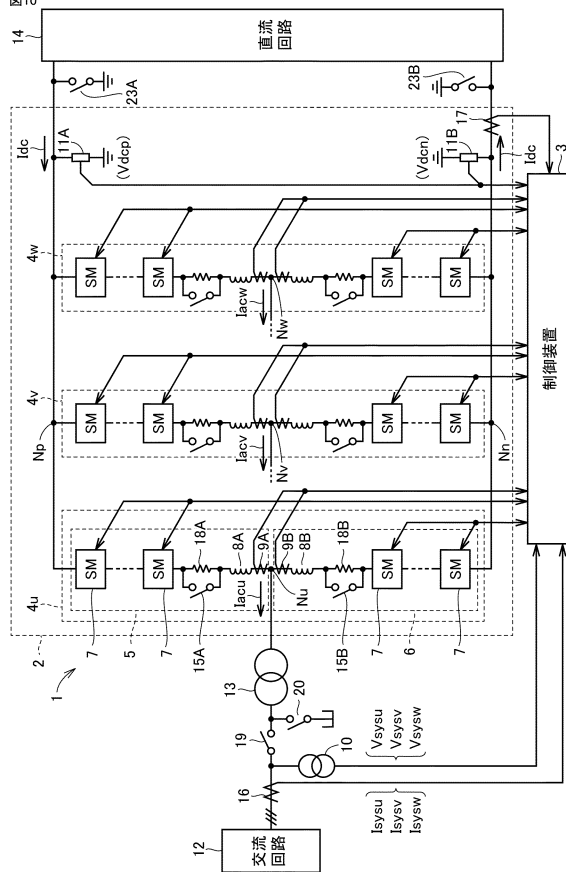
【図9】

図9



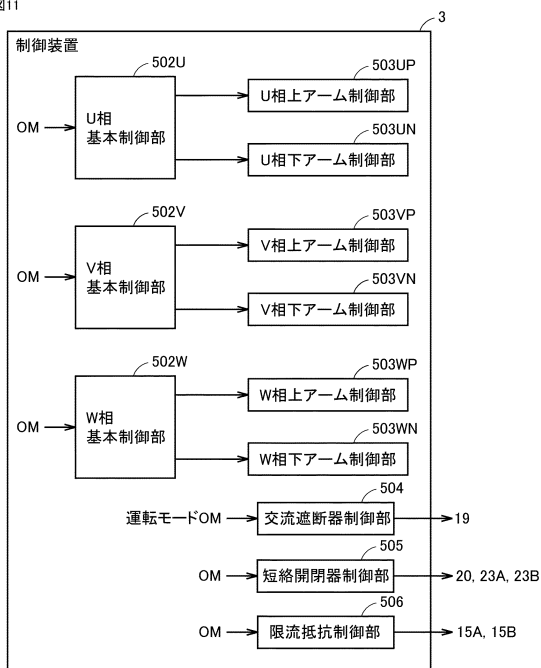
【図10】

図10



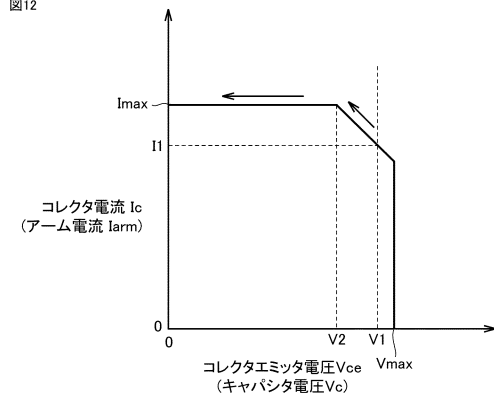
【図11】

図11



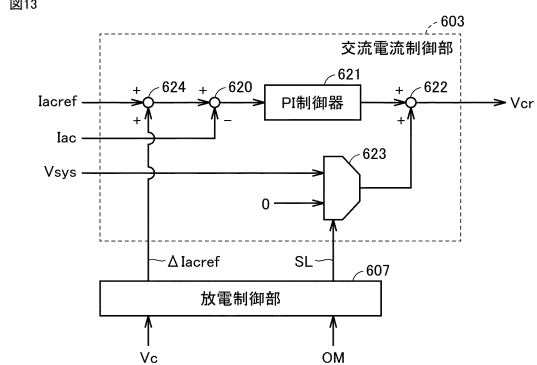
【図12】

図12



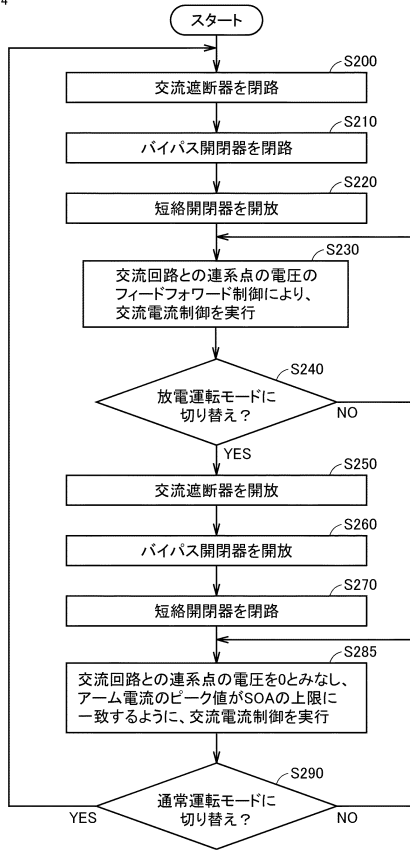
【図13】

図13



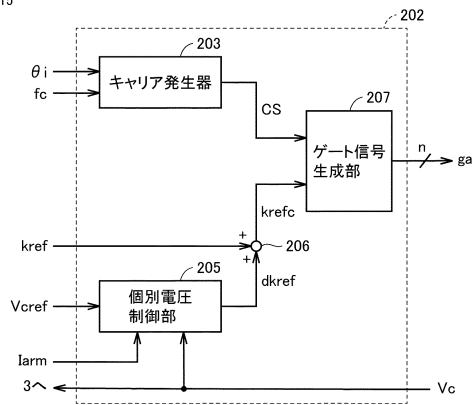
【図14】

図14



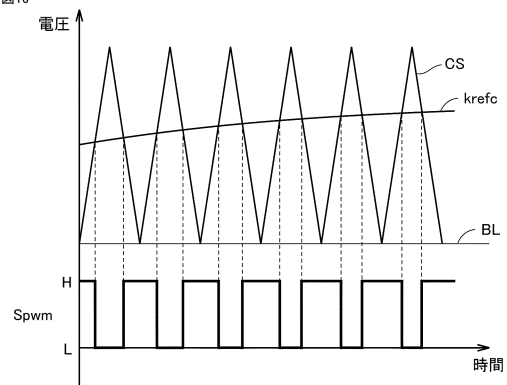
【図15】

図15



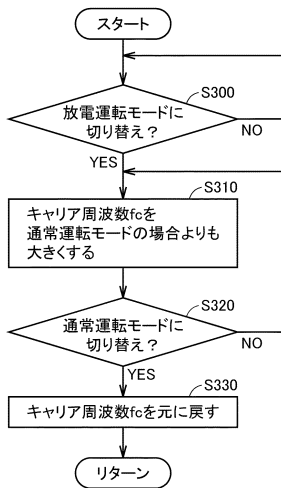
【図16】

図16



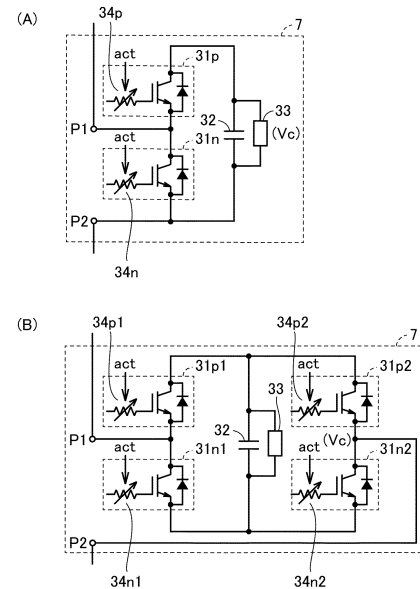
【図17】

図17



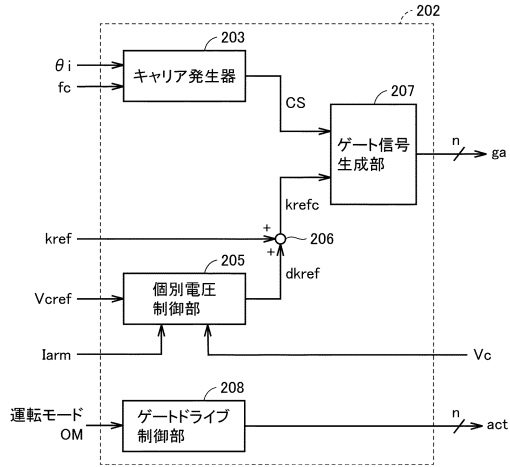
【図18】

図18



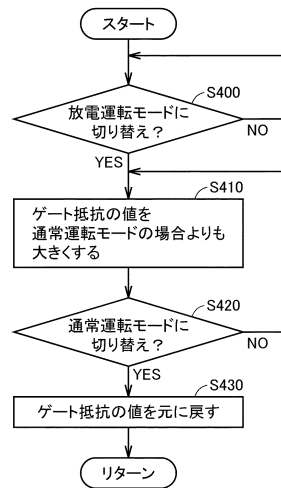
【図19】

図19



【図20】

図20



フロントページの続き

(72)発明者 田畠 和順
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 麻生 哲朗

(56)参考文献 特開2018-170832(JP, A)
国際公開第2018/051587(WO, A1)
特許第6526372(JP, B1)

(58)調査した分野(Int.Cl., DB名)
H02M 7/48