



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년05월28일  
 (11) 등록번호 10-1861084  
 (24) 등록일자 2018년05월18일

(51) 국제특허분류(Int. Cl.)  
*G11C 16/34* (2006.01) *G11C 16/10* (2006.01)  
 (21) 출원번호 10-2011-0068607  
 (22) 출원일자 2011년07월11일  
 심사청구일자 2016년07월05일  
 (65) 공개번호 10-2013-0007932  
 (43) 공개일자 2013년01월21일  
 (56) 선행기술조사문헌  
 US20110058427 A1\*  
 (뒷면에 계속)

(73) 특허권자  
**삼성전자주식회사**  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
**박재우**  
 경기도 수원시 영통구 영통로 232, 벽적골8단지아파트 804동 102호 (영통동)  
**임정노**  
 경기도 군포시 고산로677번길 34, 1130동 1103호 (산본동, 개나리아파트)  
 (74) 대리인  
**한지희, 윤재석, 권영규**

전체 청구항 수 : 총 10 항

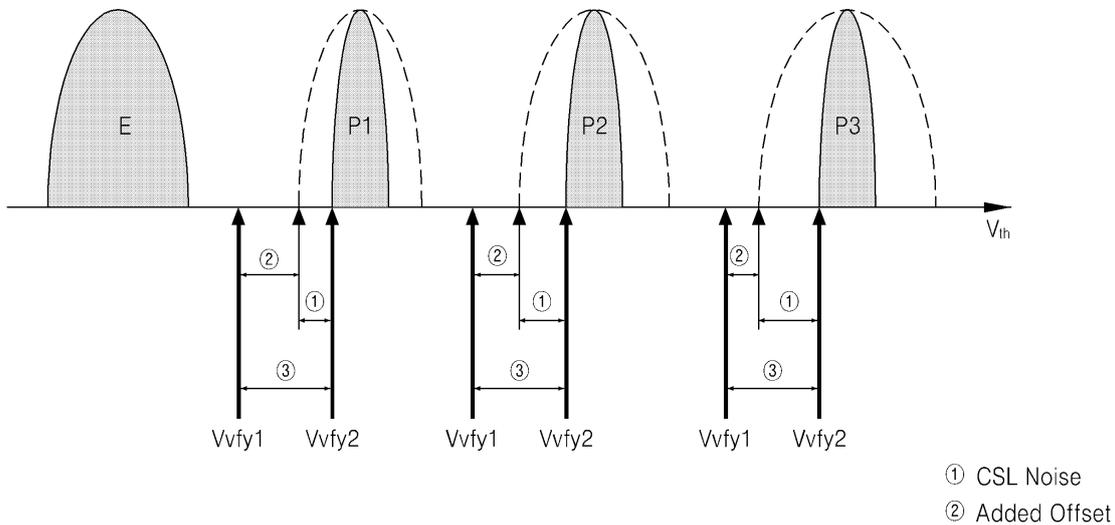
심사관 : 한선경

(54) 발명의 명칭 **비휘발성 메모리 장치, 이의 동작 방법, 및 비휘발성 메모리 장치를 포함하는 전자 장치**

**(57) 요약**

비휘발성 메모리 장치, 이의 동작 방법이 개시된다. 상기 비휘발성 메모리 장치의 동작방법은 (a) 다수의 비휘발성 메모리 셀들에 대한 기설정된 복수의 부가 오프셋들을 저장하는 단계, (b) 상기 메모리 셀에 대하여, 상기 프로그램된 메모리 셀의 CSL 노이즈 레벨에 상응하여 상기 부가 오프셋들 중 어느 하나를 선택하는 단계, (c) 상기 선택된 부가 오프셋을 2단계 검증전압에 반영하는 단계 및 (d) 상기 검증전압으로 상기 프로그램된 메모리 셀 각각에 대한 검증을 수행하는 단계를 포함한다.

**대표도** - 도4a



(56) 선행기술조사문헌

W02009085705 A1

W02009082637 A1

W02011008367 A1

KR1020100091413 A

KR1020100004767 A

JP2002216489 A

\*는 심사관에 의하여 인용된 문헌

---

**명세서**

**청구범위**

**청구항 1**

- (a) 복수의 비휘발성 메모리 셀들에 대한 기설정된 복수의 부가 오프셋들을 저장하는 단계;
  - (b) 상기 메모리 셀이 프로그램되면, 프로그램된 메모리 셀의 공통소스라인(CSL)의 노이즈 레벨에 상응하여 상기 기설정된 복수의 부가 오프셋들 중 어느 하나를 선택하는 단계;
  - (c) 상기 선택된 부가 오프셋을 제1단계 프로그램-검증동작을 위한 제1 검증전압 또는 제2단계 프로그램-검증동작을 위한 제2 검증전압 중 어느 하나에 반영하는 단계; 및
  - (d) 상기 제1 및 제2 검증전압을 이용하여 상기 프로그램된 메모리 셀 각각에 대한 검증을 수행하는 단계를 포함하며,
- 상기 선택된 부가 오프셋이 상기 제1 검증전압 또는 상기 제2 검증전압 중 어느 하나에 반영되어 상기 제1 검증전압과 상기 제2 검증전압 간의 레벨 차이가 달라지는 것을 특징으로 하는 비휘발성 메모리 장치의 동작방법.

**청구항 2**

제1항에 있어서, 상기 부가 오프셋은  
 상기 메모리 셀의 워드라인 위치가 공통소스라인에 가까울수록 상기 부가 오프셋이 커지는 비휘발성 메모리 장치의 동작방법.

**청구항 3**

제1항에 있어서, 상기 부가 오프셋은  
 상기 메모리 셀의 프로그램 횟수가 증가할수록 상기 부가 오프셋이 커지는 비휘발성 메모리 장치의 동작방법.

**청구항 4**

제1항에 있어서, 상기 부가 오프셋은  
 상기 메모리 셀의 프로그램 산포 상태가 증가할수록 상기 부가 오프셋이 작아지는 비휘발성 메모리 장치의 동작방법.

**청구항 5**

제1항에 있어서, 상기 (c) 단계는  
 상기 부가 오프셋을 상기 제1 검증전압에 부가하여 상기 제1단계 프로그램-검증동작을 수행하는 비휘발성 메모리 장치의 동작방법.

**청구항 6**

복수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이;  
 기설정된 복수의 부가 오프셋들을 저장하고, 상기 메모리 셀이 프로그램되면 프로그램된 메모리 셀의 공통소스라인(CSL)의 노이즈 레벨에 상응하여 상기 기설정된 복수의 부가 오프셋 중 어느 하나를 선택하며, 상기 선택된 부가 오프셋을 제1단계 프로그램-검증동작을 위한 제1 검증전압 또는 제2단계 프로그램-검증동작을 위한 제2 검증전압 중 어느 하나에 반영하도록 제어하는 제어신호를 생성하는 컨트롤 회로; 및  
 상기 메모리 셀에 대한 프로그램-검증 동작을 수행할 때 상기 제어신호에 따라 상기 제1 및 제2 검증전압을 생성하는 전압 발생기를 포함하고,  
 상기 제1 및 제2 검증전압에 의해 2단계 검증을 수행하며,

상기 선택된 부가 오프셋이 제1 검증전압 또는 상기 제2 검증전압 중 어느 하나에 반영되어 상기 제1 검증전압과 상기 제2 검증전압 간의 레벨 차이가 달라지는 것을 특징으로 하는 비휘발성 메모리 장치.

**청구항 7**

제6항에 있어서, 상기 부가 오프셋은

상기 메모리 셀의 워드라인 위치가 공통소스라인에 가까울수록 상기 부가 오프셋이 커지는 비휘발성 메모리 장치.

**청구항 8**

제6항에 있어서, 상기 부가 오프셋은

상기 메모리 셀의 프로그램 횟수가 증가할수록 상기 부가 오프셋이 커지는 비휘발성 메모리 장치.

**청구항 9**

제6항에 있어서, 상기 부가 오프셋은

상기 메모리 셀의 프로그램 산포 상태가 증가할수록 상기 부가 오프셋이 작아지는 비휘발성 메모리 장치.

**청구항 10**

제6항의 비휘발성 메모리 장치; 및

상기 메모리 장치의 동작을 제어하기 위한 메모리 컨트롤러를 포함하는 멀티칩패키지(Multi-Chip Package).

**발명의 설명**

**기술 분야**

[0001] 본 발명의 개념에 따른 실시 예는 비휘발성 메모리 장치에 관한 것으로, 특히 공통 소스 라인(common source line)의 노이즈 레벨(noise level)에 따라 프로그램 검증 동작을 제어할 수 있는 비휘발성 메모리 장치, 이의 동작 방법, 및 상기 비휘발성 메모리 장치를 포함하는 전자 장치에 관한 것이다.

**배경 기술**

[0002] 반도체 메모리 장치는 휘발성(volatile) 메모리 장치와 비휘발성 메모리 (non-volatile) 장치로 분류된다. 상기 휘발성 메모리 장치는 DRAM(dynamic random access memory)과 SRAM(Static random access memory) 등을 포함하고, 상기 비휘발성 메모리 장치는 플래시(flash) 메모리, EEPROM(Electrically Erasable Programmable Read-Only Memory), 및 저항성(resistive) 메모리를 포함한다.

[0003] 상기 플래시 메모리는 데이터를 저장하기 위한 메모리 셀 어레이를 포함한다. 상기 메모리 셀 어레이는 다수의 메모리 블록들을 포함하고, 상기 다수의 메모리 블록들 각각은 다수의 페이지들(pages)을 포함한다. 상기 다수의 페이지들 각각은 다수의 메모리 셀들을 포함한다.

[0004] 상기 다수의 메모리 셀들 각각은, 문턱 전압(threshold voltage)의 분포 (distribution)에 따라, 온 셀(on cell)과 오프 셀(off cell)로 분류된다. 상기 온 셀은 이레이즈된 셀(erased cell)이고 상기 오프 셀은 프로그램된 셀(programed cell)이다.

[0005] 플래시 메모리는 메모리 블록(memory block) 단위로 이레이즈 동작을 수행하고, 페이지 단위로 프로그램 동작 또는 리드 동작을 수행한다.

[0006] 플래시 메모리는 셀 스트링 구조(cell string structure)를 포함한다. 셀 스트링은 스트링 선택 라인(string selection line(SSL))에 접속된 스트링 선택 트랜지스터와 접지 선택 라인(ground selection line(GSL))에 접속된 접지 선택 트랜지스터 사이에 직렬로 접속된 다수의 트랜지스터들을 포함한다. 상기 스트링 선택 트랜지스터는 비트 라인(bit line)에 접속되고 상기 접지 선택 트랜지스터는 공통 소스 라인(common source line(CSL))에 접속된다.

[0007] 다수의 메모리 셀들 각각은 하나의 비트를 저장하기 위한 SLC(single level cell) 또는 다수의 비트들을 저장하

기 위한 MLC(multi level cell)로 구현될 수 있다. 상기 MLC는 문턱 전압에 따라 이레이즈 상태와 다수의 프로그램 상태들을 갖는다.

[0008] MLC는 프로그램 상태의 문턱 전압의 분포의 폭을 좁혀 다수의 프로그램 상태들 각각의 마진(margin)을 확보하는 것이 중요하다. CSL 노이즈는 상기 다수의 프로그램 상태들 각각의 문턱 전압의 분포의 폭을 넓히는 원인이 된다.

[0009] CSL 노이즈는 리드 동작 동안 또는 프로그램-검증 동작 동안 온 셀에 흐르는 전류로 인하여 상기 CSL의 전압이 상승하는 것을 의미한다. 동일한 워드 라인 전압 또는 동일한 비트 라인 전압에서도, CSL 노이즈로 인하여 접지 선택 트랜지스터의 소스 노드의 전압 레벨이 상승하면 온 셀에 흐르는 전류가 감소한다. 이는 온 셀의 문턱 전압을 상승시키는 효과를 발생시키므로, 온 셀이 오프 셀로 잘못 판단될 수 있다. 이는 리드 동작 또는 프로그램-검증 동작의 에러를 유발시키는 원인이 된다.

**발명의 내용**

**해결하려는 과제**

[0010] 본 발명이 이루고자 하는 기술적인 과제는 공통 소스 라인의 노이즈를 줄여 프로그램된 메모리 셀에 대하여 정확한 검증 동작을 수행할 뿐 아니라 프로그램 성능을 향상시킬 수 있는 비휘발성 메모리 장치, 이의 동작 방법, 및 상기 비휘발성 메모리 장치를 포함하는 전자 장치를 제공하는 것이다.

**과제의 해결 수단**

[0011] 상술한 기술적 과제를 해결하기 위하여, 본 발명의 일실시예에 따른 비휘발성 메모리 장치의 동작 방법은 (a) 다수의 비휘발성 메모리 셀들에 대한 기설정된 복수의 부가 오프셋들을 저장하는 단계; (b) 상기 메모리 셀에 대하여, 상기 프로그램된 메모리 셀의 CSL 노이즈 레벨에 상응하여 상기 부가 오프셋들 중 어느 하나를 선택하는 단계; (c)상기 선택된 부가 오프셋을 2단계 검증전압에 반영하는 단계; 및 (d)상기 검증전압으로 상기 프로그램된 메모리 셀 각각에 대한 검증을 수행하는 단계를 포함한다.

[0012] 상기 부가 오프셋은 상기 메모리 셀의 워드라인 위치가 공통소스라인에 가까울수록 커진다.

[0013] 상기 부가 오프셋은 상기 메모리 셀에의 프로그램 횟수가 증가할수록 커진다.

[0014] 상기 부가 오프셋은 상기 메모리 셀의 프로그램 산포 상태가 증가할수록 작아진다.

[0015] 상기 (c) 단계는 상기 부가 오프셋을 제1 검증 전압에 부가하여 제1단계 프로그램-검증동작을 수행할 수 있다.

[0016] 상술한 기술적 과제를 해결하기 위하여, 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치는 다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이; 기설정된 복수의 부가 오프셋들을 저장하고, 상기 메모리 셀이 프로그램되면 상기 프로그램된 메모리 셀의 CSL 노이즈 레벨에 상응하여 상기 복수의 부가 오프셋 중 어느 하나를 선택하며, 상기 선택된 부가 오프셋을 검증전압에 반영하도록 제어하는 제어신호를 생성하는 컨트롤 회로; 및 상기 메모리 셀에 대한 프로그램-검증 동작을 수행할 때 상기 제어신호에 따라 검증 전압을 생성하는 전압 발생기를 포함한다.

[0017] 상기 부가 오프셋은 상기 메모리 셀의 워드라인 위치가 공통소스라인에 가까울수록 커진다.

[0018] 상기 부가 오프셋은 상기 메모리 셀에의 프로그램 횟수가 증가할수록 커진다.

[0019] 상기 부가 오프셋은 상기 메모리 셀의 프로그램 산포 상태가 증가할수록 작아진다.

**발명의 효과**

[0020] 본 발명의 실시 예에 따른 비휘발성 메모리 장치는 2단계 프로그램 검증 동작의 성능을 높이기 위하여 공통소스 라인의 노이즈 레벨에 따라 다수의 메모리 셀들 각각에 대한 부가 오프셋을 조절함으로써 최적 오프셋으로 조정할 수 있는 효과가 있다.

[0021] 따라서 상기 비휘발성 메모리 장치는 프로그램 검증 동작시 발생하는 에러를 줄일 수 있는 효과가 있다.

**도면의 간단한 설명**

[0022] 도 1은 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 블록도를 나타낸다.

도 2는 도 1에 도시된 메모리 셀 어레이의 일 실시 예를 나타낸다.

도 3은 도 1에 도시된 메모리 셀 어레이의 다른 실시 예를 나타낸다.

도 4a는 도 1에 도시된 메모리 셀 어레이에 포함된 다수의 비휘발성 메모리 셀들의 문턱전압의 분포 및 프로그램 검증 동작시의 전압들을 나타낸 다이어그램이다.

도 4b는 도 1에 도시된 메모리 셀 어레이에 포함된 다수의 비휘발성 메모리 셀들의 프로그램 상태에 따른 오프셋을 나타낸 그래프이다.

도 5는 도 1에 도시된 메모리 셀 어레이에 포함된 다수의 비휘발성 메모리 셀들의 프로그램-검증 동작 횟수에 따른 오프셋을 나타낸 그래프이다.

도 6은 도 1에 도시된 메모리 셀 어레이에 포함된 다수의 비휘발성 메모리 셀들의 워드라인 위치에 따른 오프셋을 나타낸 그래프이다.

도 7은 본 발명의 다른 실시 예에 따른 비휘발성 메모리 장치의 블록도를 나타낸다.

도 8은 도 1에 도시된 비휘발성 메모리 장치의 동작 방법을 나타낸 흐름도이다.

도 9는 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 일 실시 예를 나타낸다.

도 10은 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 다른 실시 예를 나타낸다.

도 11은 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.

도 12는 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.

도 13은 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.

도 14는 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.

도 15는 도 14에 도시된 전자 장치를 포함하는 데이터 처리 장치의 실시 예를 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

[0023] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0024] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0025] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.

[0026] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0027] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한

것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0029] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.
- [0030] 도 1은 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 블록도를 나타내고, 도 2는 도 1에 도시된 메모리 셀 어레이의 일 실시 예를 나타내고, 도 3은 도 1에 도시된 메모리 셀 어레이의 다른 실시 예를 나타낸다.
- [0031] 도 1을 참조하면, 비휘발성 메모리 장치(10)는 데이터를 저장하기 위한 메모리 셀 어레이(20), 메모리 셀 어레이(20)에 대해 데이터 액세스 동작, 예컨대 프로그램 동작, 리드 동작, 또는 이레이즈(erase) 동작을 수행하기 위한 액세스 회로(28), 및 액세스 회로(28)의 상기 데이터 액세스 동작을 제어하기 위한 컨트롤 회로(50)를 포함한다.
- [0032] 메모리 셀 어레이(20)는 다수의 셀 스트링들(20-1, 20-2, ..., 20-m; m은 자연수)을 포함한다. 다수의 셀 스트링들(20-1, 20-2, ..., 20-m) 각각은 직렬로 접속된 다수의 비휘발성 메모리 셀들을 포함한다.
- [0033] 도 2에 도시된 바와 같이, 각 셀 스트링(20-1, 20-2, ..., 20-m)은 2차원적으로 동일한 평면(또는 레이어(layer))에 배치(또는 구현)될 수 있다.
- [0034] 도 1에는 2차원적으로 배치된 메모리 셀 어레이(20) 및 페이지 버퍼 및 감지 증폭기 블록(70)이 도시되어 있다.
- [0035] 제1 셀 스트링(20-1)은 비트 라인(BL1)에 접속된 제1선택 트랜지스터(또는 스트링 선택 트랜지스터; ST1)와 CSL에 접속된 제2선택 트랜지스터(또는 접지 선택 트랜지스터; ST2) 사이에 직렬로 접속된 다수의 비휘발성 메모리 셀들을 포함한다.
- [0036] 제2 셀 스트링(20-2)은 비트 라인(BL2)에 접속된 제3선택 트랜지스터(또는 스트링 선택 트랜지스터; ST3)와 CSL에 접속된 제4선택 트랜지스터(또는 접지 선택 트랜지스터; ST4) 사이에 직렬로 접속된 다수의 비휘발성 메모리 셀들을 포함한다.
- [0037] 제m 셀 스트링(20-m)은 비트 라인(BLm)에 접속된 제5선택 트랜지스터(또는 스트링 선택 트랜지스터; ST5)와 CSL에 접속된 제6선택 트랜지스터(또는 접지 선택 트랜지스터; ST6) 사이에 직렬로 접속된 다수의 비휘발성 메모리 셀들을 포함한다.
- [0038] 각 셀 스트링(20-1~20-m)에 포함된 다수의 비휘발성 메모리 셀들 각각은 1-비트 또는 그 이상의 비트들을 저장할 수 있는 플래시(flash) EEPROM (Electrically Erasable Programmable Read-Only Memory)으로 구현될 수 있다.
- [0039] 실시 예에 따라, 상기 다수의 비휘발성 메모리 셀들 각각은 1-비트 또는 그 이상의 비트들을 저장할 수 있는 NAND 플래시 메모리, 예컨대 SLC(single level cell) 또는 MLC(multi-level cell)로 구현될 수 있다. 따라서 각 셀 스트링(20-1~20-m)은 NAND 셀 스트링(cell string)이라고 불릴 수 있다.
- [0040] 또한, 도 3에 도시된 바와 같이, 각 셀 스트링(20'-1, 20'-2, ..., 20'-k; k는 자연수)은 3차원적으로 서로 다른 평면에 배치될 수 있다.
- [0041] 도 3에 도시된 바와 같이, 제1셀 스트링(20'-1)은 제1레이어(21-1)에 배치될 수 있고, 제2셀 스트링(20'-2)은 제1레이어(21-1)와 서로 다른 제2레이어(21-2)에 배치될 수 있고, 제k셀 스트링(20'-k)은 제2레이어(21-2)와 서로 다른 레이어(21-k)에 3차원적으로 배치될 수 있다.
- [0042] 다수의 레이어들(21-1~21-k)은 웨이퍼 적층, 칩 적층, 또는 셀 적층을 통하여 형성될 수 있다. 다수의 레이어들(21-1~21-k) 각각은 다수의 셀 스트링들을 포함한다.
- [0043] 제1레이어(21-1)에 구현되는 제1셀 스트링(20'-1)은 다수의 선택 트랜지스터들(ST11과 ST21) 사이에 직렬로 접속된 다수의 비휘발성 메모리 셀들, 예컨대 NAND 플래시 메모리 셀들을 포함한다.
- [0044] 제2레이어(21-2)에 구현되는 제2셀 스트링(20'-2)은 다수의 선택 트랜지스터들(ST12과 ST22) 사이에 직렬로 접

속된 다수의 비휘발성 메모리 셀들, 예컨대 NAND 플래시 메모리 셀들을 포함한다.

- [0045] 제k레이어(21-k)에 구현되는 제k셀 스트링(20'-k)은 다수의 선택 트랜지스터들(ST1k과 ST2k) 사이에 직렬로 접속된 복수의 비휘발성 메모리 셀들, 예컨대 NAND 플래시 메모리 셀들을 포함한다.
- [0046] 로우 디코더(40)는 각 레이어(21-1~21-k)에 구현된 각 제1선택 트랜지스터 (ST11~ST1k)의 각 게이트에 접속된 각 스트링 선택 라인(SSL1~SSLk)으로 각 선택 신호(예컨대, 리드 동작 동안에는 리드 전압(Vread), 프로그램 동작 동안에는 전원 전압(Vcc), 또는 소거 동작 동안에는 0V)를 공급할 수 있다. 따라서, 각 제1선택 트랜지스터 (ST11, ST12, ..., ST1k)는 선택적으로 턴-온 또는 턴-오프될 수 있다.
- [0047] 로우 디코더(40)는 각 레이어(21-1~21-k)에 구현된 각 제2선택 트랜지스터 (ST21, ST22, ..., ST2k)의 각 게이트에 접속된 각 접지 선택 라인(GSL1, GSL2, ..., GSLk)으로 각 선택 신호(예컨대, 리드 동작 동안에는 리드 전압(Vread), 프로그램 동작 동안에는 0V, 또는 소거 동작 동안에는 0V)를 공급할 수 있다. 따라서 각 제2선택 트랜지스터(ST21, ST22, ..., ST2k)는 선택적으로 턴-온 또는 턴-오프될 수 있다.
- [0048] 도 3에 도시된 바와 같이, 각 셀 스트링(20'-1, 20'-2, ..., 20'-k)은 다수의 워드 라인들(WL1~WLn), CSL, 및 비트 라인(BL1)을 공유할 수 있다. 즉, 각 레이어(21-1~21-k)에서 대응되는 위치에 구현된 각 셀 스트링은 페이지 레지스터 및 감지 증폭기 블록(70)에 구현된 각 페이지 버퍼(71-1~71-m)에 접속될 수 있다.
- [0049] 이하에서는 3차원 메모리 셀 어레이(20')에 구현된 복수의 레이어들(21-1~21-k) 중에서 로우 디코더(40)에 의하여 어느 하나의 레이어, 예컨대 제1레이어 (21-1)에 구현된 셀 스트링(20'-1)이 선택된 경우를 가정하여 비휘발성 반도체 장치(10)의 동작을 설명하기로 한다.
- [0050] 따라서 본 명세서에서 사용되는 메모리 셀 어레이(20)는 도 2에 도시된 2차원 메모리 셀 어레이(20)와 도 3에 도시된 3차원 메모리 셀 어레이(20')를 총괄적으로 나타낸다.
- [0051] 또한, 본 명세서에서 사용되는 데이터 액세스 동작(data access operation)은 리드 동작(read operation)과 검증 동작(verify operation)을 포함하는 의미로 사용되고, 상기 검증 동작은 프로그램-검증 동작과 이레이즈-검증 동작을 포함하는 의미로 사용된다.
- [0052] 여기서, 프로그램-검증 동작은 프로그램 동작 후 선택된 메모리 셀의 문턱 전압이 원하는 문턱 전압에 도달하였는지의 여부를 판단하기 위한 동작을 의미한다. 이레이즈-검증 동작은 이레이즈 동작 후 선택된 메모리 셀의 문턱 전압이 원하는 문턱 전압에 도달하였는지의 여부를 판단하기 동작을 의미한다.
- [0053] 프로그램 검증 동작은 2단계로 이루어질 수 있다. 이때 2 단계 프로그램-검증 동작시 코오스 센싱(Coarse Sensing)에서는 모든 비트라인에 대해 프리차지(precharge)를 하여 온셀(On cell)과 오프셀(Off cell)을 판단하고, 파인 센싱(Fine Sensing)에서는 코오스 센싱에서 오프셀로 판단된 셀 중에서 해당 검증 상태만을 프리차지하여 센싱을 수행한다.
- [0054] 즉, 코오스 센싱에서 오프셀(Off Cell)로 판단되었으나 파인 센싱시에는 온셀(On Cell)로 판단된 셀은 아직 검증 패스가 되지 않았으므로 다음 프로그램 루프에서 프로그램을 수행하여야 한다. 이때 해당 셀의 프로그램 시 비트라인 포싱(Bit Line Forcing) 프로그램을 수행함으로써 메모리 셀 산포의 개선을 이룰 수 있다.
- [0055] 액세스 회로(28)는 전압 발생기(30), 로우 디코더(40), 페이지 버퍼 및 감지 증폭기 블록(70), 컬럼 디코더(80), Y-게이팅 회로(90), 및 입출력 버퍼 및 래치 블록(95)을 포함한다.
- [0056] 전압 발생기(30)는, 컨트롤 로직(50)의 제어에 따라, 프로그램 동작을 수행하기 위하여 필요한 프로그램 전압(Vpgm)을 포함하는 복수의 전압들, 리드 동작을 수행하기 위하여 필요한 리드 전압들(Vread과 Vrd)을 포함하는 복수의 전압들, 또는 이레이즈 동작을 수행하기 위하여 필요한 이레이즈 전압(Vera)을 포함하는 복수의 전압들을 발생하고, 각 동작을 수행하기 위하여 필요한 전압들을 로우 디코더(40)로 출력한다.
- [0057] 프로그램 동작 동안, 로우 디코더(40)는 로우 어드레스(XADD)에 응답하여 프로그램 전압(Vpgm)을 다수의 워드 라인들(WL1~WLn) 중에서 선택된 워드 라인(예컨대, WL3)으로 공급하고, 나머지 워드 라인들로 패스 전압을 공급한다. 상기 프로그램 동작으로서 ISPP(incremental step pulse program)가 사용될 수 있다. 워드 라인(WL3)에 접속된 비휘발성 메모리 셀(22)은 선택된 메모리 셀이라고 가정한다.
- [0058] 프로그램-검증 동작 동안, 로우 디코더(40)는 선택된 워드 라인(WL3)으로 프로그램-검증 전압(Vvfy)을 공급할 수 있다.

- [0059] 리드 동작 동안, 로우 디코더(40)는 로우 어드레스(XADD)에 응답하여 선택된 리드 전압(Vrd)을 다수의 워드 라인들(WL1~WLn) 중에서 선택된 워드 라인(WL3)으로 공급하고, 나머지 워드 라인들로 비선택된 리드 전압(Vread)을 공급한다.
- [0060] 전압 발생기(30)는 컨트롤 로직(50)의 제어 신호에 따라 워드 라인 전압(V<sub>WL</sub>)을 발생한다. 여기서 워드 라인 전압(V<sub>WL</sub>)은 프로그램 동작 동안 다수의 워드 라인들 중에서 선택된 워드 라인으로 공급되는 프로그램 전압(V<sub>pgm</sub>), 또는 프로그램-검증 동작 동안 선택된 워드 라인으로 공급되는 프로그램-검증 전압(V<sub>vfy</sub>)을 포함한다. 이때 프로그램-검증 전압은 CSL 노이즈 레벨에 응답하여 셋팅된 오프셋을 컨트롤 로직(50)의 제어 신호에 따라 반영한 값일 수 있다. 이 때 오프셋이란 메모리 셀을 2단계 센싱(sensing)할 때의 제1 전압(예를 들어, 코오스 센싱 전압)과 제2 전압(예를 들어, 파인 센싱 전압) 간의 레벨 차이일 수 있다.
- [0061] 또한, 워드 라인 전압(V<sub>WL</sub>)은 리드 동작 동안 다수의 워드 라인들 중에서 선택된 워드 라인으로 공급되는 선택된 워드 라인 전압(Vrd) 또는 상기 다수의 워드 라인들 중에서 선택되지 않은 나머지 워드 라인들로 공급되는 비선택된 워드 라인 전압(Vread)을 포함한다.
- [0062] 페이지 레지스터 및 감지 증폭기 블록(70)은 다수의 페이지 버퍼들(71-1~71-m)을 포함한다. 다수의 페이지 버퍼들(71-1~71-m) 각각은 다수의 비트 라인들 (BL1~BLm) 각각에 접속된다.
- [0063] 다수의 페이지 버퍼들(71-1~71-m) 각각은 제어 로직(50)의 제어에 따라 프로그램 동작 동안에는 메모리 셀 어레이(20)에 데이터를 프로그램하기 위한 드라이버로써 동작한다. 또한, 다수의 페이지 버퍼들(71-1~71-m) 각각은 제어 로직(50)의 제어에 따라 리드 동작 동안 또는 검증 동작 동안에는 다수의 비트 라인들 (BL1~BLm) 각각의 전압 레벨을 감지 증폭할 수 있는 감지 증폭기로써 동작할 수 있다.
- [0064] 컨트롤 로직(50)의 제어에 따라, 다수의 페이지 버퍼들(71-1~71-m) 각각은 프로그램 검증 전압(V<sub>vfy</sub>)이 선택된 워드 라인(예컨대, WL3)으로 공급되는 횃수만큼 다수의 비트 라인들(BL1~BLm) 각각의 전압 레벨을 감지 증폭할 수 있다.
- [0065] 컬럼 디코더(80)는 제어 로직(50)의 제어하에 컬럼 어드레스(YADD)를 디코딩하여 디코딩 신호들을 Y-게이팅 회로(90)로 출력한다.
- [0066] Y-게이팅 회로(90)는 컬럼 디코더(80)로부터 출력된 디코딩 신호들에 응답하여 페이지 레지스터 및 감지 증폭기 블록(70)과 입출력 버퍼 및 래치 블록(95) 사이의 데이터(DATA)의 전송을 제어할 수 있다.
- [0067] 입출력 버퍼 및 래치 블록(95)은 외부로부터 입력된 데이터(DATA)를 Y-게이팅 회로(80)로 전송하거나 Y-게이팅 회로(90)로부터 출력된 데이터(DATA)를 다수의 입출력 패드들을 통하여 상기 외부로 전송할 수 있다.
- [0068] 컨트롤 회로(50)는 기설정된 복수의 오프셋들을 저장해두었다가, CSL 노이즈 레벨에 따라 상기 오프셋들 중 어느 하나를 셋팅하여, 2단계 검증전압을 조정한다.
- [0069] 조정되는 2단계 검증전압은 상기 셋팅된 오프셋값을 반영하는 제1 문턱전압 또는 제2 문턱전압이 될 수 있다. CSL 노이즈 레벨은 상기 워드라인의 위치, 상기 셀의 프로그램 횃수 또는 상기 셀의 프로그램 상태 중 어느 하나일 수 있다.
- [0070] 액세스 회로(28)는 컨트롤 회로(50)에 의하여 조정된 2단계 검증전압에 의해 프로그램-검증 동작을 수행할 수 있다. 컨트롤 회로(50)의 자세한 구성 및 동작은 도 4 및 도 5에서 설명한다.
- [0071] 도 4a는 도 1에 도시된 메모리 셀 어레이에 포함된 다수의 비휘발성 메모리 셀들의 문턱전압의 분포, 리드 동작시의 전압들 및 프로그램 검증 동작시의 전압들을 나타낸 다이어그램이고, 도 4b는 도 1에 도시된 메모리 셀 어레이에 포함된 다수의 비휘발성 메모리 셀들의 프로그램 상태에 따른 오프셋을 나타낸 그래프이다.
- [0072] 온 셀(On cell)의 수에 따른 공통소스라인 전압(V<sub>CSL</sub>)의 변화를 살펴보기 위해, 선택워드라인(WL3)에 연결되어 있는 메모리 셀들은 각각 E, P1, P2, P3 상태로 프로그램된다고 가정한다. 여기에서 E 상태는 소거(Erase)상태를 의미하고, P3 상태에 있는 메모리 셀은 가장 높은 문턱전압을 갖는다. P1과 P2 상태에 있는 메모리 셀은 E 상태와 P3 상태의 중간 레벨에 해당하는 문턱전압을 갖는다. 그리고, 선택 워드 라인에 연결되어 있는 메모리 셀들이 온 셀일 때, 각각의 셀 스트링을 통해 흐르는 전류는 I0, I1, I2, I3라 가정한다.
- [0073] 이러한 가정에 따르면, 온 셀의 수에 따라 공통소스라인 전압(V<sub>CSL</sub>)은 달라진다. 예를 들어 E상태에 있는 메모리

셀만 온 셀이고 나머지 메모리 셀이 오프셀이면, 공통 소스라인 전압( $V_{CSL}$ )은  $I_0 \cdot R_c$ 가 된다. E와 P1 상태에 있는 메모리 셀이 온 셀이면, 공통 소스 라인 전압( $V_{CSL}$ )은  $(I_0 + I_1) \cdot R_c$ 가 된다. 마찬가지로, E, P1, P2 상태에 있는 메모리 셀이 온 셀이면 공통소스라인전압( $V_{CSL}$ )은  $(I_0 + I_1 + I_2) \cdot R_c$ 가 된다. 즉, 프로그램 검증 동작과 읽기 동작시에 온 셀의 수가 달라지면 공통소스라인 전압( $V_{CSL}$ )도 달라질 수 있음을 의미한다.

[0074] 공통소스라인에 존재하는 기생저항 또는 기생 커패시턴스로 인해 공통 소스 라인(CSL)에서 전압 강하(voltage drop)가 발생할 수 있고, 이때 공통소스라인 전압( $V_{CSL}$ )이 존재하면 프로그램 동작시에 메모리 셀의 문턱 전압 분포의 폭이 넓어질 수 있기 때문이다. 공통소스라인 전압은 CSL 노이즈 레벨, 즉, 메모리 셀의 워드라인의 위치, 메모리 셀에의 프로그램 횟수 또는 메모리 셀의 프로그램 상태 중 어느 하나에 의해 메모리 셀 각각에서 달라질 수 있다.

[0075] 2단계 프로그램-검증 동작을 수행하기 위하여 제1 검증전압( $V_{vfy1}$ )이 선택된 워드 라인으로 공급된 후 제2 검증 전압( $V_{vfy2}$ )이 상기 선택된 워드 라인으로 공급된다. 실시 예에 따라, 즉 도 4a에 도시된 바와 같이 제2 검증 전압( $V_{vfy2}$ )은 제1 검증전압( $V_{vfy1}$ )보다 높게 설정될 수 있다.

[0076] 오프셋(Offset)이란 제1 검증전압( $V_{vfy1}$ )과 제2 검증전압( $V_{vfy2}$ ) 간의 레벨 차이로서, 상기 오프셋을 얼마나 두는지가 산포의 게인(gain)을 결정한다. 메모리 셀은 공통소스라인 노이즈에 따라 공통소스라인 전압의 전압강 하폭(①)이 변화할 수 있으므로, 오프셋을 조정해야 프로그램 방식에 관계없이 보다 정확하게 2단계 프로그램 검증 동작을 할 수 있다.

[0077] 도 4b에 도시된 그래프를 참조하면, 프로그램-검증 동작시 모든 비트라인들을 프리차지 전압을 인가하고, 선택 워드라인에는 제1 검증전압( $V_{vfy1}$ )을 인가하면, 프로그램 상태(state)가 P1, P2, P3로 증가할수록 CSL 노이즈 레벨(①)이 증가한다. 이 경우 하나의 상태(예를 들어 P1)에 대해서는 기설정된 오프셋을 가진 제2 검증전압 ( $V_{vfy}$ )으로 2단계 프로그램 검증 효과를 얻을 수 있다. 그러나 이외의 비트라인의 메모리 셀 상태(P2 내지 P3) 각각에 대해서는 오프셋보다 더 큰 CSL 노이즈 레벨이 될 경우, 제1 검증전압 뿐만 아니라 제2 검증전압으로도 메모리 셀 상태를 정확하게 센싱하지 못할 수 있어 상기 기설정된 오프셋만으로는 2단계 프로그램 검증 효과를 효율적으로 이용하지 못할 수 있다.

[0078] 최적 오프셋(Effective offset)이란 2단계 센싱 효과를 최대한 확보하기 위한 오프셋값을 말한다. 오프셋은 칩 특성에 따라 기설정되거나 설계자에 의해 정해진 값으로써 컨트롤 회로(50)에 CSL 노이즈 레벨에 상응하는 값으로 저장될 수 있고, 각 메모리 셀의 CSL 노이즈 레벨에 상응하여 상기 오프셋들 중 어느 하나를 최적 오프셋으로 셋팅할 수 있다. 또한 실시예에 따라 오프셋을 검증 전압에 반영하기 위한 조정 전압(Adjustment voltage)이 CSL 노이즈 레벨에 상응하여 컨트롤 회로(50)에 저장될 수 있다.

[0079] 따라서, 메모리 셀 각각의 CSL 노이즈 레벨에 상응하도록 별도의 부가 오프셋(Added Offset, ②)을 각 프로그램 상태(예를 들어 P1, P2 또는 P3)마다 각각 다르게 더 인가하여 최적 오프셋(Effective Offset)으로 맞추어 조정된 검증전압( $V_{vfy}$ )으로 2단계 검증 동작을 수행함으로써 2단계 프로그램 검증 효과를 효율적으로 이용할 수 있다.

[0080] 일실시예에 따라 부가 오프셋(②)은 제1 검증전압( $V_{vfy1}$ ) 또는 제2 검증전압( $V_{vfy2}$ ) 중 어느 하나에 부가될 수 있다. 예를 들어, CSL 노이즈가 X(①), 부가 오프셋이 Y(②), 최적 오프셋이 Z(③), 제1 검증전압( $V_{vfy1}$ )과 제2 검증전압( $V_{vfy2}$ ) 간의 오프셋값을 K라 하자. 즉,  $Z = X + Y$ ,  $|V_{vfy2} - V_{vfy1}| = K$ 의 관계를 갖는다.

[0081] 예를 들어, 도 4b에 도시된 바와 같이, CSL 노이즈에 의한 오프셋(①)이 프로그램 상태에 따라 달라지면, 부가 오프셋(②)은 최적 오프셋(③)에 따라 달라진다. 즉, 2단계 검증 동작 수행을 위한 원래의 제1 검증전압( $V_{vfy1}$ )과 제2 검증전압( $V_{vfy2}$ )의 오프셋값은 K였으나, 본 발명의 실시예에 따라 제1 검증전압( $V_{vfy1}$ )에 부가 오프셋 (②)이 반영되어 제1 검증전압( $V_{vfy1}$ )과 제2 검증전압( $V_{vfy2}$ )의 수정된 오프셋값은  $K + Y$ 가 된다. 이때 Y는 양의 실수일 뿐만 아니라 음의 실수값이 될 수도 있다.

[0082] 그 결과, 최적 오프셋에 의한 2단계 프로그램-검증 동작을 수행함으로써 CSL 노이즈로 인하여 제대로 센싱되지 못한 셀들에 대하여 CSL 노이즈를 고려한 검증전압으로 센싱할 수 있으므로 프로그램-검증 동작의 성능이 향상될 수 있고, 각 셀 상태의 상위(upper) 산포의 CSL 노이즈에 의한 센싱 오류를 최대한 줄일 수 있다.

[0083] 도 5는 도 1에 도시된 메모리 셀 어레이에 포함된 다수의 비휘발성 메모리 셀들의 프로그램-검증 동작 횟수에 따른 오프셋을 나타낸 그래프이다.

- [0084] 도 5에 도시된 그래프를 참조하면, 2단계 검증 동작시 모든 비트라인들에 프리차지 전압으로 프리차지를 하는 경우 메모리 셀 어레이 내의 프로그램 횟수에 따라 CSL 노이즈 레벨이 달라진다.
- [0085] 예컨대, 도 5에 도시된 바와 같이, 첫번째 프로그램 사이클(C1)과 두번째 프로그램 사이클(C2)를 비교해보면, 첫번째 프로그램 사이클의 경우에 두번째 프로그램 사이클의 경우보다 CSL 노이즈 레벨에 의한 오프셋이 더 크다. 프로그램 동작이 반복될수록 검증이 된 메모리 셀(프로그램 패스된 메모리 셀)이 많아지기 때문에 프로그램 동작 횟수가 반복될수록 CSL 노이즈 레벨이 점점 감소한다. 따라서, 각 프로그램 사이클마다 CSL 노이즈 레벨(①)에 상응하도록 별도의 부가 오프셋(②)을 각각 다르게 더 인가하여 최적 오프셋(Effective Offset)을 맞추어 2단계 검증 동작을 수행함으로써 프로그램-검증 효과를 효율적으로 이용할 수 있다.
- [0086] 도 6은 도 1에 도시된 메모리 셀 어레이에 포함된 다수의 비휘발성 메모리 셀들의 워드라인 위치에 따른 오프셋을 나타낸 그래프이다.
- [0087] 도 6에 도시된 그래프를 참조하면, 검증 동작시 모든 비트라인들에 프리차지 전압으로 프리차지를 하는 경우 메모리 셀 어레이 내의 워드라인 위치에 따라 CSL 노이즈 레벨이 달라진다.
- [0088] 예컨대, 도 6에 도시된 바와 같이, 첫번째 워드라인(WL1)과 n번째 워드라인(WLn)을 비교해보면, WL1을 선택 워드라인으로 하여 모든 비트라인에 프리차지 하는 경우에 비해 WLn을 선택 워드라인으로 하여 모든 비트라인에 프리차지 하는 경우에 CSL 노이즈가 더 크다. 프로그램 동작시 WL1부터 WL2, WL3를 거쳐 WLn에 이르도록 프로그램 되기 때문에, WL1에의 프로그램 횟수가 제일 빈번하여 CSL 노이즈가 크다. 따라서 워드라인 위치가 WL1에서 WLn으로 갈수록 CSL 노이즈 레벨(①)이 점점 감소한다.
- [0089] 따라서, 각각의 워드라인별로 각 CSL 노이즈 레벨(①)에 상응하도록 별도의 부가 오프셋(②)을 각각 다르게 더 인가하여 최적 오프셋(Effective Offset)을 맞추면 2단계 프로그램 검증 효과를 보다 효율적으로 이용할 수 있다.
- [0090] 도 7은 본 발명의 다른 실시 예에 따른 비휘발성 메모리 장치의 블록도를 나타낸다.
- [0091] 도 7을 참조하면, 비휘발성 메모리 장치(10)는 데이터를 저장하기 위한 메모리 셀 어레이(20), 메모리 셀 어레이(20)에 대해 데이터 액세스 동작, 예컨대 프로그램 동작, 리드 동작, 또는 이레이즈(erase) 동작을 수행하기 위한 액세스 회로(28)를 포함한다. 설명의 편의를 위해 도 1의 실시예와의 차이점, 즉 컨트롤 회로(50)에 대해 중점적으로 설명한다.
- [0092] 컨트롤 회로(50)는 비휘발성 메모리 장치(10)의 내부 구성요소들을 제어하며, 본 발명의 실시예에 따른 프로그램 및 프로그램 검증 동작을 제어한다. 컨트롤 회로(50)는 프로그램 컨트롤 회로(미도시), 프로그램 검증 회로(미도시) 및 패스/패일 검증 회로(미도시)를 더 포함할 수 있다.
- [0093] 프로그램 컨트롤 회로(미도시)는 비휘발성 메모리 장치(10)의 동작(예컨대, 프로그램 동작, 소거 동작, 독출 동작 등)을 제어하기 위한 내부 제어 신호들(미도시)을 출력한다. 즉, 비휘발성 메모리 장치(10)의 제반사항을 제어하는데, 프로그램 대상이 되는 메모리 셀이 ISPP방식 또는 비트라인 포싱 방식으로 프로그램되도록 비휘발성 메모리 장치(10)의 내부 구성 요소를 제어할 수 있다.
- [0094] 프로그램 검증 회로(미도시)는 프로그램 검증 동작을 수행한다. 예컨대, 프로그램 검증 회로는 부가 오프셋값이 반영된 제1검증전압에 기초하여 제1단계 검증 동작을 수행한 후, 제2검증전압을 통해 제2단계 검증 동작을 수행할 수 있다. 이때 제1단계 검증은 코오스 센싱(Coarse sensing) 또는 비정밀 센싱이고, 제2단계 검증은 파인 센싱(Fine sensing) 또는 정밀 센싱일 수 있다. 즉, 제1단계 검증과 제2단계 검증 동작을 연속으로 수행할 경우 코오스-파인(Coarse-Fine) 센싱을 수행한다는 것을 의미할 수 있다. 이때 프로그램 검증 회로는 저장부(51), 셋팅부(52) 및 출력부(53)를 포함할 수 있다.
- [0095] 저장부(51)는 프로그램 루프(Program Loop) 동안 발생하는 CSL 노이즈 레벨을 감안한 복수의 오프셋들을 저장한다. 이때 저장부(51)에 저장되는 것은 CSL 노이즈 레벨에 따른 오프셋들뿐만 아니라 문턱전압에 인가하기 위한 부가 오프셋(②)값을 더 포함할 수 있다.
- [0096] 셋팅부(52)는 상기 메모리 셀이 프로그램되면 상기 프로그램된 메모리 셀의 CSL 노이즈 레벨에 상응하여 상기 저장부(51)에 저장된 복수의 오프셋들 중 어느 하나를 최적 오프셋(Effective Offset)으로 셋팅한다.
- [0097] 출력부(53)는 상기 최적 오프셋 값을 반영하기 위해 부가 오프셋을 인가한 상기 검증전압을 생성하도록 하는 제어신호(CTR-Vol)를 출력한다.

- [0098] 패스/패일 검증 회로(미도시)는 프로그램 검증 회로 및 프로그램 컨트롤 회로와 연결되며, 프로그램된 메모리 셀에 대한 상기 프로그램 검증 회로의 검증 동작이 수행될 때, 상기 프로그램된 메모리 셀이 프로그램 패스 또는 프로그램 패일인지 여부를 판단한다.
- [0099] 도 8은 도 1에 도시된 비휘발성 메모리 장치의 동작 방법을 나타낸 흐름도이다.
- [0100] 도 8을 참조하면, 비휘발성 메모리 장치(10)는 다수의 워드라인들 중에서 선택된 워드라인에 접속되고 페이지 데이터를 저장하기 위한 다수의 비휘발성 메모리 셀에 대한 기설정된 복수의 부가 오프셋들을 저장한다(S10). 이때 부가 오프셋은 칩 특성에 따라 기설정되거나 설계자에 의해 정해진 값으로써, 컨트롤 회로(50)에 CSL 노이즈 레벨 및 최적 오프셋에 상응하는 값으로 저장될 수 있다. 비휘발성 메모리 장치(10)는 각 메모리 셀의 CSL 노이즈 레벨에 상응하여 상기 부가 오프셋들 중 어느 하나를 선택할 수 있다(S11). 이때 CSL 노이즈 레벨은 상기 워드라인의 위치, 상기 셀에의 프로그램 횟수 또는 상기 셀의 프로그램 상태 중 어느 하나일 수 있다.
- [0101] 비휘발성 메모리 장치(10)는 다수의 워드라인들 중에서 선택된 워드라인에 접속되고 페이지 데이터를 저장하기 위한 다수의 비휘발성 메모리 셀에 프로그램을 수행한다. 실시예에 따라 프로그램 수행은 스텝 증가형 펄스 방식(ISPP)으로 할 수 있다.
- [0102] 상기 다수의 프로그램된 메모리 셀들은 CSL 노이즈를 포함한 산포를 가지므로, 컨트롤 회로(50)는 실시예에 따라, 2단계 검증전압에 상기 선택된 오프셋값을 반영하여 프로그램-검증 동작을 수행할 수 있다. 즉, 제1 검증전압(예를 들어 코오스 센싱 전압)에 부가 오프셋을 부가하여 제1단계 검증동작을 수행하고(S12), 이어서 제2 검증전압(예를 들어 파인 센싱 전압)으로 제2단계 검증동작을 수행할 수 있다(S13).
- [0103] 상기 실시예에서 컨트롤 회로(50)는 상기 프로그램된 메모리 셀에 대한 2단계 프로그램-검증 동작을 수행하기 위한 제어신호(CTR\_Vo1)를 생성하여 전압발생기(30)로 출력한다. 상기 제어신호(CTR\_Vo1)는 전압발생기(30)가 부가 오프셋을 검증전압에 반영한 전압을 발생시키도록 제어하는 신호이다. 전압발생기(30)는 상기 제어신호(CTR\_Vo1)에 응답하여 조정된 검증전압으로 2단계 프로그램-검증 동작을 수행한다.
- [0104] 도 9는 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 일 실시 예를 나타낸다.
- [0105] 도 9를 참조하면, 전자 장치(100)는 이동 전화기(cellular phone), 스마트 폰(smart phone), PDA(personal digital assistant), 또는 무선 인터넷 장치로 구현될 수 있다.
- [0106] 전자 장치(100)는 비휘발성 메모리 장치(10)와 비휘발성 메모리 장치(10)의 동작을 제어할 수 있는 메모리 컨트롤러(150)를 포함한다.
- [0107] 메모리 컨트롤러(150)는 프로세서(110)의 제어에 따라 비휘발성 메모리 장치(10)의 데이터 액세스 동작, 예컨대 프로그램(program) 동작, 이레이즈(erase) 동작, 또는 리드(read) 동작을 제어할 수 있다.
- [0108] 비휘발성 메모리 장치(10)에 프로그램된 데이터는 프로세서(110)와 메모리 컨트롤러(150)의 제어에 따라 디스플레이(120)를 통하여 디스플레이될 수 있다.
- [0109] 무선 송수신기(130)는 안테나(ANT)를 통하여 무선 신호를 주거나 받을 수 있다. 예컨대, 무선 송수신기(130)는 안테나(ANT)를 통하여 수신된 무선 신호를 프로세서(110)에서 처리될 수 있는 신호로 변경할 수 있다.
- [0110] 따라서, 프로세서(110)는 무선 송수신기(130)로부터 출력된 신호를 처리하고 처리된 신호를 메모리 컨트롤러(150) 또는 디스플레이(120)로 전송할 수 있다. 메모리 컨트롤러(150)는 프로세서(110)에 의하여 처리된 신호를 비휘발성 메모리 장치(10)에 저장할 수 있다.
- [0111] 또한, 무선 송수신기(130)는 프로세서(110)로부터 출력된 신호를 무선 신호로 변경하고 변경된 무선 신호를 안테나(ANT)를 통하여 외부 장치로 출력할 수 있다.
- [0112] 입력 장치(140)는 프로세서(110)의 동작을 제어하기 위한 제어 신호 또는 프로세서(110)에 의하여 처리될 데이터를 입력할 수 있는 장치로서, 터치 패드(touch pad)와 컴퓨터 마우스(computer mouse)와 같은 포인팅 장치(pointing device), 키패드(keypad), 또는 키보드로 구현될 수 있다.
- [0113] 프로세서(110)는 메모리 컨트롤러(150)로부터 출력된 데이터, 무선 송수신기(130)로부터 출력된 데이터, 또는 입력 장치(140)로부터 출력된 데이터가 디스플레이(120)를 통하여 디스플레이될 수 있도록 디스플레이(120)의 동작을 제어할 수 있다.
- [0114] 실시 예에 따라 비휘발성 메모리 장치(10)의 동작을 제어할 수 있는 메모리 컨트롤러(150)는 프로세서(110)의

일부로서 구현될 수 있고 또한 프로세서(110)와 별도의 칩으로 구현될 수 있다.

- [0115] 도 10은 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 다른 실시 예를 나타낸다.
- [0116] 도 10에 도시된 전자 장치(200)는 PC(personal computer), 태블릿(tablet) PC, 넷-북(net-book), e-리더(e-reader), PDA(personal digital assistant), PMP(portable multimedia player), MP3 플레이어, 또는 MP4 플레이어로 구현될 수 있다.
- [0117] 전자 장치(200)는 비휘발성 메모리 장치(10)와, 비휘발성 메모리 장치(10)의 데이터 처리 동작을 제어할 수 있는 메모리 컨트롤러(240)를 포함한다.
- [0118] 프로세서(210)는 입력 장치(220)를 통하여 입력된 데이터에 따라 비휘발성 메모리 장치(10)에 저장된 데이터를 디스플레이(230)를 통하여 디스플레이할 수 있다. 예컨대, 입력 장치(220)는 터치 패드 또는 컴퓨터 마우스와 같은 포인팅 장치, 키패드, 또는 키보드로 구현될 수 있다.
- [0119] 프로세서(210)는 전자 장치(200)의 전반적인 동작을 제어할 수 있고 메모리 컨트롤러(240)의 동작을 제어할 수 있다.
- [0120] 실시 예에 따라 비휘발성 메모리 장치(10)의 동작을 제어할 수 있는 메모리 컨트롤러(240)는 프로세서(210)의 일부로서 구현될 수 있고 또한 프로세서(210)와 별도의 칩으로 구현될 수 있다.
- [0121] 도 11은 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- [0122] 도 11에 도시된 전자 장치(300)는 메모리 카드(memory card) 또는 스마트 카드(smart card)로 구현될 수 있다. 전자 장치(300)는 비휘발성 메모리 장치(10), 메모리 컨트롤러(310), 및 카드 인터페이스(320)를 포함한다.
- [0123] 메모리 컨트롤러(310)는 메모리 장치(10)와 카드 인터페이스(320) 사이에서 데이터의 교환을 제어할 수 있다.
- [0124] 실시 예에 따라, 카드 인터페이스(320)는 SD(secure digital) 카드 인터페이스 또는 MMC(multi-media card) 인터페이스일 수 있으나 이에 한정되는 것은 아니다.
- [0125] 카드 인터페이스(320)는 호스트(HOST)의 프로토콜에 따라 호스트(HOST)와 메모리 컨트롤러(310) 사이에서 데이터 교환을 인터페이스할 수 있다.
- [0126] 실시 예에 따라 카드 인터페이스(320)는 USB(Universal Serial Bus) 프로토콜, IC(InterChip)-USB 프로토콜을 지원할 수 있다. 여기서, 카드 인터페이스라 함은 호스트(HOST)가 사용하는 프로토콜을 지원할 수 있는 하드웨어, 상기 하드웨어에 탑재된 소프트웨어, 또는 신호 전송 방식을 의미할 수 있다.
- [0127] 전자 장치(300)가 PC, 태블릿 PC, 디지털 카메라, 디지털 오디오 플레이어, 이동 전화기, 콘솔 비디오 게임 하드웨어, 또는 디지털 셋-탑 박스와 같은 호스트 (HOST)와 접속될 때, 호스트(HOST)는 카드 인터페이스(320)와 메모리 컨트롤러 (310)를 통하여 비휘발성 메모리 장치(10)와 데이터 통신을 수행할 수 있다.
- [0128] 도 12는 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 또 다른 실시 예를 나타낸다. 도 12에 도시된 전자 장치(400)는 이미지 처리 장치, 예컨대 디지털 카메라 또는 디지털 카메라가 부착된 이동 전화기로 구현될 수 있다.
- [0129] 전자 장치(400)는 비휘발성 메모리 장치(10)와 비휘발성 메모리 장치(10)의 데이터 처리 동작, 예컨대 프로그램 동작, 이레이즈 동작, 또는 리드 동작을 제어할 수 있는 메모리 컨트롤러(440)를 포함한다.
- [0130] 메모리 시스템(400)의 이미지 센서(420)는 광학 이미지를 디지털 신호들로 변환하고, 변환된 디지털 신호들은 프로세서(410) 또는 메모리 컨트롤러(440)로 전송된다. 프로세서(410)의 제어에 따라, 상기 변환된 디지털 신호들은 디스플레이 (430)를 통하여 디스플레이되거나 또는 메모리 컨트롤러(440)를 통하여 비휘발성 메모리 장치 (10)에 저장될 수 있다.
- [0131] 또한, 비휘발성 메모리 장치(10)에 저장된 데이터는 프로세서(410) 또는 메모리 컨트롤러(440)의 제어에 따라 디스플레이(430)를 통하여 디스플레이된다.
- [0132] 실시 예에 따라 비휘발성 메모리 장치(10)의 동작을 제어할 수 있는 메모리 컨트롤러(440)는 프로세서(410)의 일부로서 구현될 수 있고 또한 프로세서(410)와 별개의 칩으로 구현될 수 있다.
- [0133] 도 13은 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.

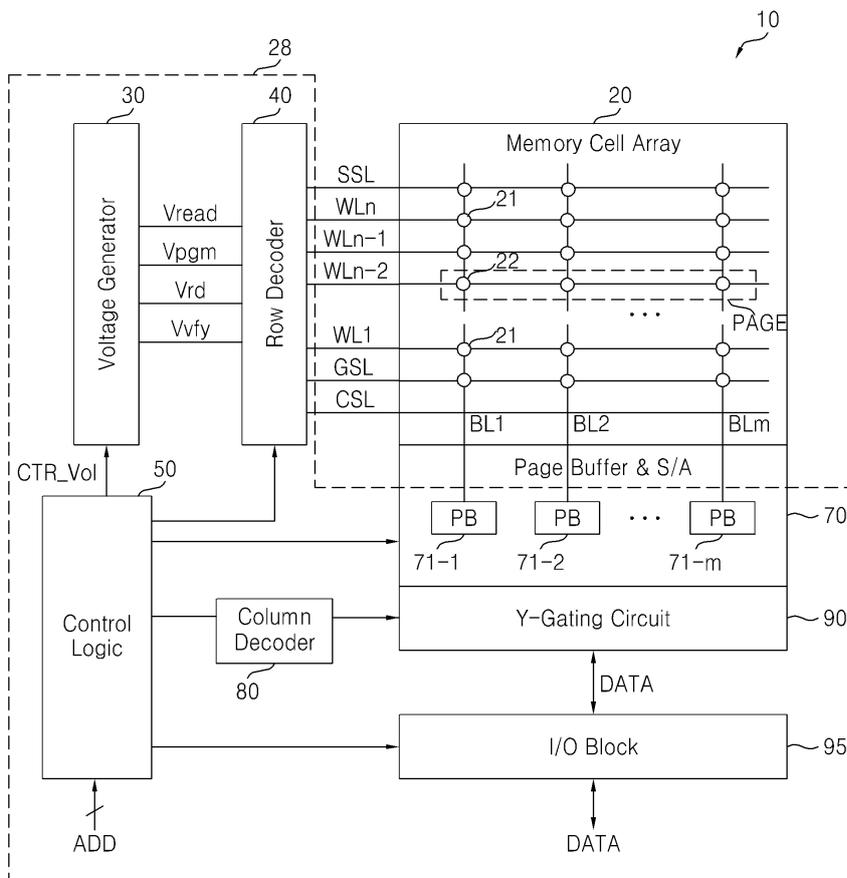
- [0134] 도 13을 참조하면, 전자 장치(500)는 비휘발성 메모리 장치(10), 및 비휘발성 메모리 장치(10)의 동작을 제어할 수 있는 CPU(central processing unit; 510)를 포함한다.
- [0135] 전자 장치(500)는 CPU(510)의 동작 메모리(operation memory)로서 사용될 수 있는 메모리 장치(550)를 포함한다. 메모리 장치(550)는 ROM(read only memory)과 같은 비휘발성 메모리로 구현될 수 있고 SRAM(Static random access memory)과 같은 휘발성 메모리로 구현될 수 있다.
- [0136] 전자 장치(500)에 접속된 호스트(HOST)는 메모리 인터페이스(520)와 호스트 인터페이스(540)를 통하여 비휘발성 메모리 장치(10)와 데이터 통신을 수행할 수 있다.
- [0137] CPU(510)의 제어에 따라 에러 정정 코드(error correction code(ECC)) 블록 (530)은 메모리 인터페이스(520)를 통하여 비휘발성 메모리 장치(10)로부터 출력된 데이터에 포함된 에러 비트를 검출하고, 상기 에러 비트를 정정하고, 에러 정정된 데이터를 호스트 인터페이스(540)를 통하여 호스트(HOST)로 전송할 수 있다.
- [0138] CPU(510)는 버스(501)를 통하여 메모리 인터페이스(520), ECC 블록(530), 호스트 인터페이스(540), 및 메모리 장치(550) 사이에서 데이터 통신을 제어할 수 있다.
- [0139] 전자 장치(500)는 플래시 메모리 드라이브, USB 메모리 드라이브, IC-USB 메모리 드라이브, 또는 메모리 스틱(memory stick)으로 구현될 수 있다.
- [0140] 도 14는 도 1에 도시된 비휘발성 메모리 장치를 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- [0141] 도 14를 참조하면, 전자 장치(600)는 SSD(solid state drive)와 같은 처리 장치로 구현될 수 있다. 전자 장치(600)는 다수의 메모리 장치들(10)과 다수의 메모리 장치들(10) 각각의 데이터 처리 동작을 제어할 수 있는 메모리 컨트롤러(610)를 포함할 수 있다. 실시 예에 따라 전자 장치(600)는 메모리 모듈로 구현될 수 있다.
- [0142] 도 15는 도 14에 도시된 전자 장치를 포함하는 데이터 처리 장치의 실시 예를 나타낸다. 도 14와 도 15를 참조하면, RAID(redundant array of independent disks) 시스템으로 구현될 수 있는 데이터 처리 장치(700)는 RAID 컨트롤러(710)와 다수의 전자 장치들(600-1~600-n; n는 자연수)을 포함할 수 있다.
- [0143] 다수의 전자 장치들(600-1~600-n) 각각은 도 16에 도시된 전자 장치(600)일 수 있다. 다수의 전자 장치들(600-1~600-n)은 RAID 어레이를 구성할 수 있다. 데이터 처리 장치(700)는 PC(personal computer) 또는 SSD로 구현될 수 있다.
- [0144] 프로그램 동작 동안, RAID 컨트롤러(710)는 호스트(HOST)로부터 출력된 프로그램 명령에 따라 호스트(HOST)로부터 출력된 프로그램 데이터를 RAID 레벨에 따라 다수의 전자 장치들(600-1~600-n) 중에서 적어도 어느 하나의 전자 장치로 출력할 수 있다.
- [0145] 리드 동작 동안, RAID 컨트롤러(710)는 호스트(HOST)로부터 출력된 리드 명령에 따라 다수의 전자 장치들(600-1~600-n) 중에서 적어도 어느 하나의 전자 장치로부터 읽혀진 데이터를 호스트(HOST)로 전송할 수 있다.
- [0146] 또한 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media) 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드 뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0147] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**부호의 설명**

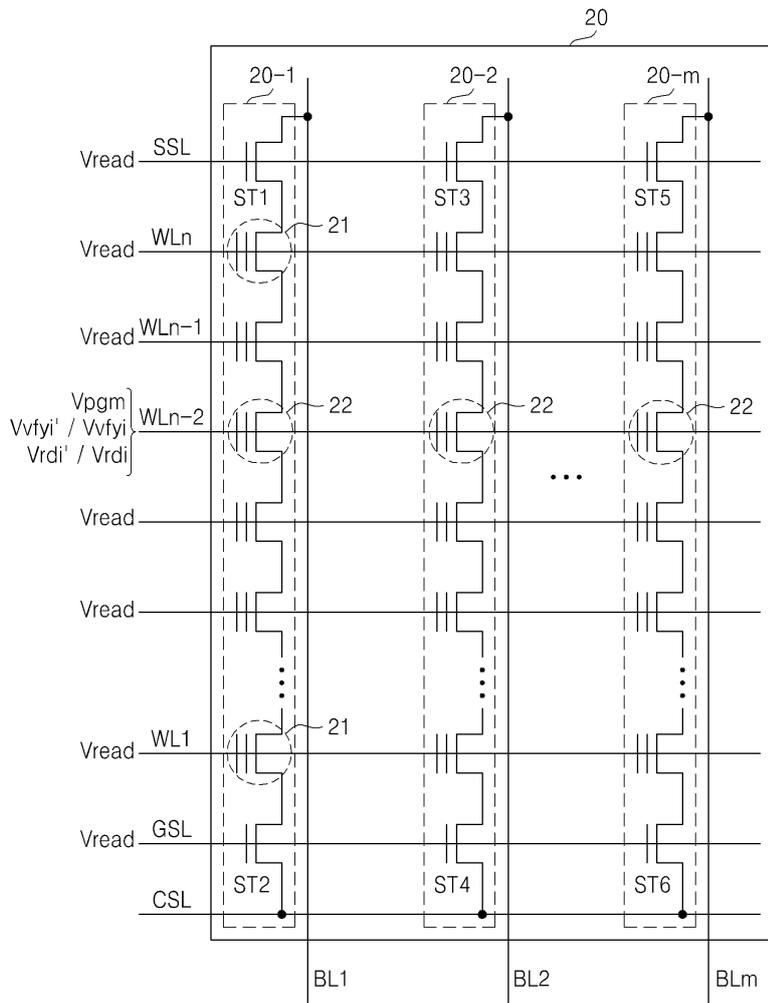
- [0148]
- 10 ,12 : 비휘발성 메모리 셀 장치
  - 20 : 메모리 셀 어레이
  - 30 : 전압 발생기
  - 40 : 로우 디코더
  - 50 : 컨트롤 회로
  - 60 : 오프셋 조정회로
  - 70 : 페이지 버퍼 & 센스앰프
  - 80 : 컬럼 디코더
  - 90 : Y 게이팅 회로
  - 95 : 입출력 블록
  - 100 : 전자장치
  - 150 : 메모리 컨트롤러

도면

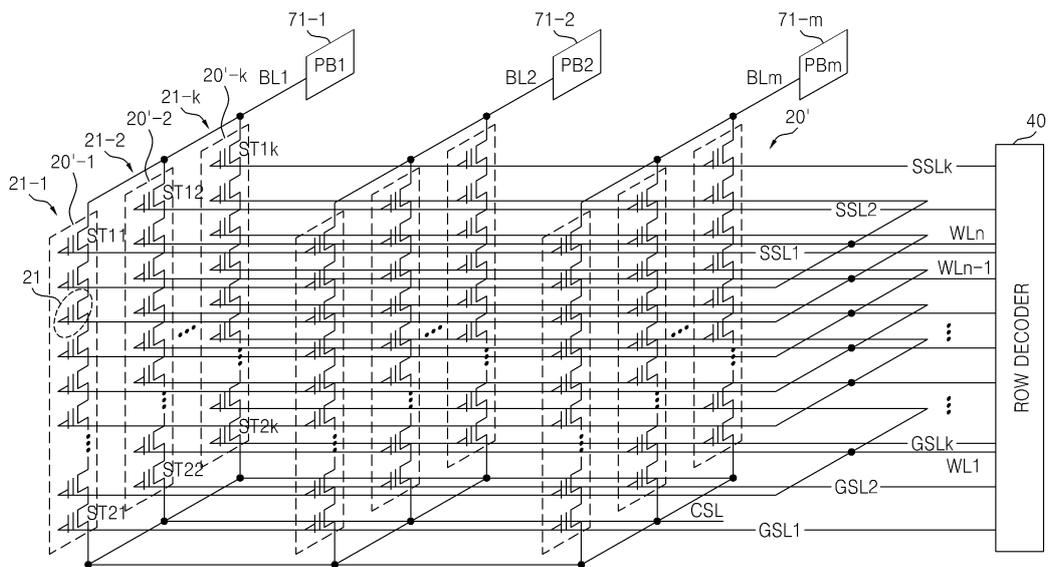
도면1



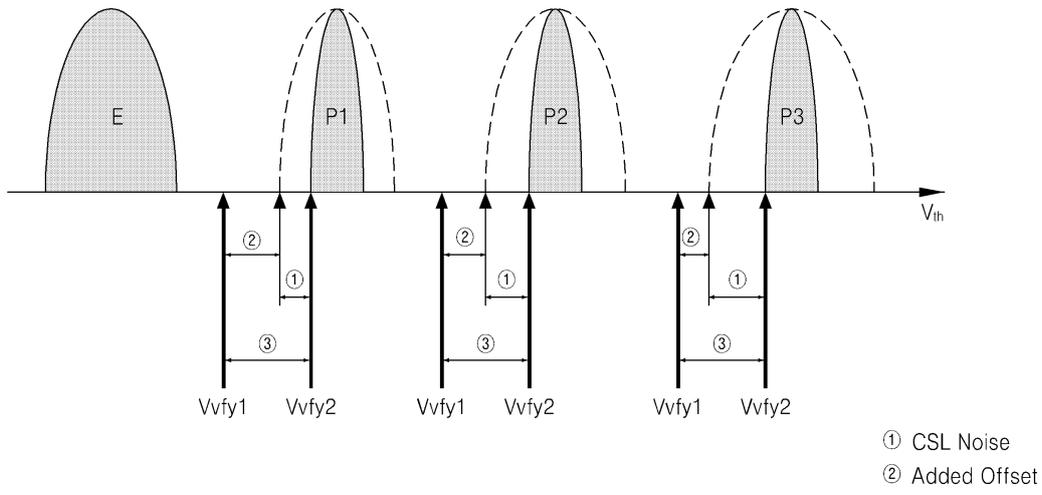
도면2



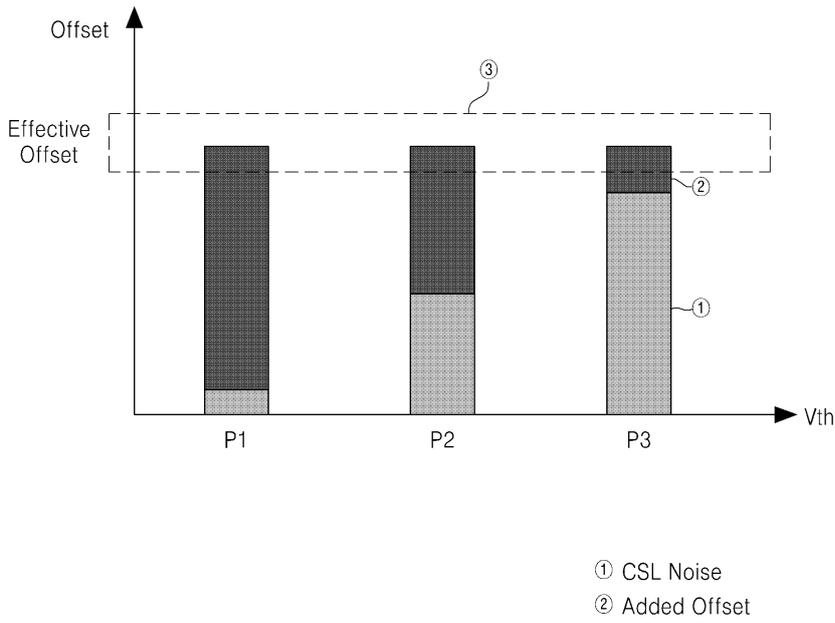
도면3



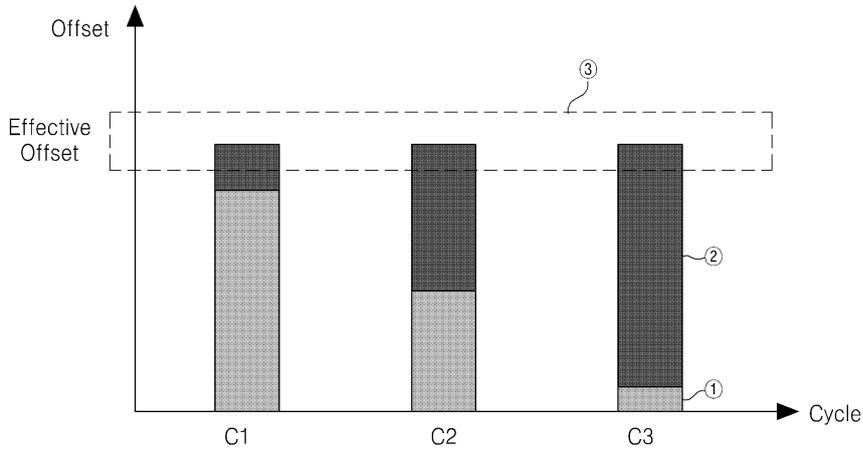
도면4a



도면4b

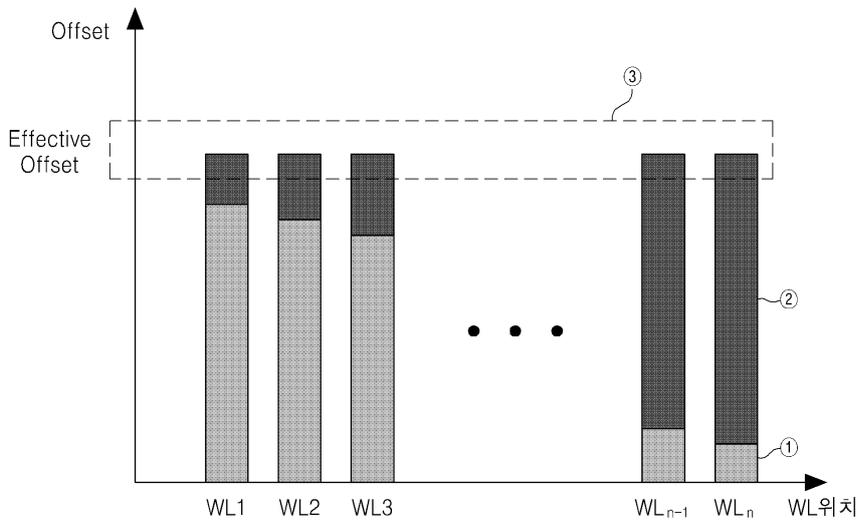


도면5



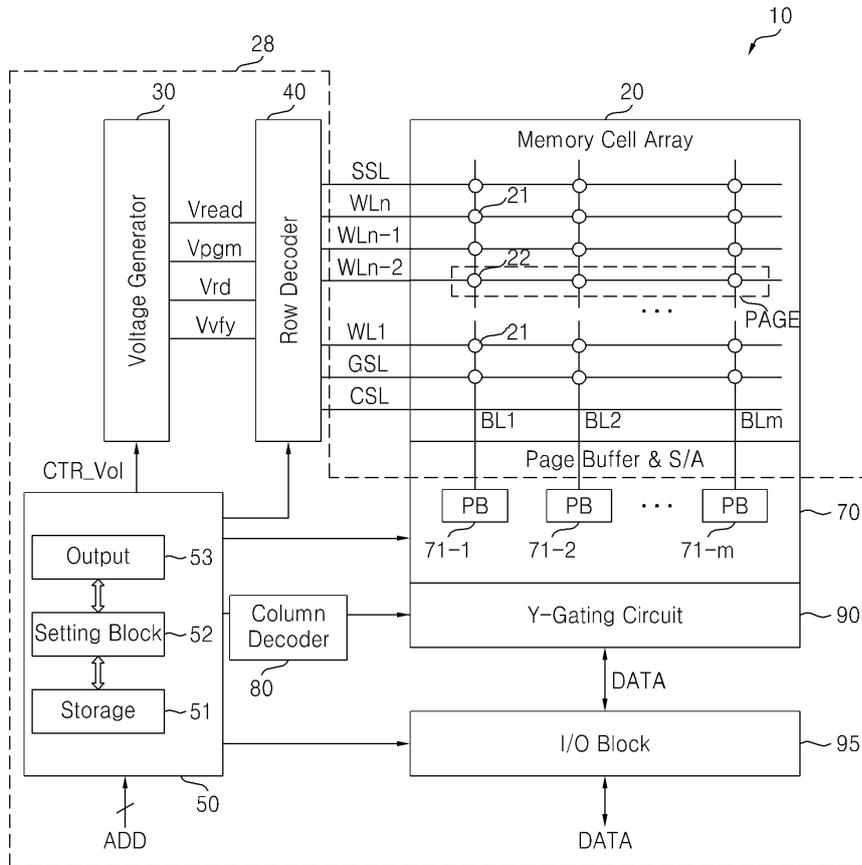
- ① CSL Noise
- ② Added Offset

도면6

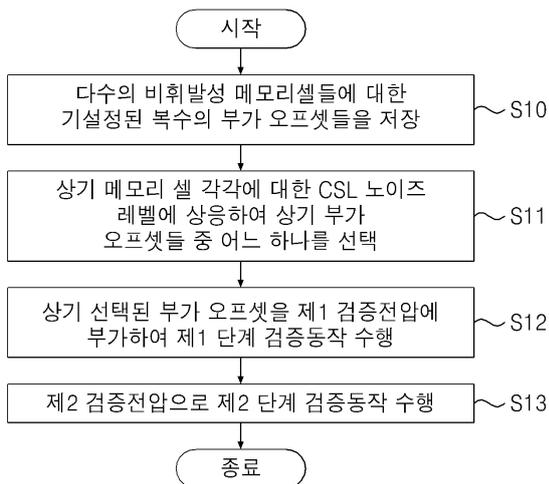


- ① CSL Noise
- ② Added Offset

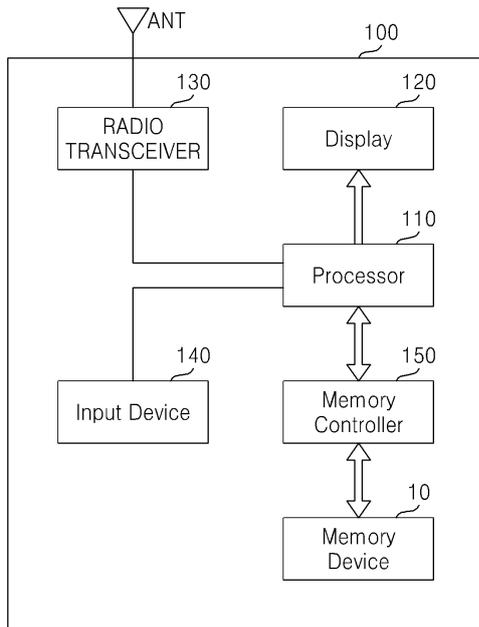
도면7



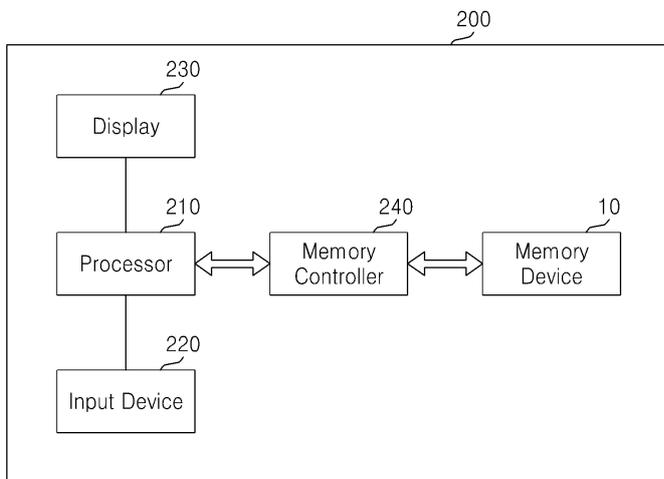
도면8



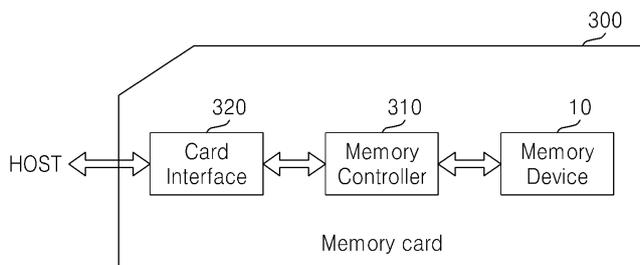
도면9



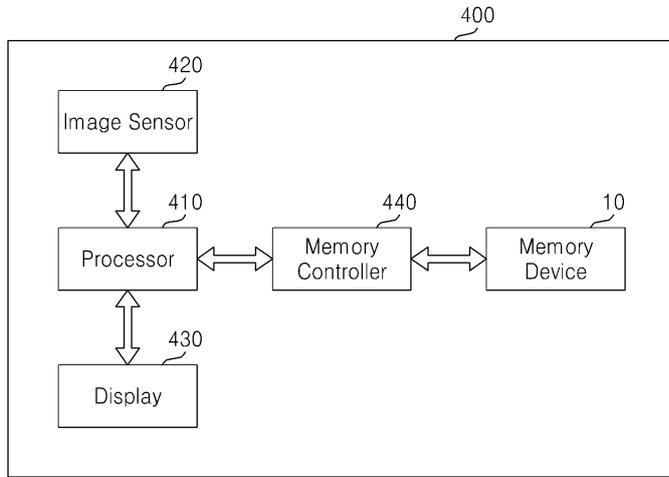
도면10



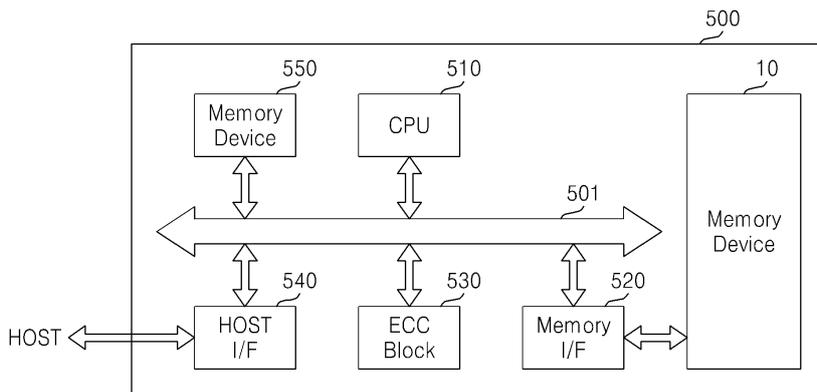
도면11



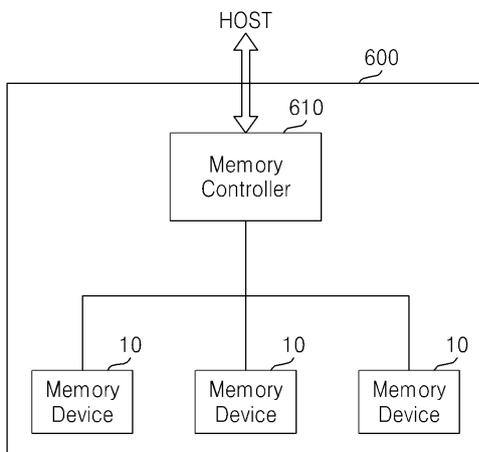
도면12



도면13



도면14



도면15

