



(12) 发明专利

(10) 授权公告号 CN 113220108 B

(45) 授权公告日 2023. 09. 26

(21) 申请号 202110693158.1
 (22) 申请日 2018.08.21
 (65) 同一申请的已公布的文献号
 申请公布号 CN 113220108 A
 (43) 申请公布日 2021.08.06
 (62) 分案原申请数据
 201810953834.2 2018.08.21
 (73) 专利权人 慧荣科技股份有限公司
 地址 中国台湾新竹县竹北市台元街36号8楼之1
 (72) 发明人 沈昌炜 王德凯 陈炳华
 (74) 专利代理机构 北京国昊天诚知识产权代理有限公司 11315
 专利代理师 南霆

(51) Int. Cl.
 G06F 1/3234 (2019.01)
 G06F 3/06 (2006.01)
 (56) 对比文件
 CN 105335233 A, 2016.02.17
 CN 107832157 A, 2018.03.23
 CN 102193747 A, 2011.09.21
 CN 102540868 A, 2012.07.04
 CN 105653005 A, 2016.06.08
 CN 202720635 U, 2013.02.06
 US 2016154449 A1, 2016.06.02
 审查员 王倩倩

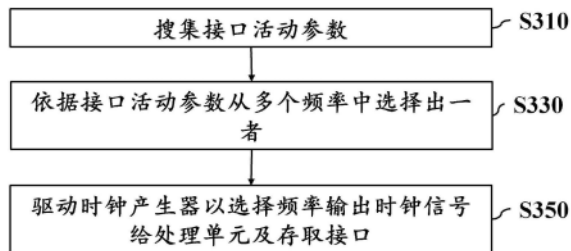
权利要求书2页 说明书11页 附图5页

(54) 发明名称

计算机可读取存储介质、操作频率调整方法及装置

(57) 摘要

本发明的实施例提出一种操作频率调整方法、计算机可读取存储介质以及装置,该方法由装置端的处理单元执行,包含:搜集接口活动参数;当接口活动参数指出装置端不需要执行背景操作以及装置端进入闲置状态时,从多个第一频率中选择出最小者;以及驱动第一时钟产生器以输出该选择的第一频率的第一时钟信号,使得主机存取接口和/或闪存存取接口运行于第一操作频率。装置端可主动在运行模式(Active Mode)启动节省电力消耗的控制机制,而不需要被动等待主机端的指挥。



1. 一种操作频率调整方法,由装置端的处理单元执行,其特征在于,包含:

搜集接口活动参数,其中该接口活动参数包含主机存取接口和/或闪存存取接口的数据传输信息;

当该接口活动参数指出该装置端不需要执行背景操作以及该装置端进入闲置状态时,从多个第一频率中选择出最小者,其中该背景操作并不是受到主机端指示而发起,而是该装置端主动发起的数据存取;

当该接口活动参数指出该装置端不需要执行该背景操作,该装置端没有进入该闲置状态,以及该主机端及该装置端的数据传输模式为脉波宽度调变或自动脉波宽度调变时,从该第一频率中选择出最小者;

当该接口活动参数指出该装置端不需要执行该背景操作,该装置端没有进入该闲置状态,以及该主机端及该装置端的数据传输模式为高速或自动高速的第2档或第3档时,从该第一频率中选择出最大者;

当该接口活动参数指出该装置端不需要执行该背景操作,该装置端没有进入该闲置状态,以及该主机端及该装置端的数据传输模式为高速或自动高速的第1档时,从该第一频率中选择出低于该第一频率中的最大者且高于该第一频率中的最小者的频率;

当该接口活动参数指出该装置端需要执行该背景操作时,从该第一频率中选择出最大者;以及

驱动第一时钟产生器以输出该选择的第一频率的第一时钟信号,使得该主机存取接口和/或该闪存存取接口运行于第一操作频率;

其中,该背景操作为垃圾回收处理、损耗平均处理、读取回收处理或读取更新处理。

2. 根据权利要求1所述的操作频率调整方法,其特征在于,该第一频率中的最小者介于62.5~87.5MHz之间。

3. 根据权利要求1所述的操作频率调整方法,其特征在于,该第一频率中的最大者介于250~350MHz之间。

4. 根据权利要求1所述的操作频率调整方法,其特征在于,该低于第一频率中的最大者且高于第一频率中的最小者的频率介于125~175MHz之间。

5. 根据权利要求1至4中任一项所述的操作频率调整方法,其特征在于,于默认一段时间没有与该主机端间进行任何数据传输,该装置端自动进入该闲置状态。

6. 一种计算机可读取存储介质,用于存储能够被装置端的处理单元执行的程序代码,其特征在于,该程序代码被该处理单元执行时实施根据权利要求1至5中任一项所述的操作频率调整方法。

7. 一种操作频率调整装置,其特征在于,包含:

第一时钟产生器;以及

处理单元,耦接该第一时钟产生器,搜集接口活动参数,其中该接口活动参数包含主机存取接口和/或闪存存取接口的数据传输信息;

当该接口活动参数指出该装置端不需要执行背景操作以及该装置端进入闲置状态时,从多个第一频率中选择出最小者,其中该背景操作并不是受到主机端指示而发起,而是该装置端主动发起的数据存取;

当该接口活动参数指出该装置端不需要执行该背景操作,该装置端没有进入该闲置状

态,以及该主机端及该装置端的数据传输模式为脉波宽度调变或自动脉波宽度调变时,从该第一频率中选择出最小者;

当该接口活动参数指出该装置端不需要执行该背景操作,该装置端没有进入该闲置状态,以及该主机端及该装置端的数据传输模式为高速或自动高速的第2档或第3档时,从该第一频率中选择出最大者;

当该接口活动参数指出该装置端不需要执行该背景操作,该装置端没有进入该闲置状态,以及该主机端及该装置端的数据传输模式为高速或自动高速的第1档时,从该第一频率中选择出低于该第一频率中的最大者且高于该第一频率中的最小者的频率;

当该接口活动参数指出该装置端需要执行该背景操作时,从该第一频率中选择出最大者;以及

驱动该第一时钟产生器以输出该选择的第一频率的第一时钟信号,使得该主机存取接口和/或该闪存存取接口运行于第一操作频率;

其中,该背景操作为垃圾回收处理、损耗平均处理、读取回收处理或读取更新处理。

8. 根据权利要求7所述的操作频率调整装置,其特征在于,该第一频率中的最小者介于62.5~87.5MHz之间。

9. 根据权利要求7所述的操作频率调整装置,其特征在于,该第一频率中的最大者介于250~350MHz之间。

10. 根据权利要求7所述的操作频率调整装置,其特征在于,该低于第一频率中的最大者且高于第一频率中的最小者的频率介于125~175MHz之间。

计算机可读取存储介质、操作频率调整方法及装置

技术领域

[0001] 本发明涉及闪存存储装置,尤指一种计算机可读取存储介质、操作频率调整方法及装置。

背景技术

[0002] 闪存存储装置通常分为NOR闪存存储装置与NAND闪存存储装置。NOR闪存存储装置为随机存取装置,主机端(Host)可于地址引脚上提供任何存取NOR闪存存储装置的地址,并及时地从NOR闪存存储装置的数据引脚上获得存储于该地址上的数据。相反地,NAND闪存存储装置并非随机存取,而是序列存取。NAND闪存存储装置无法像NOR闪存存储装置一样,可以存取任何随机地址,主机端反而需要写入序列的字节(Bytes)的值到NAND闪存存储装置中,用以定义请求命令(Command)的类型(如,读取、写入、抹除等),以及用在此命令上的地址。地址可指向一个页面(闪存存储装置中写入操作的最小数据块)或一个区块(闪存存储装置中抹除操作的最小数据块)。

[0003] 省电通常是闪存存储装置的重要议题。传统上,主机端可于不使用闪存存储装置存取数据时,控制闪存存储装置工作在不同的休眠模式(Sleep Mode)来节省电力消耗。闪存存储装置依据不同的休眠模式选择性地开启或关闭全部或部分电路,以达到省电的目的。然而,这样的控制不应用在主机端及闪存存储装置间传输数据时的运行模式(Active Mode)。因此,本发明提出一种计算机可读取存储介质、操作频率调整方法及装置,可应用于运行模式中,达成更佳的省电效果。

发明内容

[0004] 有鉴于此,如何减轻或消除上述相关领域的缺失,实为有待解决的问题。

[0005] 本发明提供一种操作频率调整方法的实施例,由装置端的处理单元执行,其包含:搜集接口活动参数;当接口活动参数指出装置端不需要执行背景操作以及装置端进入闲置状态时,从多个第一频率中选择出最小者;以及驱动第一时钟产生器以输出该选择的第一频率的第一时钟信号,使得主机存取接口和/或闪存存取接口运行于第一操作频率。

[0006] 本发明另提供一种计算机可读取存储介质的实施例,用于存储能够被装置端的处理单元执行的程序代码,当程序代码被该处理单元执行时实施如上所述的操作频率调整方法。

[0007] 本发明另提供一种操作频率调整装置的实施例,其包含:第一时钟产生器及处理单元。处理单元搜集接口活动参数;当接口活动参数指出该装置端不需要执行背景操作以及装置端进入闲置状态时,从多个第一频率中选择出最小者;以及驱动第一时钟产生器以输出该选择的第一频率的第一时钟信号,使得主机存取接口和/或闪存存取接口运行于第一操作频率。

[0008] 接口活动参数包含主机存取接口和/或闪存存取接口的数据传输信息。背景操作并不是受到主机端指示而发起,而是装置端主动发起的数据存取。

[0009] 上述实施例的优点之一是装置端可主动在运行模式 (Active Mode) 启动节省电力消耗的控制机制,而不需要被动等待主机端的指挥。

[0010] 上述实施例的另一优点是装置端可因应装置端与主机端间或装置端与存储存储单元间的数据传输状态,调整时钟产生器所产生要提供给处理单元和/或存取接口的时钟信号,进行更精细的电力消耗控制。

[0011] 本发明的其他优点将配合以下的说明和附图进行更详细的说明。

附图说明

[0012] 此处所说明的附图用来提供对本申请的进一步理解,构成本申请的一部分,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。

[0013] 图1为依据本发明实施例的闪存存储器的系统架构示意图。

[0014] 图2为存取子接口与多个存储子单元的连接示意图。

[0015] 图3为依据本发明实施例的操作频率的调整方法流程图。

[0016] 图4为依据本发明实施例的周期性调整时钟产生器输出的时钟信号的方法流程图。

[0017] 图5为依据本发明另一实施例的闪存存储器的系统架构示意图。

[0018] 图6为依据本发明实施例的调整操作频率的功能模块示意图。

[0019] 附图标记说明

[0020] 100 闪存系统

[0021] 110 主机端

[0022] 130 装置端

[0023] 131 物理层

[0024] 132 数据链接层

[0025] 133 闪存控制器

[0026] 134 处理单元

[0027] 135 定时器

[0028] 136_1、136_2 时钟产生器

[0029] 137_1、137_2、138_1、138_2 寄存器

[0030] 139 闪存存取接口

[0031] 150 存储单元

[0032] 170 通用闪存互联层

[0033] CLK1、CLK2 时钟信号

[0034] 139_0 存取子接口

[0035] 150_0_0~150_0_i 存储子单元

[0036] 210 数据线

[0037] 230_0~230_i 芯片使能控制信号

[0038] 500 闪存系统

[0039] 530 装置端

[0040] 535 除频器

[0041] 610~650 程序过程模块

具体实施方式

[0042] 以下将配合相关附图来说明本发明的实施例。在这些附图中，相同的标号表示相同或类似的组件或方法流程。

[0043] 必须了解的是，使用于本说明书中的“包含”、“包括”等词，是用于表示存在特定的技术特征、数值、方法步骤、作业处理、组件和/或组件，但并不排除可加上更多的技术特征、数值、方法步骤、作业处理、组件、组件，或以上的任意组合。

[0044] 本发明中使用如“第一”、“第二”、“第三”等词是用来修饰权利要求中的组件，并非用来表示的间具有优先权顺序，先行关系，或者是一个组件先于另一个组件，或者是执行方法步骤时的时间先后顺序，仅用来区别具有相同名字的组件。

[0045] 必须了解的是，当组件描述为“连接”或“耦接”至另一组件时，可以是直接连结、或耦接至其他组件，可能出现中间组件。相反地，当组件描述为“直接连接”或“直接耦接”至另一组件时，其中不存在任何中间组件。使用于描述组件之间关系的其他语词也可类似方式解读，例如“介于”相对于“直接介于”，或者是“邻接”相对于“直接邻接”等等。

[0046] 参考图1。闪存系统架构100包含主机端(host)110、装置端(device)130及存储单元150。此系统架构可实施于个人计算机、笔记本电脑(Laptop PC)、平板计算机、移动电话、数字相机、数字摄影机等电子产品。装置端130可包含处理单元133。主机端110及装置端130间可以闪存通信协议(例如，通用闪存存储,Universal Flash Storage UFS)彼此通信。闪存记忆控制器133通过数据链接层132及物理层131电性连接(耦接)主机端110。闪存控制器133可通过直接存储器访问控制器(未显示于图1)从数据缓冲区(未显示于图1)读取从存储单元150取得的用户数据，并通过驱动数据链接层132及物理层131依序输出给主机端110。闪存控制器133可通过直接存储器访问控制器(未显示于图1)将主机端110欲写入的用户数据存储至数据缓冲区。处理单元134可使用多种方式实施，例如使用通用硬件，如单处理器、具平行处理能力的多处理器、图形处理器、轻简型通用目的处理器(Lightweight General-Purpose Processor)或其他具运算能力的处理器，并且在执行指令(Instructions)、宏码(Macrocode)或微码(Microcode)时，提供之后描述的功能。闪存控制器133可为UFS控制器，通过UFS通信协议与主机端110进行通信。虽然本发明实施例以UFS通信协议举例，但本发明也可应用到其他的通信协议，例如通用序列总线(Universal Serial Bus,USB)、先进技术附着(advanced technology attachment,ATA)、序列先进技术附着(serial advanced technology attachment,SATA)、快速周边组件互联(peripheral component interconnect express,PCI-E)或其他接口的通信协议。

[0047] 装置端130另包含闪存存取接口139，使得处理单元134可通过闪存存取接口139与存储单元150通信，详细来说，可采用双倍数据率(Double Data Rate DDR)通信协议，例如，开放NAND闪存(Open NAND Flash Interface ONFI)、双倍数据率开关(DDR Toggle)或其他接口。处理单元134通过闪存存取接口139写入用户数据到存储单元150中的指定地址(目的地址)，以及从存储单元150中的指定地址(来源地址)读取用户数据。闪存存取接口139使用多个电子信号来协调处理单元134与存储单元150间的数据与命令传递，包含数据线(data line)、时钟信号(clock signal)与控制信号(control signal)。数据线可用以传递命令、地址、读出及写入的数据；控制信号线可用以传递芯片使能(Chip Enable CE)、地址提取使能(Address Latch Enable ALE)、命令提取使能(Command Latch Enable CLE)、写入使能

(Write Enable WE)等控制信号。

[0048] 存储单元150可包含多个存储子单元,每个存储子单元,各自使用关联的存取子接口与处理单元134进行通信。一个或多个存储子单元可封装在一个芯粒(Die)之中。闪存存取接口139可包含j个存取子接口,每一个存取子接口连接i个存储子单元。存取子接口及其后连接的存储子单元又可统称为输出输入信道,并可以逻辑单元编号(Logic Unit Number LUN)标识。换句话说,i个存储子单元共享一个存取子接口。例如,装置端130包含4个输出输入且每一个输出输入连接4个存储子单元时,装置端130可存取16个存储子单元。处理单元134可驱动存取子接口中的一个,从指定的存储子单元读取,或写入数据至指定的存储子单元。每个存储子单元拥有独立的芯片使能(CE)控制信号。换句话说,当欲对指定的存储子单元进行数据读取或写入时,需要驱动关联的存取子接口来使能此存储子单元的芯片使能控制信号。参考图2。处理单元134可通过存取子接口139_0使用独立的芯片使能控制信号230_0_0至230_0_i从连接的存储子单元150_0_0至150_0_i中选择出其中一个,接着,通过共享的数据线210从选择出的存储子单元的指定地址读取数据,或传送欲写入指定地址的用户数据至选择出的存储子单元。

[0049] 参考图1。装置端130另包含时钟产生器(Clock Generator)136_1。时钟产生器136_1是产生时钟信号CLK1的电路,输出时钟信号CLK1给处理单元134,用于同步固件指令、宏码或微码等的提取、译码、执行及回写。在一些实施方式中,当主机端110预期会长时间不存取存储单元150时,可发送命令给装置端130,让装置端130进入省电模式。例如,主机端110可发送进入休眠模式(Sleep Mode)的原语(primitive)DME_HIBERNATE_ENTER给装置端130。当闪存控制器133接收到原语DME_HIBERNATE_ENTER,可关闭时钟产生器136_1,用以节省电力消耗。或者,主机端110可发送启动停止单元(Start Stop Unit SSU)命令给装置端130,强迫装置端130进入休眠状态(Sleep State)。当闪存控制器133接收到进入休眠状态的启动停止单元命令后,阻断时钟产生器136_1产生的时钟信号CLK1,使得时钟信号CLK1无法提供给处理单元134。原语DME_HIBERNATE_ENTER及启动停止单元命令的数据格式及发送细节可参考发表于2016年6月的通用闪存存储标准的版本2.1。当处理单元134没被时钟信号CLK1驱动时,无法运行,使得电力消耗可以被节约。在此需注意的是,当处理单元134没被时钟信号CLK1驱动时,不能执行任何固件或软件指令、宏码或微码。然而,在运行模式(Active Mode)中,主机端110并没有任何可让装置端130节省电力消耗的控制机制。

[0050] 为解决此缺陷,本发明实施例提出一种在运行模式中的省电机制,由装置端130主动控制,可因应装置端130与主机端110间或装置端130与存储单元150间的数据传输状态,调整时钟产生器所产生要提供给处理单元和/或存取接口的时钟信号。例如,当两装置间只需要较低传输率时,可让时钟产生器产生较低频率的时钟信号,用以节省电力消耗。

[0051] 参考图1。装置端130另包含时钟产生器136_2。时钟产生器136_2是一种产生时钟信号CLK2的电路,输出时钟信号CLK2给通用闪存存储互联层170(UFS InterConnect Layer-UIC,其包含物理层131、数据链接层132及闪存控制器133)及闪存存取接口139,用于同步数据传收的操作。通用闪存存储互联层170可称为主机存取接口。时钟产生器136_1及136_2分别依据寄存器138_1及138_2的设定调整输出时钟信号CLK1及CLK2的频率。

[0052] 为了提供更好的省电效果,装置端130可分别为处理单元134及闪存存取接口139默认多个频率。例如,输出至处理单元134的时钟信号CLK1的频率可为500、250、125MHz等,

而输出至存取接口(包含通用闪存存储互联层170及闪存存取接口139)的时钟信号CLK2的频率可为300、150、75MHz等。参考图3。图3所示的方法可由处理单元134于加载并执行特定固件或软件指令、宏码或微码时实施。处理单元134首先搜集接口活动参数,包含通用闪存存储互联层170和/或闪存存取接口139的数据传输相关信息(步骤S310)。例如,接口活动参数可指出装置端130是否进入闲置状态(idle state)、闪存存取接口139是否用于进行背景操作,以及通用闪存存储互联层170的数据传输模式等信息。处理单元134依据接口活动参数分别为处理单元134及存取接口从上述多个频率中选择出一个(步骤S330),以及驱动时钟产生器136_1以选择频率输出时钟信号CLK1给处理单元134并且驱动时钟产生器136_2以选择频率输出时钟信号CLK2给存取接口,使得处理单元134、通用闪存存储互联层170及闪存存取接口139可运行于指定的操作频率(步骤S350)。于步骤S350的一些实施例中,处理单元134可只调整时钟产生器136_2输出的时钟信号CLK2的频率,并让时钟产生器136_1输出的时钟信号CLK1的频率固定在一个较高的水平。

[0053] 参考图4。图4所示的方法可由处理单元134于加载并执行特定固件或软件指令、宏码或微码时实施。处理单元134可周期性地执行一个循环(步骤S410至S460),并且于每个回合中,搜集接口活动参数,依据接口活动参数决定时钟产生器136_1及136_2输出的时钟信号CLK1及CLK2的频率,并且驱动时钟产生器136_1及136_2以决定的频率输出时钟信号CLK1及CLK2。

[0054] 装置端130另包含定时器(timer)135。处理单元134可于初始或每个回合结束时,设定定时器135重新开始计数一段指定时间,例如2、3或5毫秒(milliseconds ms)等。每当定时器135计数到指定时间时,发出中断给处理单元134,使得处理单元134可启动新一回合的操作频率调整(步骤S410)。

[0055] 在一些实施例中,时钟信号CLK1及CLK2的频率可依据搜集的接口活动参数调整为符合三个水平中的一个。示例的频率范围如表1所示:

[0056] 表1

	CLK1的频率范围	CLK2的频率范围
第三水平(LV3)	400~600MHz	250~350MHz
第二水平(LV2)	200~300MHz	125~175MHz
第一水平(LV1)	100~150MHz	62.5~87.5MHz

[0058] 当处理单元134决定装置端130需要运行在高速时,可驱动时钟产生器136_1以400~600MHz间的一个频率输出时钟信号CLK1并且驱动时钟产生器136_2以250~350MHz间的一个频率输出时钟信号CLK2。当决定装置端130需要运行在中速时,可驱动时钟产生器136_1以200~300MHz间的一个频率输出时钟信号CLK1并且驱动时钟产生器136_2以125~175MHz间的一个频率输出时钟信号CLK2。当决定装置端130需要运行在低速时,可驱动时钟产生器136_1以100~150MHz间的一个频率输出时钟信号CLK1并且驱动时钟产生器136_2以62.5~87.5MHz间的一个频率输出时钟信号CLK2。装置端130的制造商可于出厂前可将时钟信号CLK1及CLK2的三个水平的默认频率存储至非易失存储器(未显示于图1),使得处理单元134可于执行操作频率调整方法时使用。

[0059] 当处理单元134侦测到定时器135发出的中断时(步骤S410),可先判断装置端130是否需要执行背景操作(步骤S420)。寄存器137_2可以1比特锁存装置端130是否需要执行

背景操作的信息,例如,“1”代表需要;“0”代表不需要。处理单元134可读取寄存器137_2的值来判断装置端130是否需要执行背景操作。背景操作并不是受到主机端110指示而发起,而是装置端130主动发起的数据存取,可为垃圾回收处理(garbage collection GC process)、损耗平均处理(wear leveling process)、读取回收处理(read reclaim process)或读取更新处理(read reflash process)。

[0060] 例如,经过多次的存取后,一个实体页面可能包含有效及无效区段(又称为过期区段),其中,有效区段存储有效的用户数据,无效区段存储无效的(旧的)用户数据。当侦测到存储单元150的可用空间不足时,处理单元134可设定寄存器(可称作背景操作寄存器,background-operation register)137_2,指出装置端130需要执行背景操作(如垃圾回收处理)。于垃圾回收处理中,处理单元134驱动闪存存取接口139,重新写入搜集起来的有效的用户数据至闲置区块或主动区块的空实体页面,使得这些包含无效的用户数据的数据区块可变更成为闲置区块,于抹除后,即可提供给其他用户数据存储。

[0061] 又例如,由于经过一定次数的抹除(例如,500次、1000次或5000次),存储单元150中的实体区块便会因为不良的数据保存(Data Retention)能力而被列为坏块而不再使用。为了延长实体区块的服务寿命,处理单元134持续监督每个实体区块的抹除次数。当一个数据区块的抹除次数超过抹除阈值时,处理单元134可设定寄存器137_2,指出装置端130需要执行背景操作(如损耗平均处理)。于损耗平均处理中,处理单元133驱动闪存存取接口139读取这个数据区块(来源区块)中的用户数据。接着,处理单元133选择一个抹除次数最少的闲置区块作为目的区块,并且驱动闪存存取接口139写入之前的读取的用户数据写至选择的区块中的可用实体页面。

[0062] 此外,当读取回收处理或读取更新处理的启动条件满足时,处理单元134同样可设定寄存器137_2,指出装置端130需要执行背景操作(如读取回收处理或读取更新处理)。

[0063] 由于背景操作需要执行一系列的命令,从存储单元150读取数据及写入数据到存储单元150,因此处理单元134、闪存存取接口139及存储单元150以越快的操作频率运行越好。当判断装置端130需要执行背景操作时(步骤S420中“是”的路径),驱动时钟产生器136_1以可选择的最高频率输出时钟信号CLK1给处理单元134并且驱动时钟产生器136_2以可选择的最高频率输出时钟信号CLK2给通用闪存存储互联层170及闪存存取接口139,使得处理单元134、通用闪存存储互联层170及闪存存取接口139可运行于最高的操作频率(步骤S430)。举例来说,处理单元134可设定寄存器138_1成为如表1所示符合CLK1第三水平(也就是400~600MHz间)的值,使得时钟产生器136_1依据设定值以相应频率输出时钟信号CLK1给处理单元134;以及设定寄存器138_2成为如表1所示符合CLK2第三水平(也就是250~350MHz间)的值,使得时钟产生器136_2依据设定值以相应频率输出时钟信号CLK2给通用闪存存储互联层170及闪存存取接口139。于此需注意的是,执行背景操作期间,同样可穿插执行主机端110发出的存取命令。

[0064] 针对不需要执行背景操作的情况,处理单元134可因应装置端130及主机端110间的数据传输模式,让处理单元134、闪存存取接口139及存储单元150运行于匹配的操作频率。当判断装置端130不需要执行背景操作时(步骤S420中“否”的路径),处理单元134取得装置端130的运行状态及装置端130及主机端110间的数据传输模式(步骤S440)。

[0065] UFS接口可运行于脉波宽度调变档(PWM,Pulse-Width Modulation gear)或高速

档(HS,High-Speed gear)。脉波宽度调变档可为0.5Gbps(Gigabits per second)或更低速,而高速档可为1.4Gbps或更高速。脉波宽度调变档可称作低速档。例如,表2列举UFS规范所定义不同高速文件(HS-GEARs)的数据速率:

[0066] 表2

	A 级速率 (RATE A-series) (Mbps)	B 级速率 (RATE B-series) (Mbps)	高速档 (HS-GEARs)
[0067]	1248	1457.6	HS-G1 (A/B)
	2496	2915.2	HS-G2 (A/B)
	4992	5830.4	HS-G3 (A/B)

[0068] 高速文件HS-G1的A级速率为1248Mbps,而高速档HS-G1的B级速率为1248Mbps,高速档HS-G2的A级速率为2496Mbps,而高速档HS-G2的B级速率为2915.2Mbps,依此类推。表3列举UFS规范所定义不同脉波宽度调变文件(PWMS-GEARs)的数据速率:

[0069] 表3

脉波宽度调变档	最低速率(Mbps)	最高速率(Mbps)
PWM-G0	0.01	3
PWM-G1	3	9
PWM-G2	6	18
PWM-G3	12	36
PWM-G4	24	72
PWM-G5	48	144
PWM-G6	96	288

[0071] 低速文件PWM-G0的数据速率介于0.01至3Mbps之间,低速文件PWM-G1的数据速率介于3至9Mbps之间,低速文件PWM-G2的数据速率介于6至18Mbps之间,依此类推。

[0072] 装置端130可配置寄存器137_1,用以存储装置端130及主机端110间的数据传输模式。寄存器137_1可锁存至少5个比特的值,其中2个比特(又可称为模式寄存器)表示传输模式(transmission mode),另外3个比特(又可称为档位寄存器)表示档位(gear)。例如,模式寄存器存储“0b00”、“0b01”、“0b10”及“0b11”分别代表UFS接口运行于脉波宽度调变档、自动脉波宽度调变档(PWM-auto gear)、高速档及自动高速档(HS-auto gear)。寄存器存储“0b000”至“0b111”中的一个分别代表第0至第7档中的相应一个。主机端110可发送模式改变命令给装置端130,用以配置装置端130及主机端110间的数据传输模式。当闪存控制器133接收到模式改变命令,根据模式改变命令的指示设定模式寄存器及文件位寄存器。表4描述不同数据传输模式的模式寄存器及文件位寄存器的设定示例:

[0073] 表4

数据传输模式	模式寄存器	档位寄存器
[0074]		

[0075]	PWM (PWM-auto) -G0	0b00 (0b01)	0b000
	PWM (PWM-auto) -G1	0b00 (0b01)	0b001
	PWM (PWM-auto) -G2	0b00 (0b01)	0b010
	PWM (PWM-auto) -G3	0b00 (0b01)	0b011
	PWM (PWM-auto) -G4	0b00 (0b01)	0b100
	PWM (PWM-auto) -G5	0b00 (0b01)	0b101
	PWM (PWM-auto) -G6	0b00 (0b01)	0b110
	PWM (PWM-auto) -G7	0b00 (0b01)	0b111
	HS (HS-auto) -G1	0b10 (0b11)	0b001
	HS (HS-auto) -G2	0b10 (0b11)	0b010
	HS (HS-auto) -G3	0b10 (0b11)	0b011

[0076] 当模式改变命令指示装置端130运行于脉波宽度调变的第0档,闪存控制器133分别设定模式寄存器及文件位寄存器为“0b00”及“0b000”。当模式改变命令指示装置端130运行于自动脉波宽度调变的第0档,闪存控制器133分别设定模式寄存器及文件位寄存器为“0b01”及“0b000”。脉波宽度调变或自动脉波宽度调变的其余档位设定可依此类推,不再赘述以求简明。当模式改变命令指示装置端130运行于高速的第1档,闪存控制器133分别设定模式寄存器及文件位寄存器为“0b10”及“0b001”。当模式改变命令指示装置端130运行于自动高速的第1档,闪存控制器133分别设定模式寄存器及文件位寄存器为“0b11”及“0b001”。高速或自动高速的其余档位设定可依此类推,不再赘述以求简明。

[0077] 当装置端130运行于自动脉波宽度调变档档位或自动高速档,并且于预设一段时间没有与主机端110间进行任何数据传输时,装置端130会自动进入闲置状态(idle state),用以关闭部分电路,节省电力消耗。装置端130还可设置一个寄存器(未显示于图1),耦接处理单元134,用以锁存装置端130是否进入闲置状态的信息。

[0078] 处理单元134取得装置端130的运行状态及装置端130及主机端110间的数据传输模式后(步骤S440),据此从多个频率中选择一个(步骤S450)。参考表1所示的频率水平的划分。处理单元134可依据寄存器137_1的内容使用以下规则决定处理单元134、闪存存取接口139及存储单元150的频率:

[0079] (1) 当装置端130进入闲置状态时,不管数据传输模式为何,选择符合第一水平的频率;

[0080] (2) 当装置端130没有进入闲置状态且数据传输模式为脉波宽度调变或自动脉波宽度调变,不管档位为何,选择符合第一水平的频率;

[0081] (3) 当装置端130没有进入闲置状态且数据传输模式为高速或自动高速的第1档,

选择符合第二水平的频率;以及

[0082] (4)当装置端130没有进入闲置状态且数据传输模式为高速或自动高速的第2档或第3档,选择符合第三水平的频率。

[0083] 当处理单元134依据数据传输模式从多个频率中选择一个后(步骤S450),驱动时钟产生器136_1以选择频率输出时钟信号CLK1给处理单元134并且驱动时钟产生器136_2以选择频率输出时钟信号CLK2给通用闪存存储互联层170及闪存存取接口139,使得处理单元134、通用闪存存储互联层170及闪存存取接口139可运行于指定的操作频率(步骤S460)。举例来说,当数据传输模式为高速或自动高速的第1文件,处理单元134可设定寄存器138_1成为如表1所示符合CLK1第二水平(也就是200~300MHz间)的值,使得时钟产生器136_1依据设定值以相应频率输出时钟信号CLK1给处理单元134;以及设定寄存器138_2成为如表1所示符合CLK2第二水平(也就是125~175MHz间)的值,使得时钟产生器136_2依据设定值以相应频率输出时钟信号CLK2给通用闪存存储互联层170及闪存存取接口139。于步骤S460的一些实施例中,处理单元134可只调整时钟产生器136_2输出的时钟信号CLK2的频率,而让脉冲产生器136_1输出的时钟信号CLK1的频率保持在特定水平。

[0084] 图3中步骤S310所述的接口活动参数可包含寄存器137_1及137_2中全部或部分的值。

[0085] 图1所示的闪存系统架构100的装置端130可进一步修改,让处理单元134只控制一个时钟产生器,就可让处理器134及存取接口(包含通用闪存存储互联层170及闪存存取接口139)运行于不同的操作频率。参考图5。修改后的装置端530可设置除频器535,耦接于时钟产生器136_1、通用闪存存储互联层170及闪存存取接口139之间,用以从时钟产生器136_1输入一个频率的时钟信号CLK1,产生1/2、3/5或2/3频率的时钟信号CLK2,并输出时钟信号CLK2至通用闪存存储互联层170及闪存存取接口139。因应修改后的装置端530,如图4所示步骤S430可修改为,处理单元134设定寄存器138_1成为如表1所示符合CLK1第三水平(也就是400~600MHz间)的值,驱动时钟产生器136_1依据设定值以相应频率输出时钟信号CLK1给处理单元134及除频器535,使得除频器535产生并输出2/5、1/2或2/3频率的时钟信号CLK2给通用闪存存储互联层170及闪存存取接口139。此外,如图4所示步骤S460可修改为,驱动时钟产生器136_1以选择频率输出时钟信号CLK1给处理单元134及除频器535,使得除频器535产生并输出1/2、3/5或2/3选择频率的时钟信号CLK2给通用闪存存储互联层170及闪存存取接口139。

[0086] 于此需注意的是,当处理单元134中还包含调整时钟信号CLK1的电路时,时钟信号CLK1的频率并不一定等于处理单元134运行时的操作频率。当主机存取接口170或闪存存取接口139中还包含调整时钟信号CLK2的电路时,时钟信号CLK2的输出频率并不一定等于主机存取接口170或闪存存取接口139运行时的操作频率。但所属技术领域人员可理解,时钟信号CLK1的输出频率变快会导致处理单元134运行时的操作频率加快,反之亦然。时钟信号CLK2的输出频率变快会导致主机存取接口170及闪存存取接口139运行时的操作频率加快,反之亦然。

[0087] 以下提出多个使用案例,说明如何应用如上所述的操作频率调整装置及方法。

[0088] 于第一个使用案例,假设装置端130不执行背景操作:一开始,主机端110发送模式改变命令给装置端130,指示装置端130运行于自动高速的特定档位。当闪存控制器133接收

到模式改变命令后,设定寄存器137_1,用以锁存此数据传输模式的信息。此时,装置端130进入运行状态(active state)。接着,处理单元134读取寄存器137_1(步骤S440),依据此数据传输模式驱动时钟产生器136_1以相应频率(例如符合CLK1第二或第三水平的频率)输出时钟信号CLK1给处理单元134并且驱动时钟产生器136_2以相应频率(例如符合CLK2第二或第三水平的频率)输出时钟信号CLK2给存取接口,使得处理单元134、通用闪存存储互联层170及闪存存取接口139可运行于期望的操作频率(步骤S450至S460)。接着,于默认一段时间没有与主机端110间进行任何数据传输,装置端130自动进入闲置状态。处理单元134侦测到进入闲置状态(步骤S440),驱动时钟产生器136_1以符合CLK1第一水平的频率输出时钟信号CLK1给处理单元134并且驱动时钟产生器136_2以符合CLK2第一水平的频率输出时钟信号CLK2给存取接口,使得处理单元134、通用闪存存储互联层170及闪存存取接口139可运行于较慢的操作频率,从而节省电力消耗(步骤S450至S460)。

[0089] 于第二个使用案例,假设装置端130不执行背景操作:一开始,主机端110发送模式改变命令给装置端130,指示装置端130运行于高速或自动高速的特定档位。当闪存控制器133接收到模式改变命令后,设定寄存器137_1,用以锁存此数据传输模式的信息。接着,处理单元134读取寄存器137_1(步骤S440),依据数据传输模式驱动时钟产生器136_1以相应频率(例如符合CLK1第二或第三水平的频率)输出时钟信号CLK1给处理单元134并且驱动时钟产生器136_2以相应频率(例如符合CLK2第二或第三水平的频率)输出时钟信号CLK2给存取接口,使得处理单元134、通用闪存存储互联层170及闪存存取接口139可运行于期望的操作频率(步骤S450至S460)。接着,主机端110发送模式改变命令给装置端130,指示装置端130运行于脉波宽度调变或自动脉波宽度调变的特定档位(也即是改变后数据传输模式)。当闪存控制器133接收到模式改变命令后,设定寄存器137_1,用以锁存改变后数据传输模式的信息。接着,处理单元134读取寄存器137_1(步骤S440),依据改变后数据传输模式驱动时钟产生器136_1以符合CLK1第一水平的频率输出时钟信号CLK1给处理单元134并且驱动时钟产生器136_2以符合CLK2第一水平的频率输出时钟信号CLK2给存取接口,使得处理单元134、通用闪存存储互联层170及闪存存取接口139可运行于较慢的操作频率,从而节省电力消耗(步骤S450至S460)。

[0090] 于第三个使用案例,假设装置端130不执行背景操作:一开始,主机端110发送模式改变命令给装置端130,指示装置端130运行于高速或自动高速的第2或3档。当闪存控制器133接收到模式改变命令后,设定寄存器137_1,用以锁存此数据传输模式的信息。接着,处理单元134读取寄存器137_1(步骤S440),依据数据传输模式驱动时钟产生器136_1以符合CLK1第三水平的频率输出时钟信号CLK1给处理单元134并且驱动时钟产生器136_2以符合CLK2第三水平的频率输出时钟信号CLK2给存取接口,使得处理单元134、通用闪存存储互联层170及闪存存取接口139可运行于期望的操作频率(步骤S450至S460)。接着,主机端110发送模式改变命令给装置端130,指示装置端130运行于高速或自动高速的第1档(也即是改变后数据传输模式)。当闪存控制器133接收到模式改变命令后,设定寄存器137_1,用以锁存改变后数据传输模式的信息。接着,处理单元134读取寄存器137_1(步骤S440),依据改变后数据传输模式驱动时钟产生器136_1以符合CLK1第二水平的频率输出时钟信号CLK1给处理单元134并且驱动时钟产生器136_2以符合CLK2第二水平的频率输出时钟信号CLK2给存取接口,使得处理单元134、通用闪存存储互联层170及闪存存取接口139可运行于较慢的操作

频率,从而节省电力消耗(步骤S450至S460)。

[0091] 处理单元134所执行操作频率调整的方法步骤,可用一个或多个功能模块组成的计算器程序产品来实现。这些功能模块存储于非易失性存储装置,并且可被处理单元134于特定时间点加载并执行。参考图6。处理单元133执行中断管理模块(Interrupt Handler Module) 610以完成步骤S310的部分操作及步骤S410的操作,执行背景操作侦测模块620以完成步骤S420的操作,执行装置端运行状态及数据传输模式侦测模块630以完成步骤S310的部分操作及步骤S440的操作,执行频率选择模块640以完成步骤S330及步骤S450的操作,以及执行时钟产生器驱动模块650以完成步骤S350、步骤S430及S460的操作。背景操作侦测模块620可依据侦测结果呼叫装置端运行状态及数据传输模式侦测模块630及时钟产生器驱动模块650中的一个。背景操作侦测模块620及频率选择模块640可使用参数来传送选择的频率给时钟产生器驱动模块650。背景操作侦测模块620及执行装置端运行状态及数据传输模式侦测模块630可概括称为侦测模块。

[0092] 本发明所述的方法中的全部或部分步骤可以计算器程序实现,例如计算机的操作系统、计算机中特定硬件的驱动程序、或软件程序。此外,也可实现于如上所示的其他类型程序。所属技术领域的技术人员可将本发明实施例的方法撰写成计算器程序,为求简明不再加以描述。依据本发明实施例方法实施的计算器程序可存储于适当的计算机可读取数据载体,例如DVD、CD-ROM、USB盘、硬盘,也可置于可通过网络(例如,互联网,或其他适当载体)存取的网络服务器。

[0093] 虽然图1及5中包含了以上描述的组件,但不排除在不违反发明的精神下,使用更多其他的附加组件,已达成更佳的技术效果。此外,虽然图3及4的流程图采用指定的顺序来执行,但是在不违反发明精神的情况下,所属技术领域的技术人员可以在达到相同效果的前提下,修改这些步骤间的顺序,所以,本发明并不局限于仅使用如上所述的顺序。此外,所属技术领域的技术人员也可以将若干步骤整合为一个步骤,或者是除了这些步骤外,循序或平行地执行更多步骤,本发明也不因其而局限。

[0094] 虽然本发明使用以上实施例进行说明,但需要注意的是,这些描述并非用于限缩本发明。相反地,此发明涵盖了所属技术领域中的技术人员显而易见的修改与相似设置。所以,权利要求范围须以最宽广的方式解释来包含所有显而易见的修改与相似设置。

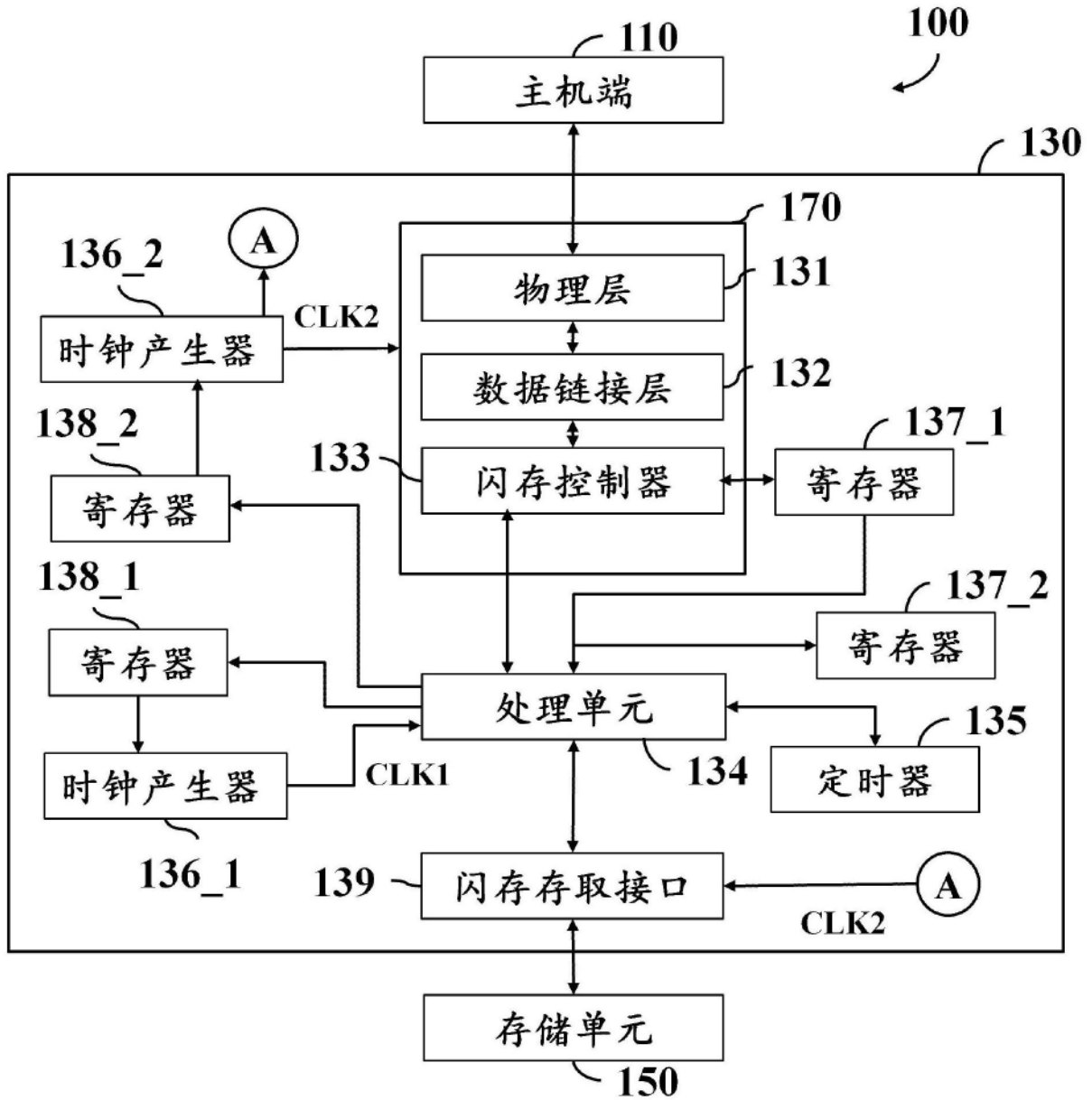


图1

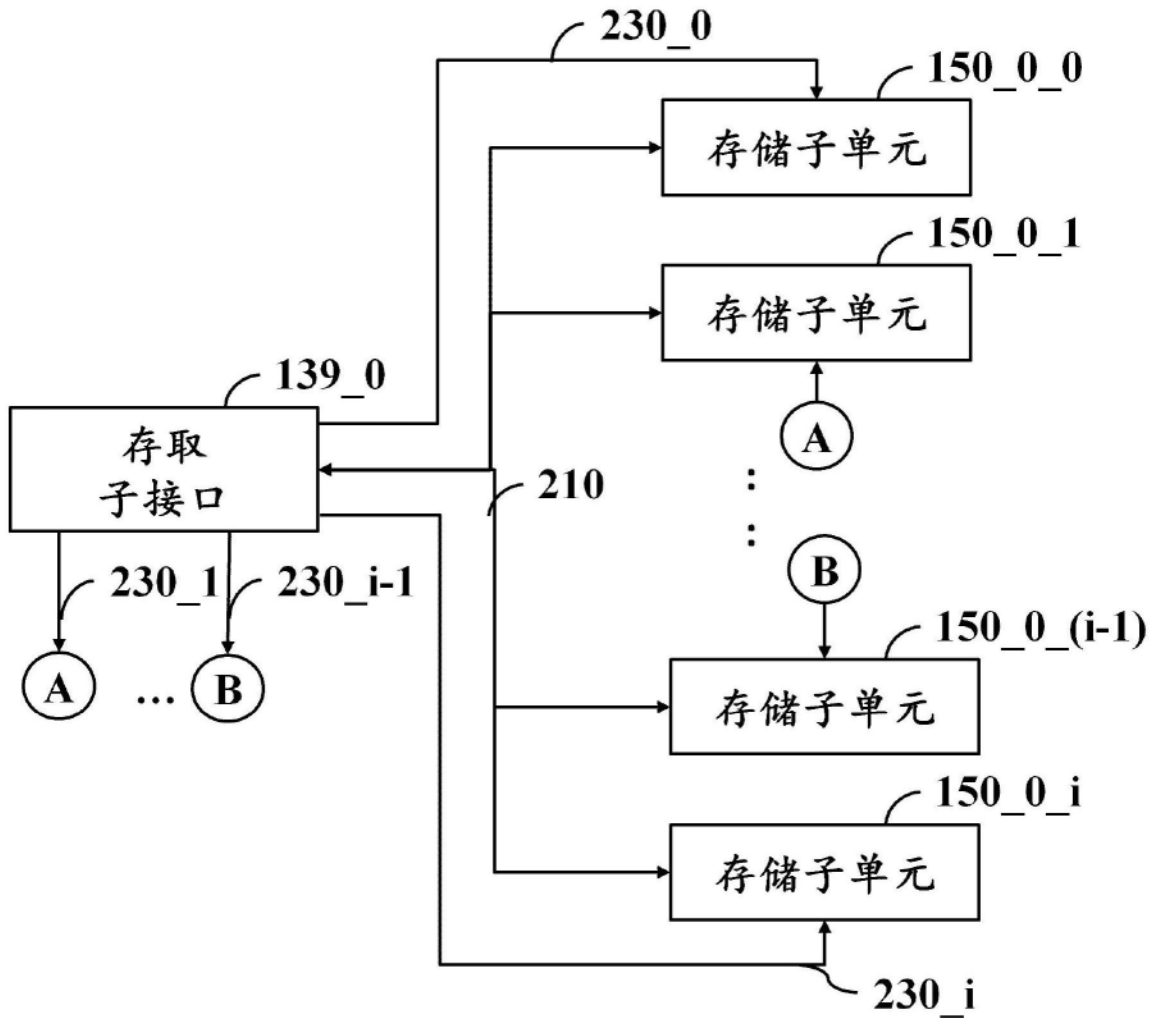


图2

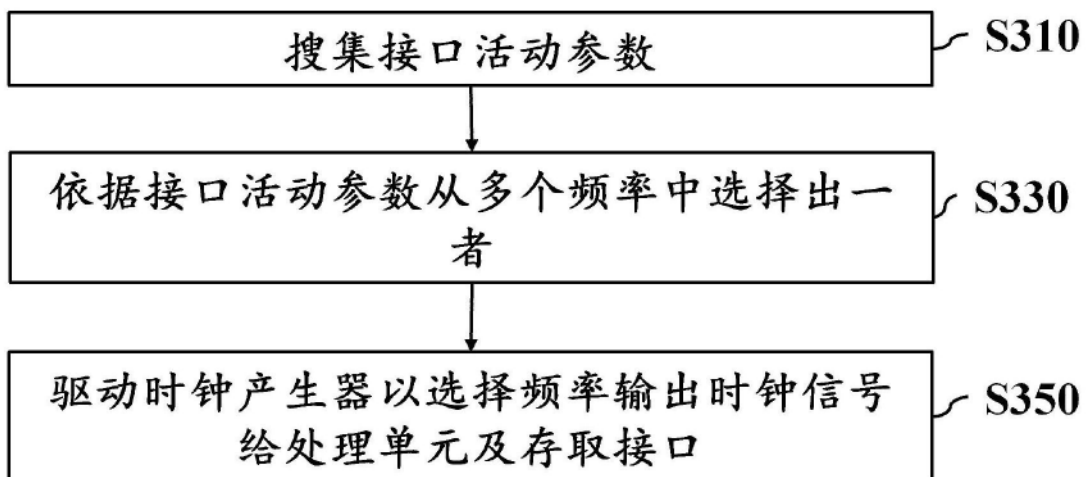


图3

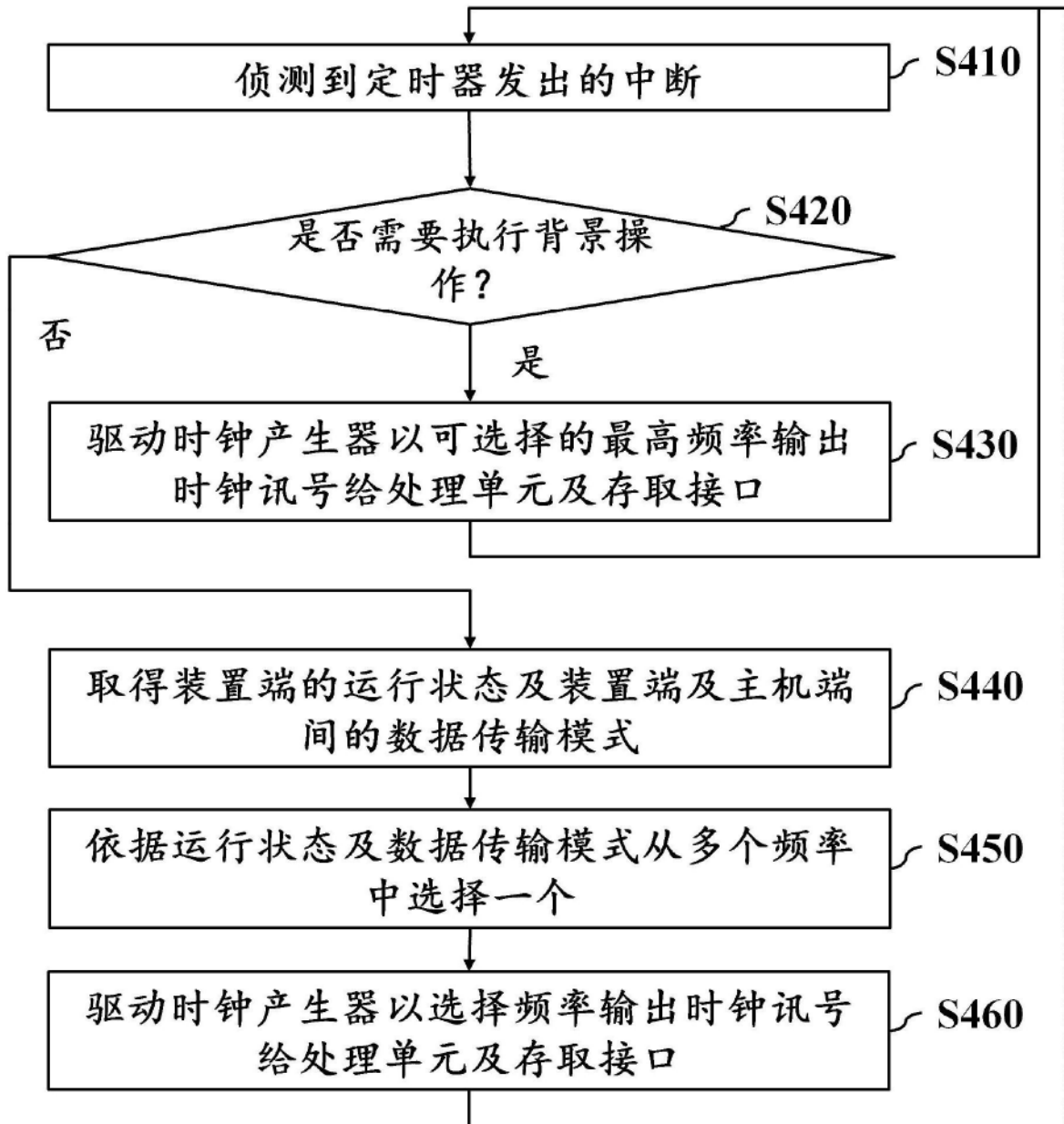


图4

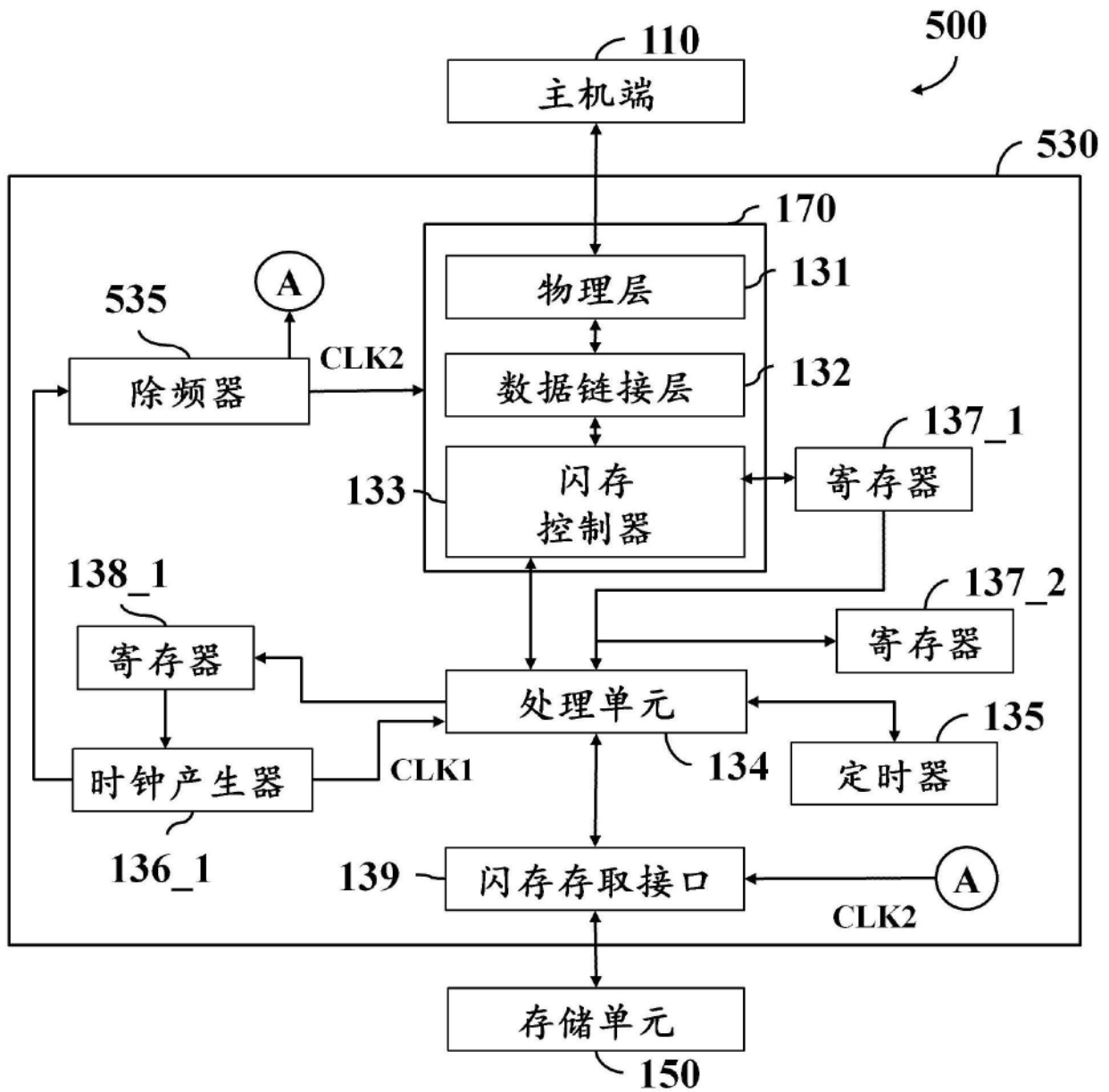


图5

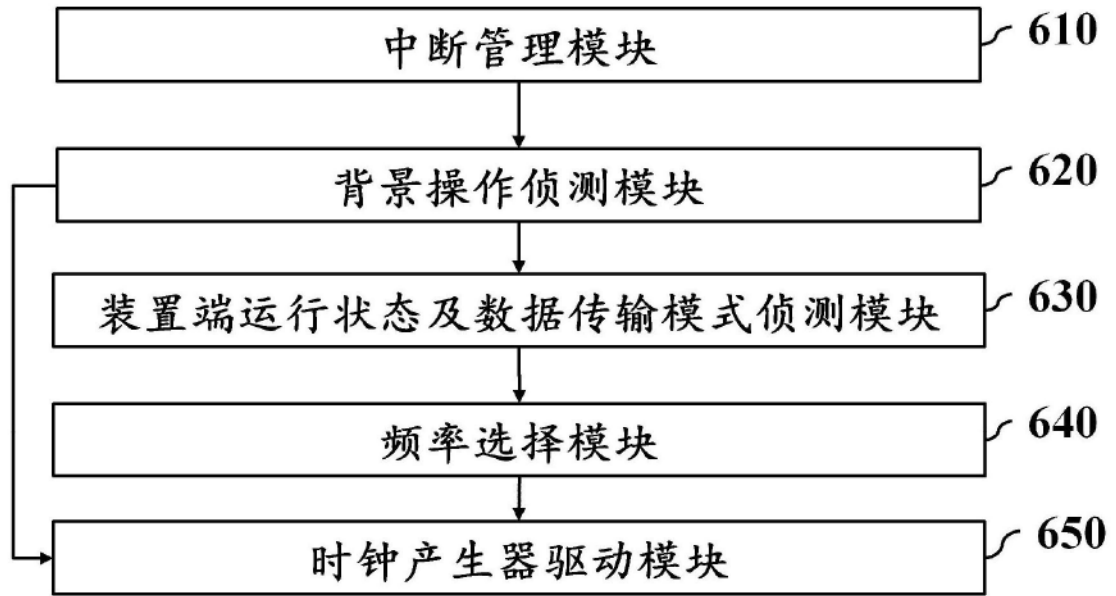


图6