

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4734529号
(P4734529)

(45) 発行日 平成23年7月27日(2011.7.27)

(24) 登録日 平成23年5月13日(2011.5.13)

(51) Int. Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	612F
H01L 29/786 (2006.01)	G09G 3/20	621A
H01L 51/50 (2006.01)	G09G 3/20	621B
	G09G 3/20	624B
請求項の数 20 (全 32 頁) 最終頁に続く		

(21) 出願番号	特願2003-392777 (P2003-392777)	(73) 特許権者	510134581
(22) 出願日	平成15年11月21日(2003.11.21)		奇美電子股▲ふん▼有限公司
(65) 公開番号	特開2004-280059 (P2004-280059A)		Chimei Innolux Corporation
(43) 公開日	平成16年10月7日(2004.10.7)		台湾苗栗縣竹南鎮科學路160號 新竹科學工業園區
審査請求日	平成18年6月16日(2006.6.16)		No. 160 Kesyue Rd., Chu-Nan Site, Hsinchu Science Park, Chu-Nan 350, Miao-Li County, Taiwan,
(31) 優先権主張番号	特願2003-46541 (P2003-46541)	(73) 特許権者	000006633
(32) 優先日	平成15年2月24日(2003.2.24)		京セラ株式会社
(33) 優先権主張国	日本国(JP)		京都府京都市伏見区竹田鳥羽殿町6番地
最終頁に続く			

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

発光輝度に対応する電位を書き込むデータ書き込み手段と、該電位に応じて電流値を制御する薄膜トランジスタであるドライバ素子のゲート・ソース間電圧が前記ドライバ素子の閾値電圧となった状態で前記ドライバ素子がオフ状態となるようにする閾値電圧検出工程を実行する閾値電圧検出手段とを備えたアクティブマトリクス型の表示装置において、

前記データ書き込み手段は、

発光輝度に対応した電位を供給するデータ線と、

前記データ線を介して供給される電位の書き込みを制御する第1のスイッチング手段と

10

を備え、

前記閾値電圧検出手段は、

前記ドライバ素子のゲート電極とドレイン電極との間の導通状態を制御する第2のスイッチング手段と、

流れる電流に対応した輝度の光を発生するとともに、発光時とは逆方向の電位差を与える電荷を蓄積する容量となる電流発光素子と、

前記電流発光素子に発光時とは逆方向の電位差を与える電源線と、

を備え、

前記閾値電圧検出工程を実行する前に、前記電源線の電位を前記電流発光素子の発光時

20

とは逆方向の電位差を前記電流発光素子に与えるように設定することにより、前記電流発光素子に電荷を蓄積し、

前記閾値電圧検出工程時に、前記電流発光素子を該電流発光素子に蓄積された電荷を供給する容量として利用することにより、前記ドライバー素子に電流を供給し、しかる後、前記ドライバー素子のゲート・ソース間電圧が前記ドライバー素子の閾値電圧となった状態で前記ドライバー素子がオフ状態となる前記閾値電圧検出工程を実行し、

前記電流発光素子の発光時に、前記ドライバー素子のゲート・ソース間電圧は、前記閾値電圧検出手段により実行した前記閾値電圧検出工程における前記ドライバー素子の閾値電圧と、前記データ書き込み手段により書き込まれた電位との和であることを特徴とする表示装置。

10

【請求項 2】

前記閾値電圧検出手段は、前記閾値電圧検出工程で、前記第 2 のスイッチング手段により前記ドライバー素子のゲート電極と前記ドライバー素子のドレイン電極との間を短絡し、前記電流発光素子に蓄積された電荷を、前記ドライバー素子のドレイン電極からソース電極への電流により放電して減少させて、前記ドライバー素子のゲート・ソース間の電位差が前記ドライバー素子の閾値電圧まで低下して前記ドライバー素子がオフ状態となるようにすることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記閾値電圧検出手段の前記電源線は、発光時に前記電流発光素子に順方向の電圧を印加して電流を供給することを特徴とする請求項 1 または 2 に記載の表示装置。

20

【請求項 4】

前記第 1 のスイッチング手段の駆動状態を制御する第 1 の走査線をさらに備えたことを特徴とする請求項 1 ~ 3 のいずれか一つに記載の表示装置。

【請求項 5】

前記電流発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 1 ~ 4 のいずれか一つに記載の表示装置。

【請求項 6】

前記データ書き込み手段は、前記データ線から供給された電位を保持するコンデンサをさらに備えたことを特徴とする請求項 1 ~ 5 のいずれか一つに記載の表示装置。

【請求項 7】

前記データ書き込み手段と前記閾値電圧検出手段との間に設けられ、前記データ書き込み手段と前記閾値電圧検出手段との電氣的な導通を制御する第 3 のスイッチング手段をさらに備えたことを特徴とする請求項 1 ~ 6 のいずれか一つに記載の表示装置。

30

【請求項 8】

前記第 3 のスイッチング手段は、薄膜トランジスタを備えたことを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記第 2 のスイッチング手段と前記第 3 のスイッチング手段の駆動状態を制御する第 2 の走査線をさらに備え、

前記第 2 のスイッチング手段と前記第 3 のスイッチング手段は、ゲート電極が前記第 2 の走査線に接続され、かつチャンネル層の導電性が互いに異なる薄膜トランジスタをそれぞれ備えたことを特徴とする請求項 7 または 8 に記載の表示装置。

40

【請求項 10】

前記第 2 のスイッチング手段と前記第 3 のスイッチング手段はチャンネル層の導電性が同一の薄膜トランジスタを備え、前記第 2 のスイッチング手段と前記第 3 のスイッチング手段の駆動状態は別個の走査線で制御されることを特徴とする請求項 7 または 8 に記載の表示装置。

【請求項 11】

前記データ書き込み手段と前記閾値電圧検出手段との間に配置され、前記データ書き込み手段と電氣的に接続した第 1 の電極と前記閾値電圧検出手段と電氣的に接続した第 2 の

50

電極とを有するコンデンサと、

前記第 1 の電極と電氣的に接続され、前記第 1 の電極の電位を制御する第 4 のスイッチング手段とを備えたことを特徴とする請求項 1 ~ 5 のいずれか一つに記載の表示装置。

【請求項 1 2】

前記第 4 のスイッチング手段は、オン状態の際に前記第 1 の電極と前記第 2 の電極との間の電位差を維持しつつ、前記第 1 の電極に保持された電荷と同量かつ異なる極性の電荷を前記第 2 の電極に生じさせると共に前記第 1 の電極に保持された電荷を消去し、オフ状態の際に前記コンデンサに保持される電荷を移動させることなく電荷保持を継続することを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記第 4 のスイッチング手段は、薄膜トランジスタを備えたことを特徴とする請求項 1 1 または 1 2 に記載の表示装置。

【請求項 1 4】

前記第 2 のスイッチング手段と前記第 4 のスイッチング手段の駆動状態を制御する第 3 の走査線をさらに備え、

前記第 4 のスイッチング手段と前記第 2 のスイッチング手段は、ゲート電極が前記第 3 の走査線に接続され、かつチャネル層の導電性が互いに異なる薄膜トランジスタをそれぞれ備えたことを特徴とする請求項 1 1 ~ 1 3 のいずれか一つに記載の表示装置。

【請求項 1 5】

前記第 2 のスイッチング手段と前記第 4 のスイッチング手段はチャネル層の導電性が同一の薄膜トランジスタを備え、前記第 2 のスイッチング手段と前記第 4 のスイッチング手段の駆動状態は別個の走査線で制御されることを特徴とする 1 1 ~ 1 3 のいずれか一つに記載の表示装置。

【請求項 1 6】

前記第 2 のスイッチング手段は、前記ドライバー素子のゲート電極と接続した第 1 の薄膜トランジスタと、前記ドライバー素子のドレイン電極と接続した第 2 の薄膜トランジスタと、を有することを特徴とする請求項 1 ~ 6 のいずれか一つに記載の表示装置。

【請求項 1 7】

前記第 2 の薄膜トランジスタは、前記第 1 の薄膜トランジスタとともにオン状態となることで前記ドライバー素子のゲート電極とドレイン電極とを短絡し、前記閾値電圧検出工程後にオフ状態となることを特徴とする請求項 1 6 に記載の表示装置。

【請求項 1 8】

前記データ書き込み手段と前記閾値電圧検出手段との間に配置され、前記データ書き込み手段と電氣的に接続した第 1 の電極と前記閾値電圧検出手段と電氣的に接続した第 2 の電極とを有するコンデンサをさらに備え、

前記データ線は、発光時と前記閾値電圧検出手段による前記閾値電圧検出工程時と前記電流発光素子における電荷蓄積時とに基準電位を供給し、

前記第 1 のスイッチング手段は、発光時と前記閾値電圧検出手段による前記閾値電圧検出工程時と前記電流発光素子における電荷蓄積時とに前記データ線と前記第 1 の電極とを電氣的に導通させることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の表示装置。

【請求項 1 9】

全ての前記電流発光素子が同時に光を表示し、同時に一枚の画面を表示することを特徴とする請求項 1 ~ 1 8 のいずれか一つに記載の表示装置。

【請求項 2 0】

全ての前記電流発光素子に対して同時に電荷の蓄積が行なわれ、

全ての前記第 2 のスイッチング手段は、同時に前記ドライバー素子のゲート電極とドレイン電極とを短絡することを特徴とする請求項 1 ~ 1 9 のいずれか一つに記載の表示装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

この発明は、電流発光素子の輝度を制御したアクティブマトリックス型の表示装置に関するものである。

【背景技術】

【0002】

自ら発光する有機エレクトロルミネッセンス（EL）素子を用いた有機EL表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機EL表示装置に用いられる有機EL素子は、各発光素子の輝度が流れる電流値により制御される点で、液晶セルが電圧により制御される液晶表示装置等とは異なる。

10

【0003】

有機EL表示装置においては、駆動方式として単純（パッシブ）マトリックス型とアクティブマトリックス型とを採ることができる。前者は構造が単純であるものの大型かつ高精細のディスプレイの実現が困難であるとの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同時に画素内に設けた能動素子、たとえば、薄膜トランジスタ（Thin Film Transistor：TFT）によって制御する、アクティブマトリックス型の表示装置の開発が盛んに行われている。

【0004】

図20に、従来技術にかかるアクティブマトリックス方式の有機EL表示装置における画素回路を示す。従来技術における画素回路は、カソード側が正電源 V_{dd} に接続された有機EL素子105と、ドレイン電極が有機EL素子105のアノード側に接続され、ソース電極がグラウンドに接続されたTFT104と、TFT104のゲート電極とグラウンドとの間に接続されたコンデンサ103と、ドレイン電極がTFT104のゲート電極に、ソース電極がデータ線101に、ゲート電極が走査線106にそれぞれ接続されたTFT102とを有する構造をとる。

20

【0005】

上記画素回路の動作を以下に説明する。走査線106の電位を高レベルとし、データ線101に書き込み電位を印加すると、TFT102がオン状態となりコンデンサ103が充電または放電され、TFT104のゲート電極電位は書き込み電位となる。つぎに、走査線106の電位を低レベルとすると、TFT102はオフ状態となり、走査線106とTFT102は電氣的に切り離されるが、TFT104のゲート電極電位はコンデンサ103によって安定に保持される。

30

【0006】

そして、TFT104および有機EL素子105に流れる電流は、TFT104のゲート・ソース間電圧 V_g に応じた値となり、有機EL素子105はその電流値に応じた輝度で発光し続ける。ここで、走査線106を選択してデータ線101に与えられた輝度情報を画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。上述のように図20に示す画素回路では一度電位の書き込みを行えば、つぎに書き込みが行われるまでの間、有機EL素子105は一定の輝度で発光を継続する（たとえば、特許文献1参照）。

【0007】

【特許文献1】特開平8-234683号公報（第10頁、第1図）

40

【発明の開示】

【発明が解決しようとする課題】

【0008】

ここで、アクティブマトリックス型の有機EL素子表示装置においては、能動素子としてガラス基板上に形成されたTFTが利用される。しかし、非晶質であるアモルファスシリコンを使用し形成されたTFTにおいては、長時間にわたり電流が流れた場合、電流が流れた当初と比較し、閾値電圧が変動する場合がある。また、TFTの劣化により閾値電圧が変動する場合もある。このように、アモルファスシリコンを使用し形成されたTFTは、同一画素において閾値電圧の変動が発生する場合がある。

50

【 0 0 0 9 】

図 2 1 は、劣化前の T F T と劣化後の T F T の電圧 - 電流特性を示すグラフである。図 2 1 において、曲線 1₃ は劣化前の T F T のゲート・ソース間電圧 V_{gs} とドレイン電流 I_d の特性を示し、曲線 1₄ は、劣化後の T F T の特性を示す。また、 V_{th4} および V_{th4}' は、劣化前および劣化後の T F T の閾値電圧である。図 2 1 に示すように、劣化前と劣化後では T F T の閾値電圧は異なるため、同じ電位 V_{D4} が書き込まれた場合、各々のドレイン電流は I_{d2} および I_{d3} と異なる値となる。したがって、 V_{D4} の電位を与えることによってドライバー素子の T F T の劣化前には有機 E L 素子には I_{d2} だけ流れたにも関わらず、T F T の劣化後には I_{d3} ($< I_{d2}$) の値の電流しか流れず、所定の輝度の光を表示できないこととなる。このため、電流発光素子に流れる電流を制御する T F T の閾値電圧が変動した場合、同一の電位を印加したにもかかわらず電流発光素子に流れる電流は変動し、この結果、表示装置の表示部で表示される輝度が不均一となり、画質劣化の原因となる。

10

【 0 0 1 0 】

本発明は、上記した従来技術の欠点に鑑みてなされたものであり、表示装置の表示部において表示される輝度が均一であるアクティブマトリックス型の表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

請求項 1 にかかる表示装置は、発光輝度に対応する電位を書き込むデータ書き込み手段と、該電位に応じて電流値を制御する薄膜トランジスタであるドライバー素子のゲート・ソース間電圧が前記ドライバー素子の閾値電圧となった状態で前記ドライバー素子がオフ状態となるようにする閾値電圧検出工程を実行する閾値電圧検出手段とを備えたアクティブマトリックス型の表示装置において、前記データ書き込み手段は、発光輝度に対応した電位を供給するデータ線と、前記データ線を介して供給される電位の書き込みを制御する第 1 のスイッチング手段と、を備え、前記閾値電圧検出手段は、前記ドライバー素子のゲート電極とドレイン電極との間の導通状態を制御する第 2 のスイッチング手段と、流れる電流に対応した輝度の光を発するとともに、発光時とは逆方向の電位差を与えると電荷を蓄積する容量となる電流発光素子と、前記電流発光素子に発光時とは逆方向の電位差を与える電源線と、を備え、前記閾値電圧検出工程を実行する前に、前記電源線の電位を前記電流発光素子の発光時とは逆方向の電位差を前記電流発光素子に与えるように設定することにより、前記電流発光素子に電荷を蓄積し、前記閾値電圧検出工程時に、前記電流発光素子を該電流発光素子に蓄積された電荷を供給する容量として利用することにより、前記ドライバー素子に電流を供給し、しかる後、前記ドライバー素子のゲート・ソース間電圧が前記ドライバー素子の閾値電圧となった状態で前記ドライバー素子がオフ状態となる前記閾値電圧検出工程を実行し、前記電流発光素子の発光時に、前記ドライバー素子のゲート・ソース間電圧は、前記閾値電圧検出手段により実行した前記閾値電圧検出工程における前記ドライバー素子の閾値電圧と、前記データ書き込み手段により書き込まれた電位との和であることを特徴とする。

20

30

【 0 0 1 2 】

本発明にかかる表示装置によれば、ドライバー素子である T F T の閾値電圧が変動した場合でも、第 2 のスイッチング手段を設けることにより別個独立に機能する閾値電圧検出手段によって検出された閾値電圧を、書き込み電圧に加えた電圧がゲート・ソース間電圧となり、T F T に流れる電流は変動せず有機 E L 素子は均一な輝度の光を表示する。

40

【 0 0 1 3 】

請求項 2 にかかる表示装置は、前記閾値電圧検出工程で、前記第 2 のスイッチング手段により前記ドライバー素子のゲート電極と前記ドライバー素子のドレイン電極との間を短絡し、前記電流発光素子に蓄積された電荷を、前記ドライバー素子のドレイン電極からソース電極への電流により放電して減少させて、前記ドライバー素子のゲート・ソース間の電位差が前記ドライバー素子の閾値電圧まで低下してオフ状態となるようにすることを特徴とする。

50

【 0 0 1 5 】

請求項3にかかる表示装置は、前記閾値電圧検出手段の前記電源線は、発光時に前記電流発光素子に順方向の電圧を印加して電流を供給することを特徴とする。

【 0 0 1 6 】

請求項4にかかる表示装置は、前記第1のスイッチング手段の駆動状態を制御する第1の走査線をさらに備えたことを特徴とする。

【 0 0 1 7 】

請求項5にかかる表示装置は、前記電流発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする。

【 0 0 1 8 】

請求項6にかかる表示装置は、前記データ書き込み手段は、前記データ線から供給された電位を保持するコンデンサをさらに備えたことを特徴とする。

【 0 0 1 9 】

請求項7にかかる表示装置は、前記データ書き込み手段と前記閾値電圧検出手段との間に設けられ、前記データ書き込み手段と前記閾値電圧検出手段との電気的な導通を制御する第3のスイッチング手段をさらに備えたことを特徴とする。

【 0 0 2 0 】

請求項8にかかる表示装置は、前記第3のスイッチング手段は、薄膜トランジスタを備えたことを特徴とする。

【 0 0 2 1 】

請求項9にかかる表示装置は、前記第2のスイッチング手段と前記第3のスイッチング手段の駆動状態を制御する第2の走査線をさらに備え、前記第2のスイッチング手段と前記第3のスイッチング手段は、ゲート電極が前記第2の走査線に接続され、かつチャンネル層の導電性が互いに異なる薄膜トランジスタをそれぞれ備えたことを特徴とする。

【 0 0 2 2 】

請求項10にかかる表示装置は、前記第2のスイッチング手段と前記第3のスイッチング手段はチャンネル層の導電性が同一の薄膜トランジスタを備え、前記第2のスイッチング手段と前記第3のスイッチング手段の駆動状態は別個の走査線で制御されることを特徴とする。

【 0 0 2 3 】

請求項11にかかる表示装置は、前記データ書き込み手段と前記閾値電圧検出手段との間に配置され、前記データ書き込み手段と電気的に接続した第1の電極と前記閾値電圧検出手段と電気的に接続した第2の電極とを有するコンデンサと、前記第1の電極と電気的に接続され、前記第1の電極の電位を制御する第4のスイッチング手段とを備えたことを特徴とする。

【 0 0 2 4 】

請求項12にかかる表示装置は、前記第4のスイッチング手段は、オン状態の際に前記第1の電極と前記第2の電極との間の電位差を維持しつつ、前記第1の電極に保持された電荷と同量かつ異なる極性の電荷を前記第2の電極に生じさせると共に前記第1の電極に保持された電荷を消去し、オフ状態の際に前記コンデンサに保持される電荷を移動させることなく電荷保持を継続することを特徴とする。

【 0 0 2 5 】

請求項13にかかる表示装置は、前記第4のスイッチング手段は、薄膜トランジスタを備えたことを特徴とする。

【 0 0 2 6 】

請求項14にかかる表示装置は、前記第2のスイッチング手段と前記第4のスイッチング手段の駆動状態を制御する第3の走査線をさらに備え、前記第4のスイッチング手段と前記第2のスイッチング手段は、ゲート電極が前記第3の走査線に接続され、かつチャンネル層の導電性が互いに異なる薄膜トランジスタをそれぞれ備えたことを特徴とする。

【 0 0 2 7 】

10

20

30

40

50

請求項 1 5 にかかる表示装置は、前記第 2 のスイッチング手段と前記第 4 のスイッチング手段はチャンネル層の導電性が同一の薄膜トランジスタを備え、前記第 2 のスイッチング手段と前記第 4 のスイッチング手段の駆動状態は別個の走査線で制御されることを特徴とする。

【 0 0 2 8 】

請求項 1 6 にかかる表示装置は、前記第 2 のスイッチング手段は、前記ドライバー素子のゲート電極と接続した第 1 の薄膜トランジスタと、前記ドライバー素子のドレイン電極と接続した第 2 の薄膜トランジスタと、を有することを特徴とする。

【 0 0 2 9 】

請求項 1 7 にかかる表示装置は、前記第 2 の薄膜トランジスタは、前記第 1 の薄膜トランジスタとともにオン状態となることで前記ドライバー素子のゲート電極とドレイン電極とを短絡し、前記閾値電圧検出工程後にオフ状態となることを特徴とする。

10

【 0 0 3 0 】

請求項 1 8 にかかる表示装置は、前記データ書き込み手段と前記閾値電圧検出手段との間に配置され、前記データ書き込み手段と電氣的に接続した第 1 の電極と前記閾値電圧検出手段と電氣的に接続した第 2 の電極とを有するコンデンサをさらに備え、前記データ線は、発光時と前記閾値電圧検出手段による前記閾値電圧検出工程時と前記電流発光素子における電荷蓄積時とに基準電位を供給し、前記第 1 のスイッチング手段は、発光時と前記閾値電圧検出手段による前記閾値電圧検出工程時と前記電流発光素子における電荷蓄積時とに前記データ線と前記第 1 の電極とを電氣的に導通させることを特徴とする。

20

【 0 0 3 1 】

請求項 1 9 にかかる表示装置は、全ての前記電流発光素子が同時に光を表示し、同時に一枚の画面を表示することを特徴とする。

【 0 0 3 2 】

請求項 2 0 にかかる表示装置は、全ての前記電流発光素子に対して同時に電荷の蓄積が行なわれ、全ての前記第 2 のスイッチング手段は、同時に前記ドライバー素子のゲート電極とドレイン電極とを短絡することを特徴とする。

【 発明の効果 】

【 0 0 3 3 】

以上説明したように、本発明にかかる表示装置によれば、ドライバー素子である T F T の閾値電圧が変動した場合でも、閾値電圧検出手段により検出された閾値電圧を書き込み電位に加えた電圧がゲート・ソース間電圧となり、T F T に流れる電流は変動せず、有機 E L 素子は均一な輝度の光を表示する。また、本発明にかかる表示装置によれば、ドライバー素子である T F T のゲート電極とドレイン電極を短絡する第 2 のスイッチング手段を閾値電圧検出手段に設けることにより、データの書き込みと閾値電圧の検出を別個独立に行うことができる。

30

【 発明を実施するための最良の形態 】

【 0 0 3 4 】

以下に図面を参照して、本発明にかかる表示装置を説明する。なお、ここでは、本発明について、電流発光素子として有機 E L 素子を、能動素子として薄膜トランジスタを、アクティブマトリックス型の表示装置液晶表示装置にそれぞれ用いた場合について説明するが、画素の表示素子として、流れる電流によって輝度が変化する電流発光素子を用いるアクティブマトリックス型の表示装置全般に適用可能である。また、この実施の形態によりこの発明が限定されるものではない。さらに、図面の記載において、同一部分には同一の符号を付しており、図面は模式的なものである。

40

【 0 0 3 5 】

(実施の形態 1)

まず、実施の形態 1 にかかる表示装置について説明する。本実施の形態 1 にかかる表示装置を構成する画素回路は、データ線と第 1 のスイッチング手段およびコンデンサを有するデータ書き込み手段と、第 2 のスイッチング手段と電流発光素子を有する閾値電圧検出

50

手段を備える。さらに、データ書き込み手段と閾値電圧検出手段との電気的な接続を制御するスイッチング手段としてのTFTを備えた構造を有する。かかる画素回路により、データ書き込み手段と閾値電圧検出手段は別個独立に動作するよう構成されており、データ書き込み手段により書き込まれた電位に、データ書き込み手段とは別個独立に動作可能な閾値電圧検出手段により検出された閾値電圧を加えた電位がドライバー素子に印加されることによって、ドライバー素子の閾値電圧が変動する場合でも電流発光素子に均一な電流を供給する表示装置を実現する。

【0036】

図1は、本実施の形態1における画素回路の構造を示した図である。かかる画素回路は、図1に示すように、電流発光素子の輝度に対応した電位を供給するデータ線3と、かかる電位の書き込みを制御する第1のスイッチング手段であるTFT4と、書き込まれた電位を保持するコンデンサ5と、TFT4のゲート電極に接続する第1の走査線である走査線10により構成されるデータ書き込み手段1を備える。さらに、ドライバー素子であるTFT6と、第2のスイッチング手段であるTFT8と、電流発光素子である有機EL素子7と、有機EL素子7に接続する電源線であるコモン線9により構成される閾値電圧検出手段2を備える。また、データ書き込み手段1と閾値電圧検出手段2の間には、第3のスイッチング手段であるTFT11が設けられている。本実施の形態1にかかる表示装置は、かかる画素回路をマトリクス状に配置して構成される。なお、説明を容易にするため、TFT6については、有機EL素子7と接続する電極をソース電極とし、グラウンドに接続する電極をドレイン電極とする。

【0037】

データ書き込み手段1は、データ線3により有機EL素子7の表示輝度に対応した電位を与えられ、かかる電位を保持する機能を有する。データ書き込み手段1を構成するデータ線3は有機EL素子7の輝度に対応した電位を与え、TFT4はデータ線3に接続しデータ線3を介して供給される電位の書き込みを制御する。また、コンデンサ5は、TFT4のドレイン電極と接続するとともに、書き込まれた電位を保持し、TFT6のゲート電極に保持した電位を供給する。さらに、走査線10は、TFT4のゲート電極に接続し、TFT4のオン状態またはオフ状態の駆動状態を制御する。

【0038】

閾値電圧検出手段2は、ドライバー素子であるTFT6の閾値電圧を検出する機能を有する。かかる閾値電圧検出手段2を構成するTFT6は、オン状態となることによりゲート・ソース間電圧に対応した電流を有機EL素子7に供給する。有機EL素子7は、本来TFT6がオン状態の際に与えられた電流に対応した輝度の光を表示するためのものであるが、閾値電圧検出手段2においては、TFT6のソース電極に対して電荷を供給する容量として機能する。有機EL素子7は、電気的には発光ダイオードと等価なものととらえることが可能であって、順方向の電位差を与えた場合には電流が流れて発光する一方、逆方向の電位差を与えた場合には電位差に応じて電荷を蓄積する機能を有するためである。

【0039】

また、閾値電圧検出手段2を構成するTFT8は、ソース電極がTFT6のゲート電極と接続し、ドレイン電極がTFT6のドレイン電極と接続している。また、TFT6のドレイン電極とTFT8のドレイン電極はグラウンドに接続している。したがって、TFT8は、オン状態となることにより、TFT6のゲート電極とドレイン電極を短絡するとともに、TFT6のゲート電極をグラウンドに接続する機能を有する。後述するように、本実施の形態1にかかる表示装置では、TFT8等を設けることによって、データ線3等のデータ書き込み手段1の構成要素を用いることなくTFT6の閾値電圧の検出を可能としている。また、TFT8のオン状態は走査線12により制御される。さらに、コモン線9は、本来有機EL素子7の発光時に電流を供給するためのものであるが、閾値電圧検出手段2においては、電位の極性を発光時と比較し反転することによりTFT6にソース電極からドレイン電極に向かって電流を流し有機EL素子7に電荷を蓄積させる機能を有する。

。

10

20

30

40

50

【0040】

さらに、TFT11は、データ書き込み手段1と閾値電圧検出手段2との間に設けられ、データ書き込み手段1と閾値電圧検出手段2の電氣的な接続を制御する。すなわち、データ書き込み手段1と閾値電圧検出手段2を電氣的に導通させTFT6のゲート電極とソース電極との間に所定の電位差を発生させる場合にはTFT11をオン状態とし、データ書き込み手段1と閾値電圧検出手段2を電氣的に絶縁する場合にはTFT11をオフ状態とする。TFT11を設けることにより、データ書き込み手段1と閾値電圧検出手段2とを電氣的に絶縁することが可能となるため、一方の動作が他方の動作に影響を与えることを防止している。

【0041】

また、TFT11は、閾値電圧検出手段2を構成するTFT8とチャネル層の導電性が異なるTFTである。さらに、TFT11のゲート電極とTFT8のゲート電極はともに第2の走査線である走査線12に接続されており、走査線12に供給される電位の極性によりTFT8とTFT11のいずれかがオン状態とされる。たとえば、図1に示すようにTFT8がp型TFTである場合、TFT11はTFT8とチャネル層の導電性が異なるn型TFTとなる。TFT11をオン状態にするためには走査線12の電位を正の電位とする必要があり、TFT8をオン状態にするためには走査線12の電位を負の電位とする必要がある。また、TFT11をp型TFT、TFT8をn型TFTとしてもよく、この場合TFT11をオン状態にするためには走査線12の電位を負の電位とする必要があり、TFT8をオン状態にするためには走査線12の電位を正の電位とする必要がある。なお、後述するように、第2のスイッチング手段であるTFT8と第3のスイッチング手段であるTFT11は、チャネル層の導電性が同一であるTFTとしてもよく、この場合は第2のスイッチング手段であるTFTと第3のスイッチング手段であるTFTを別個の走査線で制御することとなる。

【0042】

つぎに、図2および図3-1~図3-4を参照し、図1に示す画素回路の動作を説明する。図2は、実施の形態1における画素回路のタイミングチャートである。図3-1は、図2に示す(a)における画素回路の動作方法の工程を示す図であり、図3-2は、図2に示す(b)における画素回路の動作方法の工程を示す図であり、図3-3は、図2に示す(c)における画素回路の動作方法の工程を示す図であり、図3-4は、図2に示す(d)における画素回路の動作方法の工程を示す図である。本実施の形態1にかかる表示装置では、図2(a)~(d)および図3-1~図3-4に示すように、画素回路においてデータ書き込みと閾値電圧検出は別個独立の工程で行われる。なお、図3-1~図3-4において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

【0043】

図2(a)および図3-1に示す工程は、閾値電圧検出の前段階として、有機EL素子7に電荷を蓄積させる前処理工程である。具体的には、TFT6に発光時と逆方向の電流を流し有機EL素子7に電荷を蓄積させる工程である。ここで、TFT6に発光時と逆方向の電流、すなわち、ソース電極からドレイン電極に向かう電流を流すため、TFT6のソース電極にドレイン電極よりも大きな正の電位をかけなければならない。このため、TFT6のソース電極が接続するコモン線9の電位の極性を負の電位から正の電位とする。また、TFT11のオン状態は維持されておりTFT6のゲート電極にはコンデンサ5からの電荷の供給が継続するため、TFT6のオン状態は維持されたままである。したがって、TFT6のソース電極はドレイン電極よりも大きな電位差が発生し、ゲート電極にはドレイン電極に対して閾値電圧よりも大きい電位が印加されており、TFT6にはソース電極からドレイン電極に向かって電流が流れる。TFT6と接続する有機EL素子7にも発光時と逆方向の電流が流れ込むため、有機EL素子7は容量として機能し、アノード側にコンデンサ5に残存する電荷より十分に大きい負の電荷を蓄積する。有機EL素子7に電荷が蓄積された後、蓄積された電荷を保持するため、走査線12の電位を逆転させ負の電位としTFT11をオフ状態とする。このとき、TFT11と同様に走査線12により

10

20

30

40

50

制御される T F T 8 はオン状態となる。なお、本工程ではデータの書き込みは行われな
 ため、データ線 3 からの電位の書き込みを制御する T F T 4 はオフ状態とする必要があり
 、走査線 1 0 は負の電位のままである。

【 0 0 4 4 】

図 2 (b) および図 3 - 2 に示す工程は、閾値電圧検出手段 2 によってドライバー素子
 である T F T 6 の閾値電圧を検出する閾値電圧検出工程である。前処理工程で有機 E L 素
 子 7 への負の電荷の蓄積が終了した後、コモン線 9 は正の電位から 0 電位となる。p 型 T
 F T である T F T 8 のオン状態を維持するため、走査線 1 2 は負の電位としたままである
 。 T F T 8 をオン状態に維持することにより、 T F T 6 のゲート電極とドレイン電極は短
 絡されるとともにグラウンドに接続される。このため、 T F T 6 のゲート電極とドレイン
 電極には 0 電位が与えられる。ここで、有機 E L 素子 7 は T F T 6 のソース電極と接続し
 ているため、有機 E L 素子 7 のアノード側に蓄積された負の電荷に基づいて、 T F T 6 の
 ゲート・ソース間電圧は閾値電圧よりも大きくなり、 T F T 6 はオン状態となる。また、
 T F T 6 のドレイン電極はグラウンドに電氣的に接続される一方、 T F T 6 のソース電極
 は負電荷が蓄積された有機 E L 素子 7 に接続されている。したがって、 T F T 6 におい
 てはゲート電極とソース電極の間に電位差が発生し、ドレイン電極からソース電極に向か
 って電流が流れる。かかる電流が流れることによって、有機 E L 素子 7 に蓄積された負電荷
 の絶対値は徐々に減少し、 T F T 6 のゲート・ソース間電圧も徐々に低くなる。そして、
 T F T 6 のゲート・ソース間電圧が閾値電圧 (= V_{th1}) まで減少した時点で、 T F T 6
 はオフ状態となり、有機 E L 素子 7 に蓄積された負電荷の絶対値の減少も停止する。 T F
 T 6 のゲート電極がグラウンドに接続されていることから、オフ状態となった時点にお
 ける T F T 6 のソース電極の電位は (- V_{th1}) に維持されることとなる。以上より、 T F
 T 6 のソース電極に T F T 6 の閾値電圧 (- V_{th1}) が現れ、 T F T 6 の閾値電圧が検出
 される。なお、本工程では、走査線 1 2 は負の電位であるため T F T 1 1 はオフ状態を維
 持しており、閾値電圧検出手段 2 とデータ書き込み手段 1 は電氣的に絶縁される。した
 がって、データ書き込み手段 1 における動作が本工程に影響を与えることはない。また、ド
 ライバー素子である T F T 6 の閾値電圧の検出は、閾値電圧検出手段 2 の構成要素のみ
 によってなされ、データ書き込み手段 1 の構成要素の動作を必要としない。

【 0 0 4 5 】

図 2 (c) および図 3 - 3 に示す工程は、データ書き込み手段 1 により有機 E L 素子 7
 の輝度に対応する電位をデータ線 3 を介して書き込むデータ書き込み工程である。データ
 線 3 は、有機 E L 素子 7 の輝度に対応する電位を供給するため、電位 0 を示していた状態
 から有機 E L 素子 7 の輝度に対応する電位 V_{D1} に変化する。また、データ線 3 により供給
 された電位を画素回路内に書き込むため、走査線 1 0 を正の電位とし T F T 4 をオン状態
 とする。 T F T 4 がオン状態となることにより、 T F T 4 を介してデータ線 3 より電位 V_{D1}
 が書き込まれ、書き込まれた電位はコンデンサ 5 に保持される。書き込み電位 V_{D1} がコ
 ンデンサ 5 に保持された後、 T F T 4 をオフ状態とするため走査線 1 0 は負の電位となる
 。なお、走査線 1 2 は負の電位のままであり、 T F T 1 1 はオフ状態を維持する。した
 がって、データ書き込み手段 1 と閾値電圧検出手段 2 は電氣的に絶縁され、閾値電圧検出
 手段 2 における動作が本工程に影響を与えることはない。以上より、データの書き込みは
 データ書き込み手段 1 の構成要素のみによってなされ、閾値電圧検出手段 2 の動作を必要
 としない。言い換えると、データの書き込みはデータ書き込み手段 1 の構成要素のみによ
 ってなされ、 T F T 6 の閾値電圧の検出は閾値電圧検出手段 2 の構成要素のみによ
 りなされるため、データ書き込み手段 1 と閾値電圧検出手段 2 は独立して機能する。

【 0 0 4 6 】

図 2 (d) および図 3 - 4 に示す工程は、有機 E L 素子 7 が発光する発光工程である。
 すなわち、コンデンサ 5 に保持された電荷が T F T 6 に供給され、 T F T 6 がオン状態に
 なり T F T 6 に電流が流れることにより有機 E L 素子 7 が発光する工程である。コンデン
 サ 5 に保持された電荷を T F T 6 のゲート電極に供給するためには、コンデンサ 5 と T F
 T 6 のゲート電極との間に設けられる T F T 1 1 をオン状態とし電氣的に導通させる必要

10

20

30

40

50

がある。このため、走査線 12 の電位を正の電位とすることにより T F T 1 1 をオン状態とし、T F T 6 のゲート電極にコンデンサ 5 に保持されていた電荷 V_{D1} を供給する。T F T 6 のゲート電極に電荷が供給されるため、T F T 6 はオン状態となる。ここで、T F T 6 には、ソース電極に閾値電圧検出工程において検出された閾値電圧 ($-V_{th1}$) が現れている。本工程で T F T 6 のゲート電極にはコンデンサ 5 より供給された電位 V_{D1} が印加されるため、T F T 6 には ($V_{D1} + V_{th1}$) のゲート・ソース間電圧が発生する。この結果、T F T 6 には、ゲート・ソース間電圧である ($V_{D1} + V_{th1}$) に対応する電流が流れる。ドライバー素子である T F T 6 に電流が流れることにより、T F T 6 に接続する有機 E L 素子 7 にも電流が流れ、有機 E L 素子 7 は流れる電流に対応した輝度の光を表示する。なお、本工程ではデータの書き込みは行われなため、データ線 3 からの電位の書き込みを制御する T F T 4 はオフ状態とする必要があり、走査線 10 は負の電位のままである。

10

【 0 0 4 7 】

従来、アモルファスシリコンを使用し形成された T F T においては閾値電圧の変動が発生しやすく、同じ電位を書き込んでも閾値電圧の変動によって有機 E L 素子に流れる電流が異なり表示輝度が不均一となっていた。しかし、本実施の形態 1 における画素回路においては、T F T 6 のゲート・ソース間電圧は書き込み電位 V_{D1} と T F T 6 の閾値電圧 V_{th1} の和であり、かかる和電圧に対応する電流が T F T 6 に流れる。T F T 6 の閾値電圧を書き込み電位 V_{D1} に加えた電圧が T F T 6 のゲート・ソース間電圧となるため、T F T 6 の閾値電圧の変動は補償される。この結果、T F T 6 に流れる電流は変動せず、有機 E L 素子 7 は均一な輝度の光を表示し、画質の劣化は抑制される。以下、図 4 を参照して説明する。

20

【 0 0 4 8 】

図 4 は、劣化前の T F T 6 と劣化後の T F T 6 の電圧 - 電流特性を示すグラフである。図 4 において、曲線 1_1 は劣化前の T F T 6 のゲート・ソース間電圧 V_{gs} とドレイン電流 I_d の特性を示し、曲線 1_2 は劣化後の T F T 6 の特性を示す。また、 V_{th1} および V_{th1}' は、劣化前および劣化後の T F T 6 の閾値電圧である。図 4 に示すように、劣化前と劣化後では T F T 6 の閾値電圧が異なる。ここで、実施の形態 1 における画素回路においては、閾値電圧検出手段 2 で検出された T F T 6 の閾値電圧とデータ書き込み手段 1 により書き込まれた電位 V_{D1} との和である電圧が、T F T 6 のゲート・ソース間電圧となる。このため、同じ電位 V_{D1} が書き込まれた場合、T F T 6 のゲート・ソース間電圧はそれぞれ $V_{D1} + V_{th1}$ および $V_{D1} + V_{th1}'$ と異なる。しかし、劣化前と劣化後に T F T 6 の閾値電圧が異なる場合であっても、図 4 に示すようにドレイン電流はともに I_{d1} となり、T F T 6 には均一な電流が流れる。したがって、T F T 6 の閾値電圧が変動する場合であっても、有機 E L 素子には所定の電流が流れることとなり、有機 E L 素子 7 は所定の輝度の光を表示し、画質の劣化は抑制される。

30

【 0 0 4 9 】

また、本実施の形態 1 にかかる表示装置は、第 2 のスイッチング手段として T F T 8 を設けることにより、閾値電圧検出工程において T F T 6 のゲート電極とドレイン電極を短絡させ、ゲート電極とドレイン電極をグラウンドに接続している。この結果、T F T 6 においては、ゲート電極と負の電荷を蓄積した有機 E L 素子 7 と接続するソース電極の間に電位差が生じ電流が流れる。その後、ゲート・ソース間電圧が閾値電圧 (V_{th1}) となり T F T 6 がオフ状態となることによりソース電極に閾値電圧を検出する。したがって、T F T 8 を設けることにより、閾値電圧検出手段 2 の構成要素の動作のみによって T F T 6 の閾値電圧を検出する。このため、閾値電圧検出工程において、T F T 6 のゲート電極と T F T 1 1 および T F T 4 を介して接続するデータ線 3 の電位を 0 電位とする必要はなく、閾値電圧の検出にデータ書き込み手段 1 の構成要素の動作は必要とされない。

40

【 0 0 5 0 】

また、実施の形態 1 にかかる表示装置には、データ書き込み手段 1 と閾値電圧検出手段 2 との間に T F T 1 1 が設けられている。T F T 1 1 はオフ状態になることによりデータ

50

書き込み手段 1 と閾値電圧検出手段 2 を電氣的に絶縁するため、一方の動作が他方の動作に影響を与えることを防止することが可能となる。このため、閾値電圧検出手段 1 とデータ書き込み手段 2 は別個独立に動作することができる。ここで、図 5 に、データの書き込みと閾値電圧の検出の動作を同じタイミングで終了した場合の、図 1 に示す画素回路のタイミングチャートを示す。図 5 (a) ~ (d) は図 2 の (a) ~ (d) と同様に、それぞれ、前処理工程、閾値電圧検出工程、データ書き込み工程および発光工程を示すタイミングチャートである。上記のように、閾値電圧検出手段 2 とデータ書き込み手段 1 は別個に動作可能であるため、図 5 に示すように同じタイミングで終了することが可能である。そして、閾値電圧の検出とデータの書き込みを同じタイミングで終了することによって、全工程に関する時間の短縮化を実現できる。

10

【 0 0 5 1 】

さらに、有機 E L 素子 7 に直列に配置される T F T は、ドライバー素子である T F T 6 のみであるため、有機 E L 素子 7 以外の非発光部で消費される電力の低減が可能である。また、走査線 1 2 により T F T 8 と T F T 1 1 の 2 箇所の T F T を制御するため、回路構成が簡単であり、電源電圧の利用効率および有機 E L 素子 7 に供給される電位の書き込み効率が高い。

【 0 0 5 2 】

なお、実施の形態 1 における画素回路として図 1 に T F T 1 1 と T F T 8 を一つの走査線 1 2 により制御する構造を示したが、第 2 のスイッチング手段である T F T と第 3 のスイッチング手段である T F T のそれぞれに別個の走査線を接続する構造としてもよい。たとえば、図 6 に示すように、T F T 1 1 と第 2 のスイッチング手段である T F T 1 3 がともにチャンネル層の導電性が同一の薄膜トランジスタ、たとえば n 型 T F T である構造である。かかる画素回路においては、T F T 1 1 は走査線 1 4 により制御され、T F T 1 3 は走査線 1 4 とは別個の走査線 1 5 により制御される。図 6 に示す画素回路の動作方法の工程は、図 3 - 1 ~ 図 3 - 4 に示す各工程と同様であり、図 2 に示すタイミングチャートにおいて走査線 1 2 のみで制御していた第 2 のスイッチング手段と第 3 のスイッチング手段をそれぞれ走査線 1 4 および走査線 1 5 で制御することとなる。すなわち、第 3 のスイッチング手段である T F T 1 1 をオン状態とする場合には走査線 1 2 が正の電位を示すタイミングと同じタイミングで走査線 1 4 を正の電位とし、第 2 のスイッチング手段である T F T 1 3 をオン状態とする場合には走査線 1 2 が負の電位を示すタイミングと同じタイミングで走査線 1 5 を正の電位とすることとなる。

20

30

【 0 0 5 3 】

ただし、コンデンサ 5 に保持される電荷の放出を効果的に防止するため、図 6 に示す画素回路の各構成要素は図 7 に示すタイミングチャートに従い動作することが好ましい。ここで、図 7 (a) ~ (d) は、図 2 の (a) ~ (d) と同様に、それぞれ、前処理工程、閾値電圧検出工程、データ書き込み工程および発光工程である。図 7 (a) に示す前処理工程において、有機 E L 素子 7 への負電荷の蓄積後、T F T 1 3 をオン状態とする前に T F T 1 1 をオフ状態とする。かかるタイミングで T F T 1 1 と T F T 1 3 が動作することにより、コンデンサ 5 に保持される電荷が T F T 1 3 を介してグラウンドへ放出されることを効果的に防止する。また、図 7 (c) に示すデータ書き込み工程終了後においては、T F T 1 3 をオフ状態とするため走査線 1 5 を負の電位とする。かかるタイミングで T F T 1 3 が動作することにより、コンデンサ 5 に保持される書き込み電位が T F T 1 3 を介してグラウンドに放出されることを防止する。

40

【 0 0 5 4 】

以上より、図 6 に示す画素回路の各構成要素は、第 2 のスイッチング手段である T F T 1 3 と第 3 のスイッチング手段である T F T 1 1 の駆動状態を別個の走査線で制御するため、図 7 のタイミングチャートに従った動作が可能となる。この結果、コンデンサ 5 に保持される電荷の放出を効果的に防止することが可能となる。また、図 6 に示す画素回路は、チャンネル層の導電性が同一である T F T のみで構成されるため、製造コストの低減も可能となる。

50

【 0 0 5 5 】

また、本実施の形態 1 では、行または列ごとにデータ書き込み工程を行って行または列ごとに順次発光工程を行なう方式で画像を表示させるほか、全ての有機 E L 素子 7 を同時に発光させて同時に 1 枚の画面を表示する全面一括制御方式で画像を表示してもよい。また、本実施の形態 1 では、全ての画素回路に対して、同時に前処理工程を行なってもよい。すなわち、全ての有機 E L 素子 7 に対して同時に電荷の蓄積が行なわれるとしてもよい。また、本実施の形態 1 では、全ての画素回路に対して、同時に閾値電圧検出工程を行なってもよい。すなわち、全ての T F T 8 は、同時にオン状態となり、T F T 6 のドレイン電極とゲート電極とを短絡してもよい。

【 0 0 5 6 】

(実施の形態 2)

つぎに、実施の形態 2 にかかる表示装置について説明する。本実施の形態 2 にかかる表示装置を構成する画素回路は、データ線と第 1 のスイッチング手段およびコンデンサを有するデータ書き込み手段と、第 2 のスイッチング手段と電流発光素子を有する閾値電圧検出手段を備える。さらに、コンデンサからドライバー素子への電荷の供給を制御するスイッチング手段としての T F T を備えた構造を有する。かかる画素回路により、データ書き込み手段と閾値電圧検出手段が別個独立に動作するよう構成されている。さらに、データ書き込み手段により書き込まれた電位に、データ書き込み手段とは別個独立に機能する閾値電圧検出手段によって検出された閾値電圧を加えた電位がドライバー素子に印加されることによって、ドライバー素子の閾値電圧が変動する場合でも電流発光素子に均一な電流を供給する表示装置を実現できる。

【 0 0 5 7 】

図 8 は、本実施の形態 2 における画素回路の構造を示した図である。かかる画素回路は、図 8 に示すように、電流発光素子の輝度に対応した電位を供給するデータ線 2 3 と、かかる電位の書き込みを制御する第 1 のスイッチング手段である T F T 2 4 と、書き込まれた電位を保持するコンデンサ 2 5 と、T F T 2 4 のゲート電極に接続する第 1 の走査線である走査線 3 0 により構成されるデータ書き込み手段 2 1 を備える。また、ドライバー素子である T F T 2 6 と、第 2 のスイッチング手段である T F T 2 8 と、電流発光素子である有機 E L 素子 2 7 と、T F T 2 6 のソース電極に接続する電源線であるコモン線 2 9 により構成される閾値電圧検出手段 2 2 を備える。さらに、コンデンサ 2 5 の負極には、ソース電極がコモン線 2 9 と接続した第 4 のスイッチング手段である T F T 3 1 が接続されている。本実施の形態 2 にかかる表示装置は、かかる画素回路をマトリックス状に配置して構成される。なお、説明を容易にするため、T F T 2 6 については、有機 E L 素子 2 7 と接続する電極をドレイン電極とし、コモン線 2 9 に接続する電極をソース電極とする。

【 0 0 5 8 】

データ書き込み手段 2 1 は、データ線 2 3 より有機 E L 素子 2 7 の表示輝度に対応した電位を与えられ、かかる電位を保持する機能を有する。かかるデータ書き込み手段 2 1 を構成するデータ線 2 3、第 1 のスイッチング手段である T F T 2 4、コンデンサ 2 5 および第 1 の走査線である走査線 3 0 は、実施の形態 1 にて説明した画素回路におけるデータ書き込み手段 1 を構成する各構成要素と同様の機能を有する。なお、コンデンサ 2 5 はデータ書き込み手段 2 1 と閾値電圧検出手段 2 2 を電気的に分離する機能も有する。

【 0 0 5 9 】

閾値電圧検出手段 2 2 は、ドライバー素子である T F T 2 6 の閾値電圧を検出する機能を有する。かかる閾値電圧検出手段 2 2 を構成する T F T 2 6 は、オン状態となることによりゲート・ソース間電圧に対応した電流を有機 E L 素子 2 7 に供給する機能を有する。また、有機 E L 素子 2 7 は、本来 T F T 2 6 がオン状態の際に与えられた電流に対応した輝度の光を表示するためのものであるが、閾値電圧検出手段 2 2 においては、T F T 2 6 のゲート電極とドレイン電極に対して電荷を供給する容量として機能する。また、T F T 2 8 は、オン状態となることにより T F T 2 6 のゲート電極とドレイン電極を短絡する機能を有する。後述するように、本実施の形態 2 にかかる表示装置では、T F T 2 8 を設け

10

20

30

40

50

ることによって、データ線 23 等のデータ書き込み手段 21 の構成要素を用いることなく T F T 26 の閾値電圧の検出を可能としている。また、T F T 28 のオン状態は走査線 32 により制御される。なお、電源線であるコモン線 29 は、実施の形態 1 にて説明したコモン線 9 と同様の機能を有する。

【0060】

さらに、T F T 31 は、コンデンサ 25 の負極とコモン線 29 の間に設けられ、コンデンサ 25 とコモン線 29 の電気的な接続を制御する機能を有する。T F T 31 は、後述する各工程にて電位の極性が変化するコモン線 29 と、コンデンサ 25 の負極との接続を制御することにより、コンデンサ 25 からドライバー素子である T F T 26 への電荷の移動を制御する。すなわち、T F T 31 がオン状態となり T F T 31 に電流が流れることによりコンデンサ 25 から T F T 26 に電荷が移動し、T F T 26 のゲート電極とソース電極との間に所定の電位差を発生させる。この結果、T F T 31 がオン状態となり T F T 31 に電流が流れることにより、データ書き込み手段 21 と閾値電圧検出手段 22 との間に電荷の移動が発生しデータ書き込み手段 21 と閾値電圧検出手段 22 は電気的に接続される。

【0061】

また、T F T 31 は、閾値電圧検出手段 22 を構成する T F T 28 とチャネル層の導電性が逆である。さらに、T F T 31 のゲート電極と T F T 28 のゲート電極はともに第 3 の走査線である走査線 32 に接続されており、走査線 32 に供給される電位の極性により T F T 28 と T F T 31 のいずれかがオン状態とされる。たとえば、図 8 に示すように T F T 28 が p 型 T F T である場合 T F T 31 は n 型 T F T となる。T F T 31 をオン状態にするためには走査線 32 の電位を正の電位とする必要があり、T F T 28 をオン状態とするためには走査線 32 の電位を負の電位とする必要がある。なお、T F T 31 を p 型 T F T、T F T 28 を n 型 T F T としてもよく、この場合 T F T 31 をオン状態とするためには走査線 32 を負の電位とする必要があり、T F T 28 をオン状態とするためには走査線 32 を正の電位とする必要がある。なお、後述するように、第 2 のスイッチング手段である T F T 28 と第 4 のスイッチング手段である T F T 31 は、チャネル層の導電性が同一である T F T としてもよく、この場合は第 2 のスイッチング手段である T F T と第 4 のスイッチング手段である T F T を別個の走査線で制御することとなる。

【0062】

つぎに、図 9 および図 10 - 1 ~ 図 10 - 5 を参照し、図 8 に示す画素回路の動作を説明する。図 9 は、実施の形態 2 における画素回路のタイミングチャートである。図 10 - 1 は、図 9 に示す (a) における画素回路の動作方法の工程を示す図であり、図 10 - 2 は、図 9 に示す (b) における画素回路の動作方法の工程を示す図であり、図 10 - 3 は、図 9 に示す (c) における画素回路の動作方法の工程を示す図であり、図 10 - 4 は、図 9 に示す (d) における画素回路の動作方法の工程を示す図であり、図 10 - 5 は、図 9 に示す (e) における画素回路の動作方法の工程を示す図である。本実施の形態 2 にかかる表示装置では、図 9 (a) ~ (e) および図 10 - 1 ~ 図 10 - 5 に示すように、データ書き込みと閾値電圧検出は別個独立の工程で行われる。図 10 - 1 ~ 図 10 - 5 において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

【0063】

図 9 (a) および図 10 - 1 に示す工程は、閾値電圧検出の前段階として、有機 E L 素子 27 に電荷を蓄積させる前処理工程である。具体的には、T F T 26 に発光時と逆方向の電流を流すことによって有機 E L 素子 27 に電荷を蓄積させる工程である。本工程は、実施の形態 1 における画素回路の前処理工程と同様に、コモン線 29 の電位の極性を発光時と比較し反転することによって、有機 E L 素子 27 のカソード側にコンデンサ 25 に残存する電荷より十分に大きい正の電荷を蓄積させる。

【0064】

図 9 (b) および図 10 - 2 に示す工程は、閾値電圧検出手段 22 がドライバー素子である T F T 26 の閾値電圧を検出する閾値電圧検出工程である。前処理工程で有機 E L 素

10

20

30

40

50

子 27 への正の電荷の蓄積が終了した後、コモン線 29 は正の電位から 0 電位となる。走査線 32 は負の電位のままであるため、TFT 28 がオン状態を維持することにより、TFT 26 のゲート電極とドレイン電極は短絡され同電位となる。ここで、有機 EL 素子 27 は TFT 26 のドレイン電極と接続しているため、有機 EL 素子 27 に蓄積された正の電荷は、TFT 26 のドレイン電極および TFT 28 によって短絡される TFT 26 のゲート電極に供給される。また、本工程において、コモン線 29 は正の電位から 0 電位となるため、コモン線 29 に接続する TFT 26 のソース電極には 0 電位が与えられる。したがって、TFT 26 のゲート・ソース間電圧は閾値電圧よりも大きくなり、TFT 26 はオン状態となる。TFT 26 にはゲート電極とソース電極の間に電位差が発生するため、ドレイン電極からソース電極に向かって電流が流れる。TFT 26 に電流が流れることによって、有機 EL 素子 27 に蓄積された正電荷は徐々に減少し、TFT 26 のゲート・ソース間電圧も徐々に低くなる。そして、TFT 26 のゲート・ソース間電圧が閾値電圧 ($= V_{th2}$) まで減少した時点で、TFT 26 はオフ状態となり、有機 EL 素子 27 に蓄積された正の電荷の減少も停止する。ここで TFT 26 のソース電極は 0 電位であるコモン線 29 に接続し、TFT 26 のゲート電極とドレイン電極は有機 EL 素子 27 に接続していることから、TFT 26 がオフ状態となった後 TFT 26 のゲート電極とドレイン電極の電位は V_{th2} に維持されることになる。以上より、TFT 26 のゲート電極とドレイン電極に TFT 26 の閾値電圧 V_{th2} が現れ、TFT 26 の閾値電圧が検出される。また、TFT 26 の閾値電圧の検出は、閾値電圧検出手段 22 の構成要素のみによってなされ、データ書き込み手段 21 の構成要素の動作を必要としない。

10

20

【0065】

図 9 (c) および図 10 - 3 は、検出した TFT 26 の閾値電圧を保持する閾値電圧保持工程である。TFT 31 がオフ状態を維持するため、TFT 26 のゲート電極およびドレイン電極に現れた TFT 26 の閾値電圧 V_{th2} はコンデンサ 25 の正極で保持される。

【0066】

図 9 (d) および図 10 - 4 は、データ書き込み工程である。実施の形態 1 における画素回路のデータ書き込み工程と同様に、有機 EL 素子 27 の輝度に対応する電位は、TFT 24 を介してデータ線 23 から書き込まれコンデンサ 25 にて保持される。なお、本工程において書き込まれる電位は ($-V_{D2}$) である。コンデンサ 25 の正極には閾値電圧検出工程にて検出された TFT 26 の閾値電圧 V_{th2} が保持されているため、コンデンサ 25 には TFT 26 の閾値電圧と書き込まれた電位との和である電圧に対応する電荷が保持されることとなる。また、TFT 31 はオフ状態を維持するため、データ書き込み手段 21 と閾値電圧検出手段 22 は電氣的に分離され、閾値電圧検出手段 22 における動作が本工程に影響を与えることはない。以上より、データの書き込みはデータ書き込み手段 21 の構成要素のみによってなされ、閾値電圧検出手段 22 の動作を必要としない。言い換えると、データの書き込みはデータ書き込み手段 21 の構成要素のみによってなされ、TFT 26 の閾値電圧の検出は閾値電圧検出手段 22 の構成要素のみによってなされるため、データ書き込み手段 21 と閾値電圧検出手段 22 は独立して機能する。

30

【0067】

図 9 (e) および図 10 - 5 は、有機 EL 素子 27 が発光する発光工程である。すなわち、コンデンサ 25 に保持された電荷がドライバー素子である TFT 26 に供給され、TFT 26 がオン状態になり TFT 26 に電流が流れることにより有機 EL 素子 27 が発光する工程である。ここで、コンデンサ 25 に保持される電荷を TFT 26 のゲート電極に供給するためには、TFT 31 をオン状態にする必要がある。このため、走査線 32 を正の電位にし、TFT 31 をオン状態とする。TFT 31 がオン状態となることによりコンデンサ 25 の負極の電位はグラウンドまで上昇し、コンデンサ 25 の正極には負極に保持されていた電位 ($-V_{D2}$) が与えられ ($V_{D2} + V_{th2}$) が現れる。かかる電位が TFT 26 のゲート電極に印加され、TFT 26 はオン状態となる。TFT 26 のドレイン電極は有機 EL 素子 27 に接続し、ソース電極は負の電位とされたコモン線 29 に接続するため、TFT 26 には ($V_{D2} + V_{th2}$) のゲート・ソース間電圧が発生し、ドレイン電極から

40

50

ソース電極に向かって、かかるゲート・ソース間電圧に対応する電流が流れる。ドライバー素子に電流が流れることにより、TFT26に接続する有機EL素子27にも電流が流れ、有機EL素子27は流れる電流に対応した輝度の光を表示する。なお、本工程ではデータの書き込みは行われないため、TFT24はオフ状態を維持する。

【0068】

実施の形態2にかかる表示装置においては、実施の形態1にかかる表示装置と同様に、発光工程におけるドライバー素子であるTFT26のゲート・ソース間電圧は書き込まれた電位 V_{D2} とTFT26の閾値電圧である V_{th2} の和であり、かかる和電圧に対応する電流がTFT26に流れる。したがって、TFT26の閾値電圧を書き込まれた電位 V_{D2} に加えた電圧がTFT26のゲート・ソース間電圧となるため、TFT26の閾値電圧の変動は補償される。この結果、TFT26に流れる電流は変動せず、有機EL素子は均一な輝度の光を表示し、画質の劣化は抑制される。

10

【0069】

また、本実施の形態2にかかる表示装置は、第2のスイッチング手段としてTFT28を設けることにより、閾値電圧検出工程においてTFT26のゲート電極とドレイン電極を短絡させ同電位とする。0電位であるコモン線29と接続するソース電極とゲート電極との間に電位差が生じ電流が流れ、ゲート・ソース間電圧が閾値電圧(V_{th2})となりTFT26がオフ状態となることによりゲート電極に閾値電圧を検出する。したがって、TFT28を設けることにより、閾値電圧検出手段22の構成要素の動作のみによってTFT26の閾値電圧を検出する。このため、閾値電圧の検出にデータ書き込み手段21の構成要素の動作を必要としない。

20

【0070】

また、実施の形態2にかかる表示装置は、TFT31がオン状態となりTFT31に電流が流れることにより、データ書き込み手段21と閾値電圧検出手段22が電気的に接続される。さらに、データ書き込み手段21と閾値電圧検出手段との境界には絶縁物であるコンデンサ25が設けられている。したがって、データ書き込み手段21と閾値電圧検出手段22は絶縁物により境界を隔てられているため、TFT31がオフ状態である場合には電気的に分離される。このため、一方の動作が他方の動作に影響を与えることを防止することが可能となり、閾値電圧検出手段21とデータ書き込み手段22は別個独立に動作する。ここで、図11に、データの書き込みと閾値電圧の検出の動作を同じタイミングで終了した場合の、図8に示す画素回路のタイミングチャートを示す。図11(a)~(e)は図9の(a)~(e)と同様に、それぞれ、前処理工程、閾値電圧検出工程、閾値電圧保持工程、データ書き込み工程および発光工程を示すタイミングチャートである。上記のように、閾値電圧検出手段22とデータ書き込み手段21は別個独立に動作可能であるため、図11に示すように同じタイミングで終了することが可能である。そして、閾値電圧の検出とデータの書き込みを同じタイミングで終了することによって、全工程に関する時間の短縮化を実現できる。

30

【0071】

さらに、有機EL素子27に直列に配列されるTFTは、ドライバー素子であるTFT26のみであるため、有機EL素子27以外の非発光部で消費される電力の削減が可能である。また、走査線32によりTFT28とTFT31の2箇所を制御するため回路構成も簡単であり、電源電圧の利用効率および有機EL素子27に供給される電位の書き込み効率が高い。

40

【0072】

なお、実施の形態2における画素回路として図8にTFT31とTFT28を一つの走査線32により制御する構造を示したが、第2のスイッチング手段であるTFTと第4のスイッチング手段であるTFTのそれぞれに別個の走査線を接続する構造としてもよい。たとえば、図12に示すように、TFT31と第2のスイッチング手段であるTFT33がともにチャンネル層の導電性が同一の薄膜トランジスタ、たとえばn型TFTである構造である。かかる画素回路においては、TFT31は走査線34により制御され、TFT3

50

3は走査線34とは別個の走査線35により制御される。

【0073】

図12に示す画素回路の動作方法の工程は、図10-1～図10-5に示す各工程と同様であり、図9に示すタイミングチャートにおいて走査線32のみで制御していた第2のスイッチング手段と第4のスイッチング手段を、それぞれ走査線34および走査線35で制御することとなる。すなわち、第4のスイッチング手段であるTF T 31をオン状態とする場合には走査線32が正の電位を示すタイミングと同じタイミングで走査線34を正の電位とし、第2のスイッチング手段であるTF T 33をオン状態とする場合には走査線32が負の電位を示すタイミングと同じタイミングで走査線35を正の電位とすることとなる。

10

【0074】

ただし、コンデンサ25に保持される電荷の放出を効果的に防止し、さらに、安定した階調を実現するため、図12に示す画素回路の各構成要素は図13に示すタイミングチャートに従い動作することが好ましい。ここで、図13(a)～(e)は、図9の(a)～(e)と同様に、それぞれ、前処理工程、閾値電圧検出工程、閾値電圧保持工程、データ書き込み工程および発光工程である。図13に示すタイミングチャートにおいては、図13(b)に示す閾値電圧検出工程終了時にTF T 31をオフ状態とする。かかるタイミングでTF T 31がオフ状態とされるため、閾値電圧検出工程においては0電位を示す共通線29とコンデンサ25の負極との接続が維持される。この結果、閾値電圧検出工程では、大きな電荷を蓄積する有機EL素子27と接続するTF T 26の閾値電圧が、より安定に検出される。さらに、前フレームの書き込み電位と本フレームの書き込み電位との差が大きい場合でも、データ書き込み工程では前フレームの影響を受けずに所定の電位がコンデンサ25に書き込まれ、安定した階調を実現することが可能となる。また、図13(d)に示すデータ書き込み工程終了後において、TF T 31をオン状態とする前にTF T 33をオフ状態とするため走査線35を負の電位とする。かかるタイミングでTF T 33が動作することにより、コンデンサ25に保持される書き込み電位がTF T 33を介してグラウンドに放出されることを防止する。

20

【0075】

以上より、図12に示す画素回路の各構成要素は、第2のスイッチング手段であるTF T 33と第4のスイッチング手段であるTF T 31の駆動状態を別個の走査線により制御するため、図13に示すタイミングチャートに従った動作が可能となる。この結果、コンデンサ25に保持される電荷の放出を効果的に防止し、さらに、安定した階調を実現することができる。また、図12に示す画素回路は、チャンネル層の導電性が同一であるTF Tのみで構成されるため製造コストの低減も可能となる。

30

【0076】

また、本実施の形態2では、行または列ごとにデータ書き込み工程を行って行または列ごとに順次発光工程を行なう方式で画像を表示させるほか、全ての有機EL素子27を同時に発光させて同時に1枚の画面を表示する全面一括制御方式で画像を表示してもよい。また、本実施の形態2では、全ての画素回路に対して、同時に前処理工程を行なってもよい。すなわち、全ての有機EL素子27に対して同時に電荷の蓄積が行なわれるとしてもよい。また、本実施の形態1では、全ての画素回路に対して、同時に閾値電圧検出工程を行なってもよい。すなわち、全てのTF T 28は、同時にオン状態となり、TF T 26のドレイン電極とゲート電極とを短絡してもよい。

40

【0077】

また、図12では4個のTF Tと1個のコンデンサとを備える画素回路について説明したが、データ線23に所定の基準電位を供給させ、データ線23の基準電位供給時にTF T 24をオン状態としデータ線23とコンデンサ25とを電気的に導通させることによって、TF T 31を省略し、さらに簡易な構成である画素回路とすることができる。

【0078】

図14は、実施の形態2における画素回路の構造の他の例を示した図である。図14に

50

示す画素回路は、図 1 2 における画素回路が有する T F T 3 1 と T F T 3 1 を制御する走査線 3 4 とを省略している。そして、後述するように、データ線 2 3 に基準電位として、たとえば 0 電位を供給させ、データ線 2 3 の基準電位供給時に T F T 2 4 をオン状態としデータ線 2 3 とコンデンサ 2 5 の負極とを電氣的に導通させることによって、コンデンサ 2 5 から T F T 2 6 への電荷の供給を制御し、各工程を行なっている。また、図 1 4 に示す画素回路では、有機 E L 素子 2 7 のアノード側がコモン線 2 9 に接続され、T F T 2 6 のソース電極がグラウンドに接続されている。また、図 1 4 に示す画素回路によって構成される表示装置では、後述するように、全ての有機 E L 素子 2 7 が同時に所定の輝度の光を表示して同時に 1 枚の画面を表示する全面一括制御方式で画像を表示する。なお、図 1 2 に示す画素回路と同様に、データ線 2 3 と T F T 2 4 とコンデンサ 2 5 と走査線 3 0 とはデータ書き込み手段 2 1 を構成し、T F T 2 6 と T F T 3 3 と有機 E L 素子 2 7 とコモン線 2 9 とは閾値電圧検出手段 2 2 を構成する。

10

【 0 0 7 9 】

つぎに、図 1 5 および図 1 6 - 1 ~ 図 1 6 - 4 を参照し、図 1 4 に示す画素回路の動作を説明する。図 1 5 は、図 1 4 に示す画素回路のタイミングチャートである。また、図 1 5 では、 n 行目の画素回路における走査線 $3 0_n$ と $(n + 1)$ 行目の画素回路における走査線 $3 0_{n+1}$ について例示する。また、図 1 6 - 1 は、図 1 5 に示す (a) における画素回路の動作方法の工程を示す図であり、図 1 6 - 2 は、図 1 5 に示す (b) における画素回路の動作方法の工程を示す図であり、図 1 6 - 3 は、図 1 5 に示す (d) における画素回路の動作方法の工程を示す図であり、図 1 6 - 4 は、図 1 5 に示す (e) における画素回路の動作方法の工程を示す図である。図 1 5 (a) ~ (e) は、図 1 2 の (a) ~ (e) と同様に、それぞれ、前処理工程、閾値電圧検出工程、閾値電圧保持工程、データ書き込み工程および発光工程を示す。なお、図 1 6 - 1 ~ 図 1 6 - 4 において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

20

【 0 0 8 0 】

図 1 5 (a) および図 1 6 - 1 に示す前処理工程では、コモン線 2 9 の電位の極性を発光時と比較し反転し、負の電位とすることによって、有機 E L 素子 2 7 のカソード側に正の電荷を蓄積させる。

【 0 0 8 1 】

つぎに、図 1 5 (b) および図 1 6 - 2 に示す閾値電圧検出工程では、走査線 3 5 を正の電位として T F T 3 3 をオン状態とすることにより、T F T 2 6 のゲート電極とドレイン電極とを短絡して T F T 2 6 をオン状態としている。そして、T F T 2 6 のゲート・ソース間電圧が閾値電圧 ($= V_{th2}$) まで減少した時点で T F T 2 6 はオフ状態となり、閾値電圧検出工程は終了する。この閾値電圧検出工程では、T F T 2 4 はオン状態を維持している。このため、0 電位を供給するデータ線 2 3 とコンデンサ 2 5 の負極とが電氣的に導通し、安定に閾値電圧の検出を行なうことができる。なお、図 1 4 に示す画素回路を有する表示装置は、全ての画素回路に対して前処理工程と閾値電圧検出工程とを同時に行なっている。

30

【 0 0 8 2 】

そして、図 1 5 (c) に示す閾値電圧保持工程では、T F T 2 6 のゲート電極およびドレイン電極に現れた T F T 2 6 の閾値電圧 V_{th2} がコンデンサ 2 5 の正極で保持される。ここで、閾値電圧保持工程は、閾値電圧検出工程が終了し、データ書き込み工程が開始するまでの間であり、図 1 5 には、たとえば、 n 行目の表示画素における閾値電圧保持工程を期間 (c) として示している。

40

【 0 0 8 3 】

そして、図 1 5 (d) および図 1 6 - 3 に示すデータ書き込み工程に進む。このデータ書き込み工程では、データ線 2 3 が電位 ($- V_{D2}$) を供給する図 1 5 の (d) の間に、全ての行または列の画素回路に対して順次データ書き込み工程が行なわれる。たとえば、 n 行目の画素回路では、図 1 5 (d₁) の間に走査線 $3 0_n$ が正の電位とされ T F T 2 4 がオン状態となることによって、データ線 2 3 から供給される電位 ($- V_{D2}$) がコンデンサ

50

25の負極に保持される。また、 $(n+1)$ 行目の画素回路では、図15(d₂)の間に走査線30_{n+1}が正の電位とされ、TFT24_{n+1}がオン状態となり、コンデンサ25の負極に電位 $(-V_{D2})$ が保持される。このように、図15に示す(d)の間に全ての行または列の画素回路に対してデータ書き込み工程が順次行なわれる。そして、データ書き込み工程終了後、データ線23に印加される電位は $(-V_{D2})$ から0Vとされる。

【0084】

つぎに、図15(e)および図16-4に示す発光工程について説明する。この工程では、走査線30を正の電位としてTFT24をオン状態とすることによって、0電位を供給するデータ線23とコンデンサ25の負極とを電氣的に導通させて、コンデンサ25の負極の電位を0電位まで上昇させる。そして、コンデンサ25の正極には負極に保持されていた電位 $(-V_{D2})$ が与えられ $(V_{D2} + V_{th})$ が現れる。そして、コモン線29は正の電位とされ、TFT26には $(V_{D2} + V_{th2})$ のゲート・ソース間電圧が発生し、このゲート・ソース間電圧に対応する電流が流れ、有機EL素子27は流れる電流に対応した輝度の光を表示する。この発光工程は、全ての画素回路において同時に行なわれ、全ての有機EL素子27が同時に所定の輝度の光を表示し、同時に1枚の画面を表示する。

【0085】

このように、図14に示す画素回路は、データ線23に所定の基準電位を供給させ、データ線23の基準電位供給時にTFT24をオン状態としてデータ線23とコンデンサ25の負極とを電氣的に導通させることによって、図12に示す画素回路と比較しTFT31を省略することが可能となる。さらに、TFT31の省略にともない、TFT31が接続する走査線34も省略することができ、簡易な回路構成とすることができる。このため、図14に示す画素回路では、TFT、コンデンサ、走査線の占有面積を小さくすることができる。したがって、画素回路の面積の縮小化を図ることができ、たとえば従来と比較し1.5倍程度に画像の解像度を向上させた高精細の表示装置を実現することが可能となる。

【0086】

また、全ての有機EL素子27に同時に光を表示させているため、前フレームの影響を受けずに画像を表示することができる。従来では、たとえばn行目の画素回路がデータ書き込み工程を行なっている際に、すでにデータ書き込み工程を終了したm行目の画素回路が発光工程を行なっていた。このため、従来の表示装置では、画像表示の際に前フレームの情報が表示される領域があった。したがって、従来の表示装置では、異なる時間で表示されるべき画像が同時に表示されている場合があり、動画の表示には適していなかった。しかし、図14に示す画素回路で構成された表示装置の場合、全ての有機EL素子27が同時に光を表示するため、上述した問題が生じず、動画の表示を正確に行なうことができ、動画特性を向上させることが可能となる。

【0087】

なお、図14における画素回路では、所定の基準電圧を0電位として説明したが、0電位に限定するものではなく、有機EL素子27の発光輝度に対応する電位 $(-V_{D2})$ よりも高い値の一定電位であればよい。閾値電圧検出工程において電位 $(-V_{D2})$ よりも低い値の電位を基準電位としてデータ線23に印加した場合、TFT26のゲート・ソース間電圧が閾値電圧を下回り、閾値電圧検出工程においてTFT26がオン状態とならずTFT26の閾値電圧を検出できなくなるためである。また、基準電圧が0電位ではない場合には、有機EL素子27に設定した輝度の光を表示させるために、データ書き込み工程では、有機EL素子27の発光輝度に対応する電位と基準電位との差分を考慮しデータ線23が供給する電位を設定する必要がある。

【0088】

また、図15では、データ書き込み工程において、データ線23が電位 $(-V_{D2})$ を供給する場合について示したが、データ線23は、画素回路ごとに各画素回路の有機EL素子27の設定輝度に応じて電位0～電位 $(-V_{D2})$ の間の任意の電位を供給する。

【0089】

10

20

30

40

50

(実施の形態3)

つぎに、実施の形態3にかかる表示装置について説明する。本実施の形態3にかかる表示装置は、データ線と第1のスイッチング手段およびコンデンサを有するデータ書き込み手段と、電流発光素子と第2のスイッチング手段として2つのTFTを有する閾値電圧検出手段を備える。かかる表示装置により、データ書き込み手段と閾値電圧検出手段は別個に動作するよう構成されており、データ書き込み手段により書き込まれた電位に、データ書き込み手段とは別に機能する閾値電圧検出手段により検出された閾値電圧を加えた電位がドライバー素子に印加されることによって、ドライバー素子の閾値電圧が変動する場合でも電流発光素子に均一な電流を供給する表示装置を実現する。

【0090】

図17は、本実施の形態3における画素回路の構造を示した図である。本実施の形態3における画素回路は、図17に示すように、電流発光素子の輝度に対応する電位を供給するデータ線43と、第1のスイッチング手段であるTFT44と、書き込まれた電位を保持するコンデンサ45と、TFT44のゲート電極に接続する第1の走査線である走査線51により構成されるデータ書き込み手段41を備える。さらに、ドライバー素子であるTFT46と、第1の薄膜トランジスタであるTFT48および第2の薄膜トランジスタであるTFT49を有する第2のスイッチング手段と、電流発光素子である有機EL素子47と、有機EL素子に接続する電源線であるコモン線50により構成される閾値電圧検出手段42を備える。なお、説明を容易にするため、TFT46については有機EL素子47と接続する電極をソース電極とし、TFT49と接続する電極をドレイン電極とする。

【0091】

データ書き込み手段41は、データ線43より有機EL素子47の表示輝度に対応した電位を与えられ、かかる電位を保持する機能を有する。データ書き込み手段41を構成するデータ線43、第1のスイッチング手段であるTFT44、コンデンサ45、第1の走査線である走査線51は、実施の形態1における画素回路のデータ書き込み手段1を構成する各構成要素と同様の機能を有する。

【0092】

閾値電圧検出手段42は、ドライバー素子であるTFT46の閾値電圧を検出する機能を有する。かかる閾値電圧検出手段42を構成するドライバー素子であるTFT46は、オン状態となることによりゲート・ソース間電圧に対応した電流を有機EL素子47に供給する機能を有する。また、TFT46のソース電極と接続する有機EL素子47は、本来TFT46がオン状態の際に与えられた電流に対応した輝度の光を表示するためのものであるが、閾値電圧検出手段42においては、TFT46のソース電極に対して電荷を供給する容量として機能する。

【0093】

また、TFT48およびTFT49は、第2のスイッチング手段を構成する。TFT48のソース電極はTFT46のゲート電極に接続しており、TFT49のソース電極はTFT46のドレイン電極に接続しており、TFT49のドレイン電極とTFT48のドレイン電極は互いに接続するとともにグラウンドに接続する。すなわち、TFT48とTFT49がともにオン状態となることによって、TFT46のゲート電極とドレイン電極は短絡されるとともにグラウンドに接続する。後述するように、本実施の形態3にかかる表示装置では、TFT48およびTFT49を設けることによって、データ線43等のデータ書き込み手段41の構成要素を用いることなくTFT46の閾値電圧の検出を可能としている。さらに、TFT49は、オフ状態となることにより、検出されたTFT46の閾値電圧をTFT46のソース電極に保持する機能も有する。なお、TFT48は走査線52により制御され、TFT49は走査線53により制御される。また、電源線であるコモン線50は、実施の形態1における画素回路を構成するコモン線9と同様の機能を有する。

【0094】

10

20

30

40

50

つぎに、図 18 および図 19 を参照し、図 17 に示す実施の形態 3 における画素回路の動作状態を説明する。図 18 は、実施の形態 3 における画素回路のタイミングチャートである。図 19 - 1 は、図 18 に示す (a) における画素回路の動作方法の工程を示す図であり、図 19 - 2 は、図 18 に示す (b) における画素回路の動作方法の工程を示す図であり、図 19 - 3 は、図 18 に示す (c) における画素回路の動作方法の工程を示す図であり、図 19 - 4 は、図 18 に示す (d) における画素回路の動作方法の工程を示す図であり、図 19 - 5 は、図 18 に示す (e) における画素回路の動作方法の工程を示す図である。図 18 (a) ~ (e) および図 19 - 1 ~ 図 19 - 5 に示すように、画素回路においてデータの書き込みと閾値電圧の検出は別個独立の工程で行われる。図 19 - 1 ~ 図 19 - 5 において、実線部は電流が流れる部分を示し、破線部は電流が流れていない部分を示す。

10

【 0095】

図 18 (a) および図 19 - 1 に示す工程は、閾値電圧検出の前段階として有機 EL 素子 47 に電荷を蓄積する前処理工程である。具体的には、TFT 46 に発光時と逆方向の電流を流すことによって有機 EL 素子 47 に電荷を蓄積させる工程である。本工程は、実施の形態 1 における画素回路の前処理工程と同様に、コモン線 50 の電位の極性を発光時と比較し反転することによって、有機 EL 素子 47 のアノード側にコンデンサ 45 に残存する電荷より十分に大きい負の電荷を蓄積させる。なお、TFT 46 のドレイン電極をグラウンドに接続するため、TFT 49 はオン状態を維持する。有機 EL 素子 47 に電荷が蓄積された後、蓄積された電荷を保持するため、走査線 52 を正の電位とし TFT 48 を

20

【 0096】

図 18 (b) および図 19 - 2 に示す工程は、閾値電圧検出手段 42 によってドライバー素子である TFT 46 の閾値電圧を検出する閾値電圧検出工程である。前処理工程で有機 EL 素子 47 への負の電荷の蓄積が終了した後、コモン線 50 は正の電位から 0 電位となる。走査線 52 および走査線 53 はともに正の電位のままであるため、TFT 48 および TFT 49 のオン状態が維持されることにより、TFT 46 はゲート電極とドレイン電極が短絡されるとともにグラウンドに接続されることとなる。したがって、TFT 46 のゲート電極とドレイン電極には 0 電位が与えられる。ここで、有機 EL 素子 47 は TFT 46 のソース電極と接続しているため、有機 EL 素子 47 のアノード側に蓄積された負の電荷に基づいて、TFT 46 のゲート・ソース間電圧は閾値電圧よりも大きくなり、TFT 46 はオン状態となる。また、TFT 46 のドレイン電極はオン状態である TFT 49 を介してグラウンドに接続される一方、TFT 46 のソース電極は負電荷が蓄積された有機 EL 素子 47 に接続され負の電位を与えられる。したがって、TFT 46 にはゲート電極とソース電極の間に電位差が発生し、ドレイン電極からソース電極に向かって電流が流れる。かかる電流が流れることにより、有機 EL 素子 47 に蓄積された負電荷の絶対値は徐々に減少し、TFT 46 のゲート・ソース間電圧が閾値電圧 ($= V_{th3}$) まで減少した時点で TFT 46 はオフ状態となり、有機 EL 素子 47 に蓄積された負電荷の絶対値の減少も停止する。TFT 46 のゲート電極は、オン状態である TFT 49 を介してグラウンドに接続されていることから、TFT 46 のソース電極の電位は ($- V_{th3}$) に維持されることとなる。以上より、TFT 46 のソース電極に TFT 46 の閾値電圧 ($- V_{th3}$) が現れ、TFT 46 の閾値電圧が検出される。なお、本工程においてドライバー素子である TFT 46 の閾値電圧の検出は、閾値電圧検出手段 42 の構成要素のみによってなされ、データ書き込み手段 41 の構成要素の動作を必要としない。

30

40

【 0097】

図 18 (c) および図 19 - 3 は、検出した閾値電圧を保持する閾値電圧保持工程である。TFT 48 および TFT 49 をともにオフ状態とするため、走査線 52 および走査線 53 を負の電位とする。TFT 49 がオフ状態となるため、TFT 46 のソース電極に現れた TFT 46 の閾値電圧 ($- V_{th3}$) は、グラウンドに放出されることなく安定に保持される。

50

【 0 0 9 8 】

図 1 8 (d) および図 1 9 - 4 に示す工程は、データ書き込み工程である。実施の形態 1 における画素回路のデータ書き込み工程と同様に、有機 E L 素子 4 7 の輝度に対応する電位は、T F T 4 4 を介してデータ線 4 3 から書き込まれコンデンサ 4 5 にて保持される。なお、本工程において書き込まれる電位は V_{D3} である。ここで、データの書き込みはデータ書き込み手段 4 1 の構成要素のみによってなされ、閾値電圧検出手段 4 2 の動作を必要としない。言い換えると、データの書き込みはデータ書き込み手段 4 1 の構成要素のみによってなされ、T F T 4 6 の閾値電圧の検出は閾値電圧検出手段 4 2 の構成要素のみによってなされるため、データ書き込み手段 4 1 と閾値電圧検出手段 4 2 は独立して機能する。なお、本工程においては画素回路の構造上 T F T 4 6 のゲート電極においても書き込み電位である V_{D3} が加わることとなり T F T 4 6 はオン状態となるが、T F T 4 6 のドレイン電極に接続する T F T 4 9 がオフ状態であるため T F T 4 6 に電流は流れず、閾値電圧検出工程にて検出された T F T 4 6 の閾値電圧は消失しない。

10

【 0 0 9 9 】

図 1 8 (e) および図 1 9 - 5 示す工程は、有機 E L 素子 4 7 が発光する発光工程である。すなわち、コンデンサ 4 5 に保持された電荷がドライバー素子である T F T 4 6 に供給され、T F T 4 6 がオン状態になり T F T 4 6 に電流が流れることにより有機 E L 素子 4 7 が発光する工程である。ここで、T F T 4 6 のゲート電極には接続するコンデンサ 4 5 より電位 V_{D3} が印加される。この結果、T F T 4 6 のゲート電極はオン状態となる。ここで、T F T 4 6 のソース電極には閾値電圧検出工程において検出された閾値電圧 ($-V_{th3}$) が現れている。また、本工程で T F T 4 6 のゲート電極にコンデンサ 4 5 より印加された電位 V_{D3} が加わるため、T F T 4 6 には ($V_{D3} + V_{th3}$) のゲート・ソース間電圧が発生する。この結果、T F T 4 6 には、ゲート・ソース間電圧である ($V_{D3} + V_{th3}$) に対応する電流が流れる。ドライバー素子である T F T 4 6 に電流が流れることにより、T F T 4 6 に接続する有機 E L 素子 4 7 にも電流が流れ、有機 E L 素子 4 7 は流れる電流に対応した輝度の光を表示する。なお、コンデンサ 4 5 から供給される電荷がグラウンドに放出され消滅するのを防止するため、コンデンサ 4 5 と接続する T F T 4 8 はオフ状態とする必要がある。このため、走査線 5 2 は負の電位のままである。また、T F T 4 6 のドレイン電極をグラウンドに接続するため、走査線 5 3 は正の電位とされ T F T 4 9 はオン状態とされる。さらに、本工程においてはデータ線 4 3 から電位は書き込まれないため、T F T 4 4 をオフ状態とする必要があることから走査線 5 1 は負の電位のままである。

20

30

【 0 1 0 0 】

実施の形態 3 にかかる表示装置においては、実施の形態 1 にかかる表示装置と同様に、発光工程におけるドライバー素子である T F T 4 6 のゲート・ソース間電圧は書き込まれた電位 V_{D3} と T F T 4 6 の閾値電圧である V_{th3} の和であり、かかる和電圧に対応する電流が T F T 4 6 に流れる。したがって、T F T 4 6 の閾値電圧が変動した場合であってもかかる閾値電圧を書き込まれた電位 V_{D3} に加えた電圧が T F T 4 6 のゲート・ソース間電圧となるため、T F T 4 6 の閾値電圧の変動は補償される。この結果、ドライバー素子である T F T 4 6 の閾値電圧が変動した場合であっても T F T 4 6 に流れる電流は変動せず、有機 E L 素子は均一な輝度の光を表示し、画質の劣化は抑制される。

40

【 0 1 0 1 】

また、本実施の形態 3 にかかる表示装置は、第 2 のスイッチング手段として T F T 4 8 および T F T 4 9 を設けることにより、閾値電圧検出工程において T F T 4 6 のゲート電極とドレイン電極を短絡させ、T F T 4 6 のゲート電極とドレイン電極をグラウンドに接続している。この結果、T F T 4 6 には負の電荷を蓄積した有機 E L 素子 4 7 と接続するソース電極とゲート電極の間に電位差が生じ電流が流れる。その後、ゲート・ソース間電圧が閾値電圧 (V_{th3}) となり T F T 4 6 がオフ状態となることによりソース電極に閾値電圧を検出する。したがって、T F T 4 8 および T F T 4 9 を設けることにより、閾値電圧検出手段 4 2 の構成要素の動作のみによって T F T 4 6 の閾値電圧を検出する。このため、閾値電圧の工程において、T F T 4 4 を介して T F T 4 6 のゲート電極に接続するデ

50

ータ線43の電位を0電位とする必要はなく、閾値電圧の検出にデータ書き込み手段41の構成要素の動作を必要としない。

【0102】

さらに、実施の形態3における画素回路は、ドライバー素子であるTF T 46のゲート電極にコンデンサ45の正極が直接接続されている。したがって、データ線43により供給されコンデンサ45で保持される電位が直接TF T 46のゲート電極に印加されるため、書き込んだデータ電位の信頼性が高い。

【0103】

なお、本実施の形態3では、行または列ごとにデータ書き込み工程を行って行または列ごとに順次発光工程を行なう方式で画像を表示させるほか、全ての有機EL素子47を同時に発光させて同時に1枚の画面を表示する全面一括制御方式で画像を表示してもよい。また、本実施の形態3では、全ての画素回路に対して、同時に前処理工程を行なってもよい。すなわち、全ての有機EL素子47に対して同時に電荷の蓄積が行なわれるとしてもよい。また、本実施の形態3では、全ての画素回路に対して、同時に閾値電圧検出工程を行なってもよい。すなわち、全てのTF T 48は、同時にオン状態となり、TF T 46のドレイン電極とゲート電極とを短絡してもよい。

10

【図面の簡単な説明】

【0104】

【図1】実施の形態1における画素回路の構造を示した図である。

【図2】図1に示す画素回路のタイミングチャートである。

20

【図3-1】図2に示す(a)における画素回路の動作方法の工程を示す図である。

【図3-2】図2に示す(b)における画素回路の動作方法の工程を示す図である。

【図3-3】図2に示す(c)における画素回路の動作方法の工程を示す図である。

【図3-4】図2に示す(d)における画素回路の動作方法の工程を示す図である。

【図4】劣化前のTF Tと劣化後のTF Tの電圧-電流特性を示すグラフである。

【図5】データの書き込みとドライバー素子であるTF Tの閾値電圧の検出の動作を同じタイミングで終了した場合における図1に示す画素回路のタイミングチャートである。

【図6】実施の形態1における画素回路の構造の他の例を示した図である。

【図7】図6に示す画素回路のタイミングチャートである。

【図8】実施の形態2における画素回路の構造を示した図である。

30

【図9】図8に示す画素回路のタイミングチャートである。

【図10-1】図9に示す(a)における画素回路の動作方法の工程を示す図である。

【図10-2】図9に示す(b)における画素回路の動作方法の工程を示す図である。

【図10-3】図9に示す(c)における画素回路の動作方法の工程を示す図である。

【図10-4】図9に示す(d)における画素回路の動作方法の工程を示す図である。

【図10-5】図9に示す(e)における画素回路の動作方法の工程を示す図である。

【図11】データの書き込みとドライバー素子であるTF Tの閾値電圧の検出の動作を同じタイミングで終了した場合における図8に示す画素回路のタイミングチャートである。

【図12】実施の形態2における画素回路の構造の他の例を示した図である。

【図13】図12に示す画素回路のタイミングチャートである。

40

【図14】実施の形態2における画素回路の構造の他の例を示した図である。

【図15】図14に示す画素回路のタイミングチャートである。

【図16-1】図15に示す(a)における画素回路の動作方法の工程を示す図である。

【図16-2】図15に示す(b)における画素回路の動作方法の工程を示す図である。

【図16-3】図15に示す(d)における画素回路の動作方法の工程を示す図である。

【図16-4】図15に示す(e)における画素回路の動作方法の工程を示す図である。

【図17】実施の形態3における画素回路の構造を示した図である。

【図18】図17に示す画素回路のタイミングチャートである。

【図19-1】図18に示す(a)における画素回路の動作方法の工程を示す図である。

【図19-2】図18に示す(b)における画素回路の動作方法の工程を示す図である。

50

【図19-3】図18に示す(c)における画素回路の動作方法の工程を示す図である。

【図19-4】図18に示す(d)における画素回路の動作方法の工程を示す図である。

【図19-5】図18に示す(e)における画素回路の動作方法の工程を示す図である。

【図20】従来技術にかかるアクティブマトリックス方式の有機EL表示装置における画素回路の構造を示した図である。

【図21】劣化前のTFTと劣化後のTFTの電圧-電流特性を示すグラフである。

【符号の説明】

【0105】

1、21、41 データ書き込み手段

2、22、42 閾値電圧検出手段

3、23、43 データ線

4、24、44 TFT

5、25、45 コンデンサ

6、26、46 TFT

7、27、47 有機EL素子

8、28、48、49 TFT

9、29、50 コモン線

10、30、51 走査線

11、31 TFT

12、32、52、53 走査線

13、33 TFT

14、15、34、35 走査線

101 データ線

102 TFT

103 コンデンサ

104 TFT

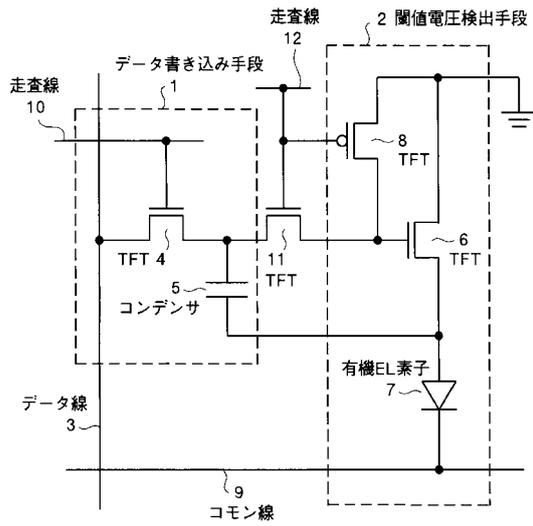
105 有機EL素子

106 走査線

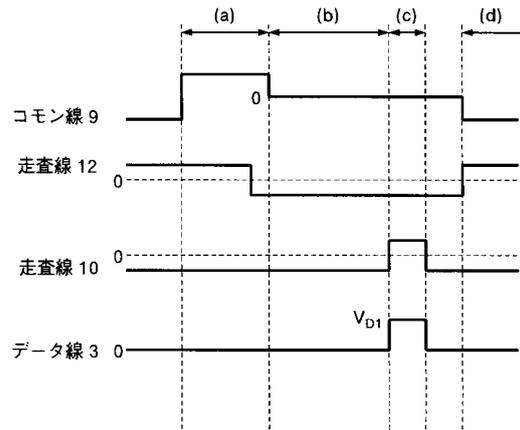
10

20

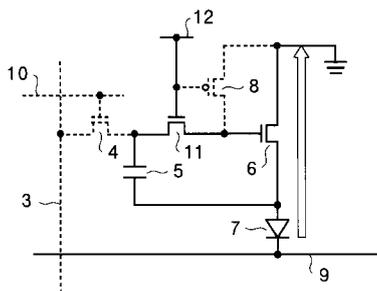
【図1】



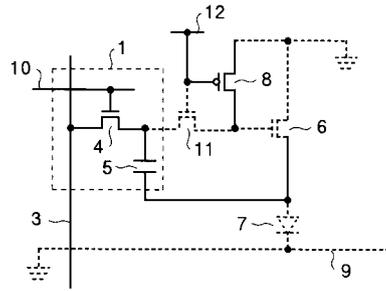
【図2】



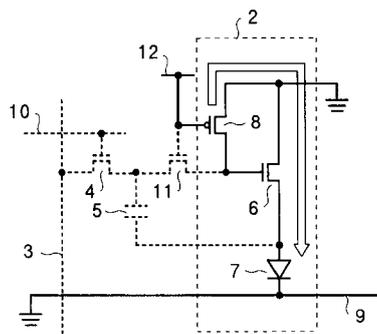
【図3-1】



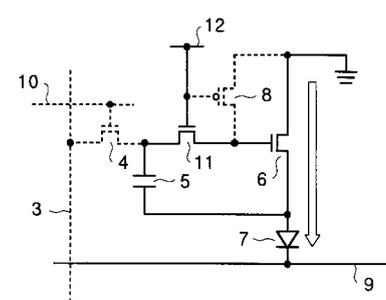
【図3-3】



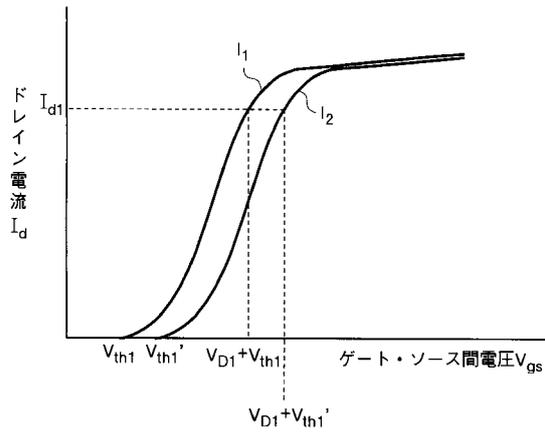
【図3-2】



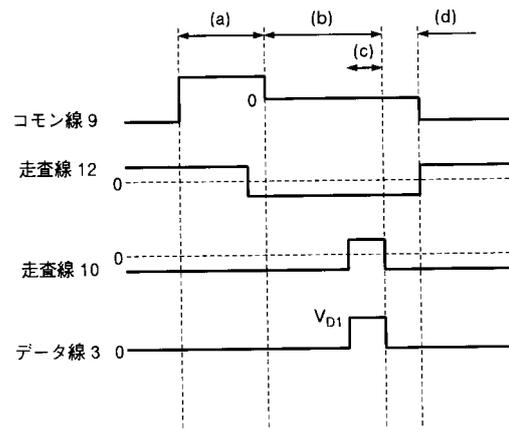
【図3-4】



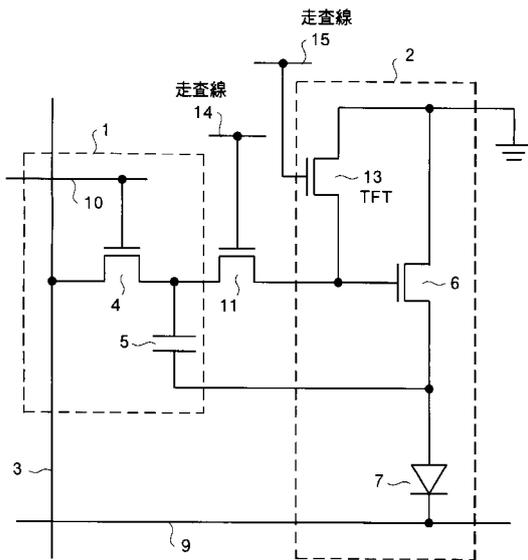
【図4】



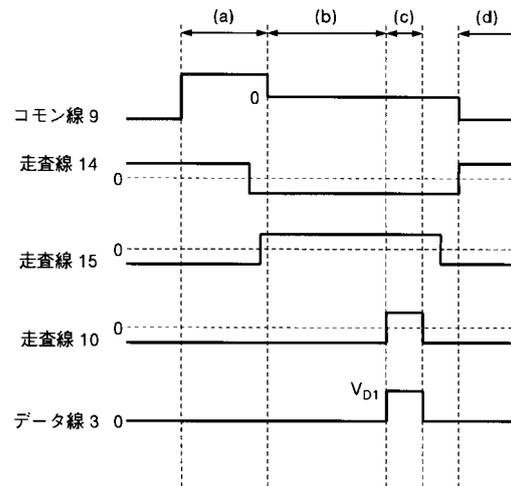
【図5】



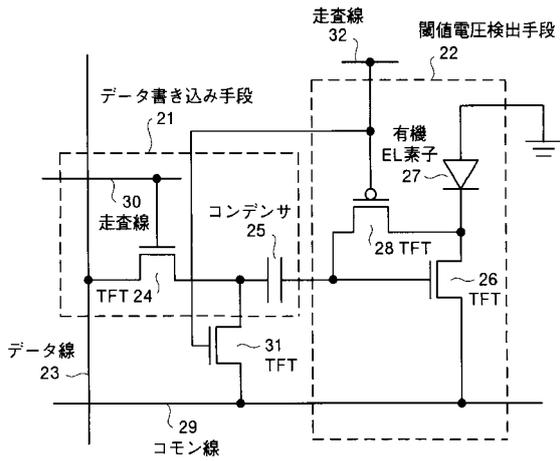
【図6】



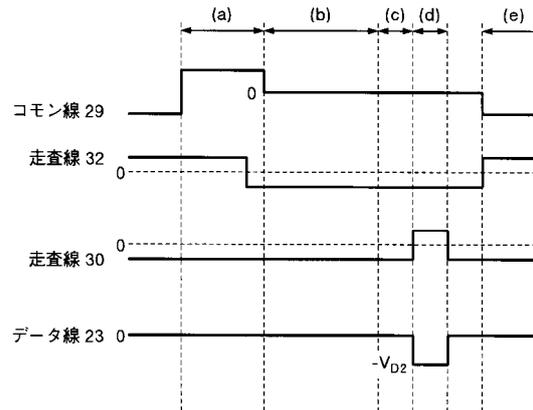
【図7】



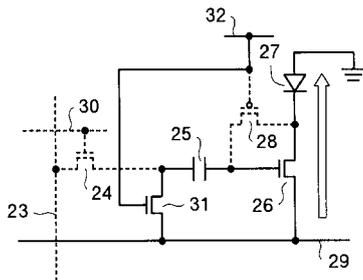
【図8】



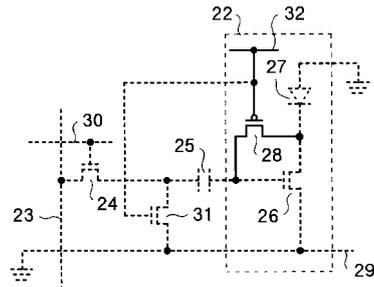
【図9】



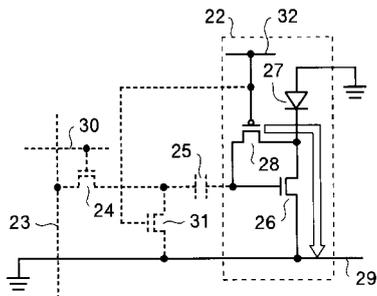
【図10-1】



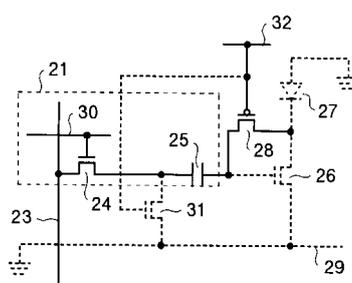
【図10-3】



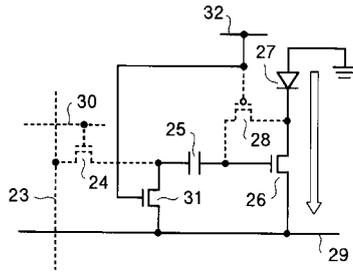
【図10-2】



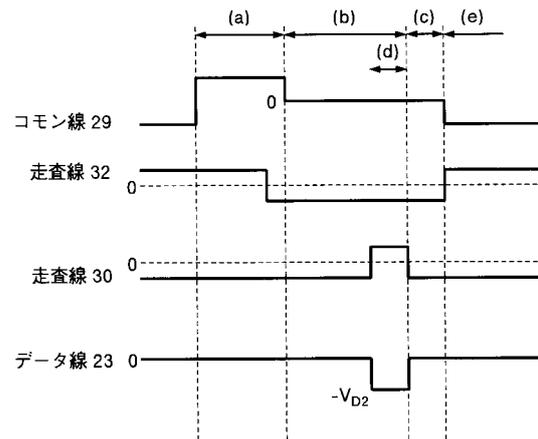
【図10-4】



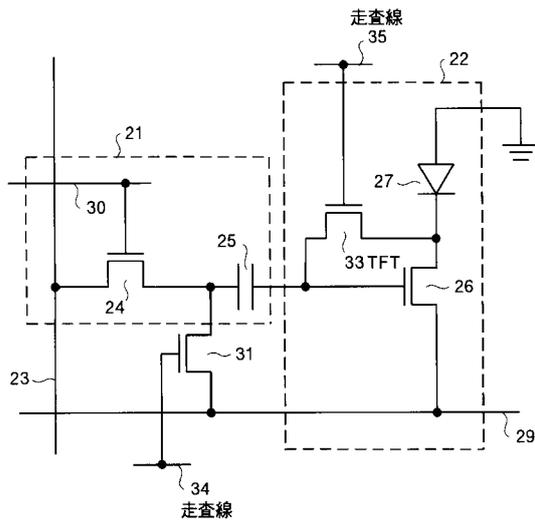
【図10-5】



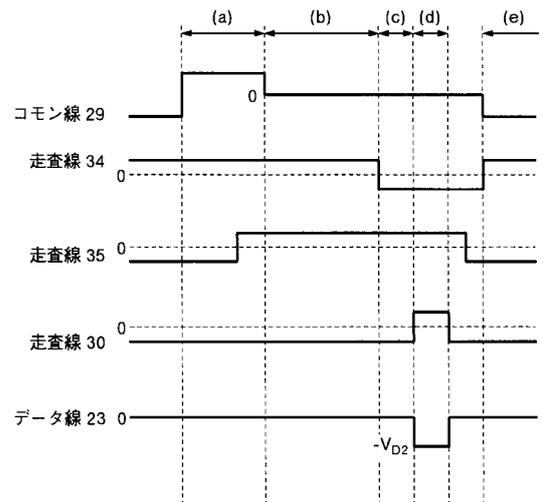
【図11】



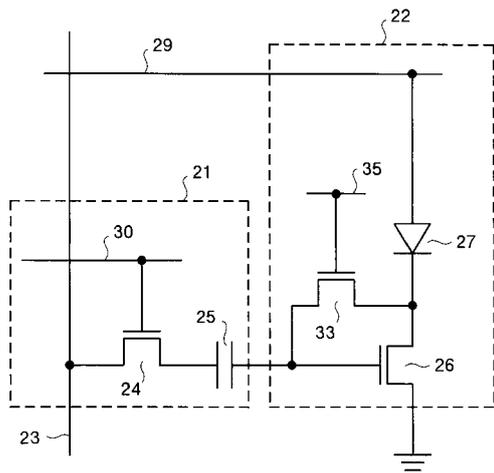
【図12】



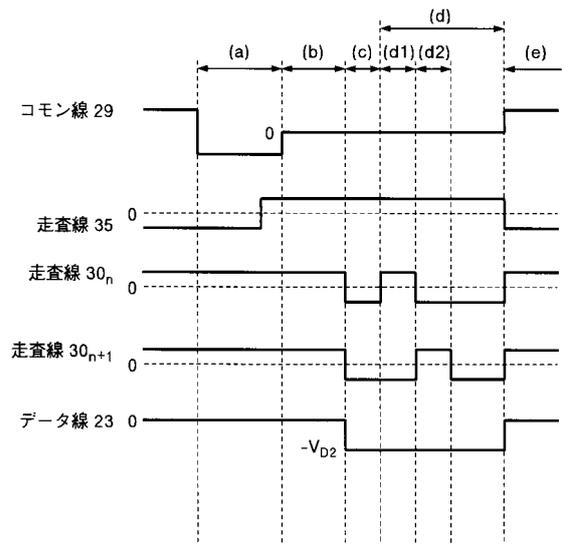
【図13】



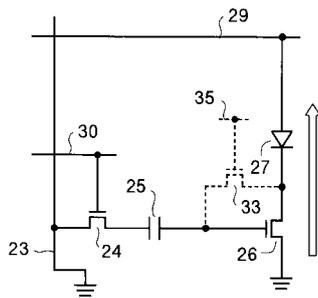
【図14】



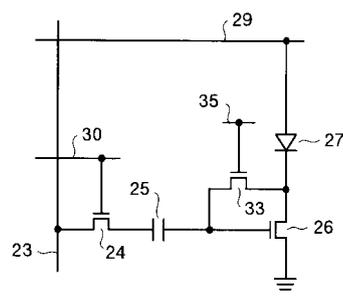
【図15】



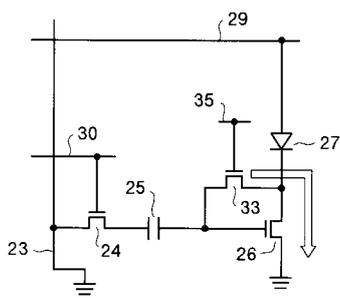
【図16-1】



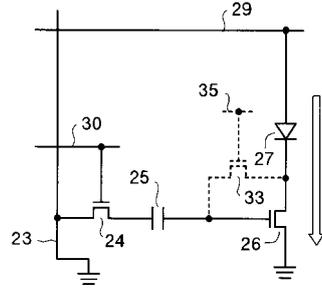
【図16-3】



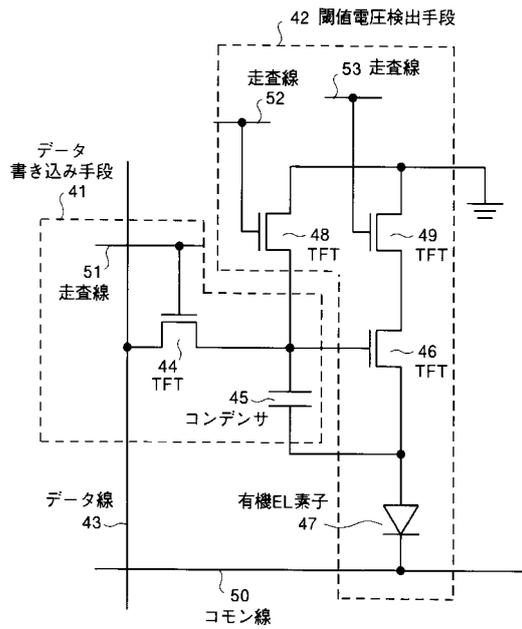
【図16-2】



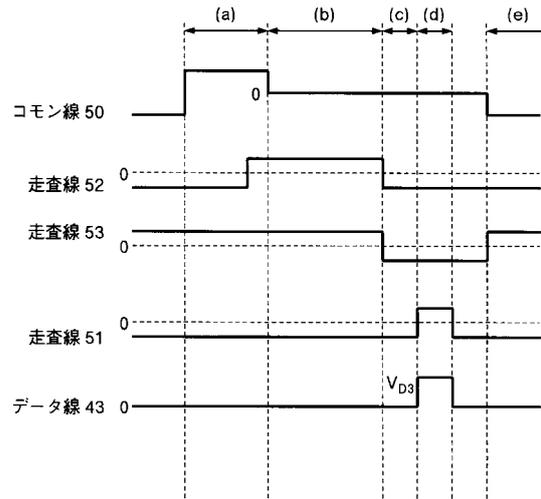
【図16-4】



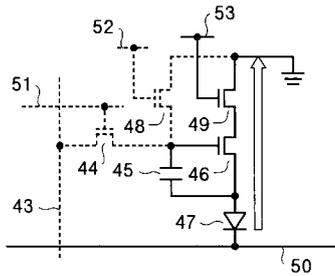
【図17】



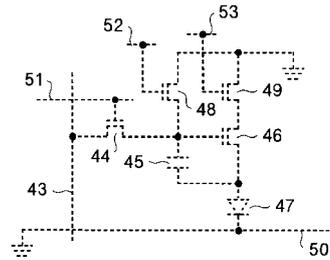
【図18】



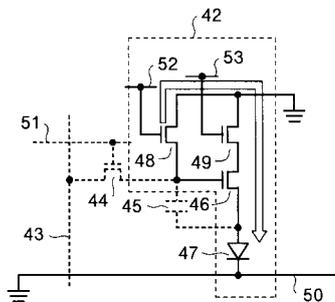
【図19-1】



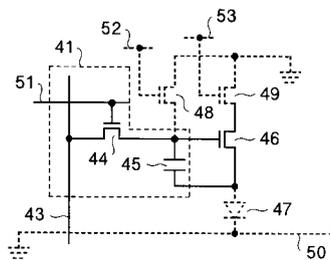
【図19-3】



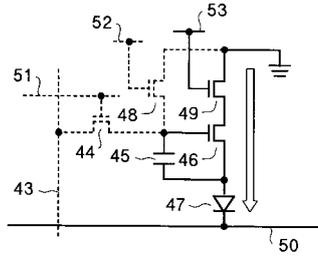
【図19-2】



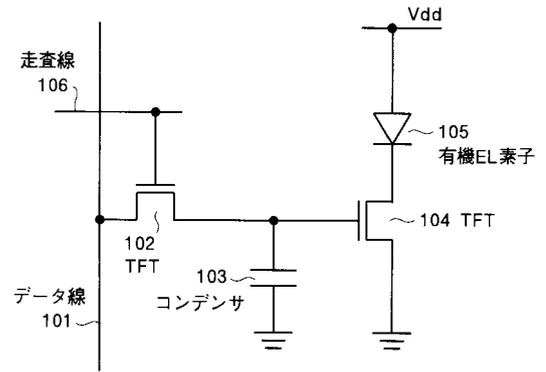
【図19-4】



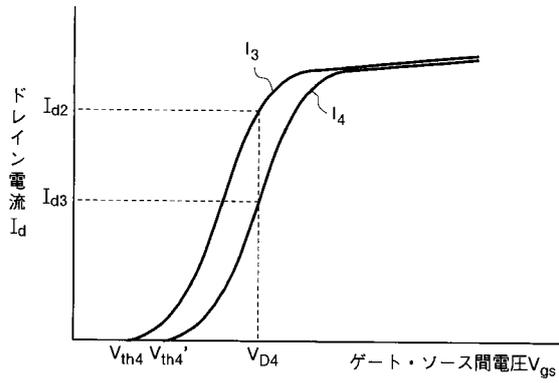
【図19-5】



【図20】



【図21】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 4 1 D
 G 0 9 G 3/20 6 4 1 R
 G 0 9 G 3/20 6 4 2 A
 G 0 9 G 3/20 6 4 2 D
 G 0 9 G 3/20 6 7 0 K
 H 0 1 L 29/78 6 1 4
 H 0 5 B 33/14 A

(74)代理人 100089118

弁理士 酒井 宏明

(72)発明者 小野 晋也

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式
 会社 大和事業所内

(72)発明者 小林 芳直

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式
 会社 大和事業所内

審査官 北川 創

(56)参考文献 特開平11-219146(JP,A)
 特開2003-108067(JP,A)
 国際公開第03/001496(WO,A1)
 特開2003-099000(JP,A)
 特開2003-288049(JP,A)
 特開2001-083924(JP,A)
 特開2001-056667(JP,A)
 特開2003-345307(JP,A)
 特開2002-072923(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 0 - 3 / 3 0
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 5 1 / 5 0