

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5128630号
(P5128630)

(45) 発行日 平成25年1月23日(2013.1.23)

(24) 登録日 平成24年11月9日(2012.11.9)

(51) Int.Cl.	F I
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 F
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 G
	HO 1 L 27/08 3 2 1 L

請求項の数 4 (全 28 頁)

(21) 出願番号	特願2010-97735 (P2010-97735)	(73) 特許権者	311014428
(22) 出願日	平成22年4月21日(2010.4.21)		
(65) 公開番号	特開2011-228519 (P2011-228519A)		
(43) 公開日	平成23年11月10日(2011.11.10)		
審査請求日	平成23年9月14日(2011.9.14)		
			ユニサンティス エレクトロニクス シン ガポール プライベート リミテッド Unisantiss Electronics Singapore Pte Ltd. シンガポール共和国、179098、ノースブリッジロード 111、ペニンシュラ プラザ #16-04 111, North Bridge Road, #16-04 Peninsula Plaza, Singapore 179098
		(74) 代理人	100095407 弁理士 木村 満

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板上において、

列方向に延びる第1のN⁺拡散層が形成され、

前記第1のN⁺拡散層上において、少なくとも1つの第1の柱状半導体層が形成され、

前記第1の柱状半導体層上に第2のN⁺拡散層が形成され、

前記第1の柱状半導体層の側壁にゲート絶縁膜を介して第1のゲート導体層が形成され

、
前記第1のN⁺拡散層をソース、前記第2のN⁺拡散層をドレイン、前記第1のN⁺拡散層と前記第2のN⁺拡散層との間の前記第1の柱状半導体層をチャンネル、前記第1のゲート導体層をゲートとする第1の縦型NチャンネルMOSトランジスタが形成され、

前記第1のN⁺拡散層と列方向に並ぶ第1の絶縁層を間に挟み、前記第1のN⁺拡散層と列方向に並んで第1のP⁺拡散層が形成され、

前記第1のP⁺拡散層上に、前記第1の柱状半導体層と列方向に並んで少なくとも1つの第2の柱状半導体層が形成され、

前記第2の柱状半導体層上に第2のP⁺拡散層が形成され、

前記第2の柱状半導体層の側壁にゲート絶縁膜を介して第2のゲート導体層が形成され

、
前記第1のP⁺拡散層をソース、前記第2のP⁺拡散層をドレイン、前記第1のP⁺拡散層と前記第2のP⁺拡散層との間の前記第2の柱状半導体層をチャンネル、前記第2のゲ

10

20

ート導体層をゲートとする第1の縦型PチャンネルMOSトランジスタが形成され、
前記第2のN⁺拡散層と、前記第2のP⁺拡散層とが列方向に並んだ状態で互いに接続
され、

前記第1のN⁺拡散層に接地電圧が印加され、前記第1のP⁺拡散層に電源電圧が印加
され、前記第1及び前記第2のゲート導体層を入力側端子とし、前記第2のN⁺拡散層及
び前記第2のP⁺拡散層を出力側端子とした第1のCMOSインバータが形成され、

前記第1のN⁺拡散層と行方向に隣接して第3のN⁺拡散層が形成され、

前記第3のN⁺拡散層上において、少なくとも1つの第3の柱状半導体層が形成され、

前記第3の柱状半導体層上に第4のN⁺拡散層が形成され、

前記第3の柱状半導体層の側壁にゲート絶縁膜を介して第3のゲート導体層が形成され

10

、
前記第3のN⁺拡散層をソース、前記第4のN⁺拡散層をドレイン、前記第3のN⁺拡
散層と前記第4のN⁺拡散層との間の第3の柱状半導体層をチャンネル、前記第3のゲート
導体層をゲートとする第2の縦型NチャンネルMOSトランジスタが形成され、

前記第3のN⁺拡散層と列方向に並ぶ第2の絶縁層を間に挟み、前記第2の絶縁層と列
方向に並ぶとともに、前記第1のP⁺拡散層と行方向に並んで第3のP⁺拡散層が形成さ
れ、

前記第3のP⁺拡散層上において、少なくとも1つの第4の柱状半導体層が形成され、

前記第4の柱状半導体層上に第4のP⁺拡散層が形成され、

前記第4の柱状半導体層の側壁にゲート絶縁膜を介して第4のゲート導体層が形成され

20

、
前記第3のP⁺拡散層をソース、前記第4のP⁺拡散層をドレイン、前記第3のP⁺拡
散層と前記第4のP⁺拡散層との間の前記第4の柱状半導体層をチャンネル、前記第4のゲ
ート導体層をゲートとする第2の縦型PチャンネルMOSトランジスタが形成され、

前記第4のN⁺拡散層と、前記第4のP⁺拡散層とが列方向に並んだ状態で互いに接続
され、

前記第3のN⁺拡散層に接地電圧が印加され、前記第3のP⁺拡散層に電源電圧が印加
され、前記第3及び第4のゲート導体層を入力側端子とし、第4のN⁺拡散層及び第4の
P⁺拡散層を出力側端子とした第2のCMOSインバータが形成され、

前記第1のCMOSインバータの出力側端子である前記第2のN⁺拡散層及び前記第2
のP⁺拡散層が、前記第2のCMOSインバータの入力側端子である前記第3及び第4の
ゲート導体層に接続され、前記第1及び前記第2のCMOSインバータが行方向に沿って
、一方側から他方側に向けて繰り返すことで構成される複数のCMOSインバータを有す
る多段インバータ回路が形成されていることを特徴とする半導体装置。

30

【請求項2】

前記第1のN⁺拡散層、前記第1の絶縁層、及び、前記第1のP⁺拡散層上において、
列方向に沿って延びる第1の金属配線層が形成され、

前記第3のN⁺拡散層、前記第2の絶縁層、及び、前記第3のP⁺拡散層上において、
列方向に沿って延びる第2の金属配線層が形成され、

前記第1の金属配線層の一端部に、当該第1の金属配線層から他方側にある前記第2の
金属配線層に延びる延出部分が形成され、この延出部分に、この第1の金属配線層と、前
記第3及び第4のゲート導体層とを接続する第1のコンタクトホールが形成され、

40

前記第2の金属配線層の一端部に、当該第2の金属配線層から他方側にある第1の金属
配線層に延びる延出部分が形成され、この延出部分に、この第2の金属配線層と、前記第
1及び前記第2のゲート導体層とを接続する第2のコンタクトホールが形成され、

前記第1のCMOSインバータの出力側端子である前記第2のN⁺拡散層及び前記第2
のP⁺拡散層は、前記第1のCMOSインバータから他方側にある前記第2のCMOSイン
バータの入力側端子である前記第3及び第4のゲート導体層に、前記第1の金属配線層
及び前記第1のコンタクトホールを介して接続され、

前記第2のCMOSインバータの出力側端子である前記第4のN⁺拡散層及び前記第4

50

の P⁺ 拡散層は、前記第 2 の CMOS インバータから他方側にある第 1 の CMOS インバータの入力側端子である前記第 1 及び前記第 2 のゲート導体層に、前記第 2 の金属配線層及び前記第 2 のコンタクトホールを介して接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の N⁺ 拡散層、前記第 1 の絶縁層、及び、前記第 1 の P⁺ 拡散層上において、列方向に沿って延びる第 1 の金属配線層が形成され、

前記第 3 の N⁺ 拡散層、前記第 2 の絶縁層、及び、前記第 3 の P⁺ 拡散層上において、列方向に沿って延びる第 2 の金属配線層が形成され、

前記第 1 の金属配線層の中途部に、当該第 1 の金属配線層から他方側にある前記第 2 の金属配線層に向けて延出する第 1 の延出部分が形成され、この第 1 の延出部分に、この第 1 の金属配線層と、前記第 3 及び第 4 のゲート導体層とを接続する第 1 のコンタクトホールが形成され、

前記第 1 の延出部分を間に配置する前記第 2 の金属配線層の両端部に、当該第 2 の金属配線層から他方側にある第 1 の金属配線層に向けて延出する一対の第 2 の延出部分が形成され、この一対の第 2 の延出部分に、この第 2 の金属配線層と、前記第 1 及び前記第 2 のゲート導体層とを接続する一対の第 2 のコンタクトホールがそれぞれ形成され、

前記第 1 の CMOS インバータの出力側端子である前記第 2 の N⁺ 拡散層及び前記第 2 の P⁺ 拡散層は、前記第 1 の CMOS インバータから他方側にある前記第 2 の CMOS インバータの入力側端子である前記第 3 及び第 4 のゲート導体層に、前記第 1 の金属配線層及び前記第 1 のコンタクトホールを介して接続され、

前記第 2 の CMOS インバータの出力側端子である前記第 4 の N⁺ 拡散層及び前記第 4 の P⁺ 拡散層は、前記第 2 の CMOS インバータから他方側にある第 1 の CMOS インバータの入力側端子である前記第 1 及び前記第 2 のゲート導体層に、前記第 2 の金属配線層及び前記第 2 のコンタクトホールを介して接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 の N⁺ 拡散層、前記第 1 の絶縁層、及び、前記第 1 の P⁺ 拡散層上において、列方向に沿って延びる第 1 の金属配線層が形成され、

前記第 3 の N⁺ 拡散層、前記第 2 の絶縁層、及び、前記第 3 の P⁺ 拡散層上において、列方向に沿って延びる第 2 の金属配線層が形成され、

前記第 1 の金属配線層の中途部に、当該第 1 の金属配線層から他方側にある前記第 2 の金属配線層に延出する第 1 の延出部分が形成され、この第 1 の延出部分に、この第 1 の金属配線層と、前記第 3 及び第 4 のゲート導体層とを接続する第 1 のコンタクトホールが形成され、

前記第 2 の金属配線層の一端部に、当該第 2 の金属配線層から他方側にある第 1 の金属配線層に延出する第 2 の延出部分が形成され、この第 2 の延出部分に、この第 2 の金属配線層と、前記第 1 及び前記第 2 のゲート導体層とを接続する第 2 のコンタクトホールが形成され、

前記第 1 の CMOS インバータの出力側端子である前記第 2 の N⁺ 拡散層及び前記第 2 の P⁺ 拡散層は、前記第 1 の CMOS インバータから他方側にある前記第 2 の CMOS インバータの入力側端子である前記第 3 及び第 4 のゲート導体層に、前記第 1 の金属配線層及び前記第 1 のコンタクトホールを介して接続されている

前記第 2 の CMOS インバータの出力側端子である前記第 4 の N⁺ 拡散層及び前記第 4 の P⁺ 拡散層は、前記第 2 の CMOS インバータから他方側にある第 1 の CMOS インバータの入力側端子である前記第 1 及び前記第 2 のゲート導体層に、前記第 2 の金属配線層及び前記第 2 のコンタクトホールを介して接続されていることを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は半導体装置に関し、特に柱状半導体を有し、その側壁をチャネル領域とし、ゲート電極がチャネル領域を取り囲むように形成された縦型MOSトランジスタであるSGT (Surrounding Gate Transistor) を用いたCMOSインバータのうち、特に2段以上に直列に接続されたCMOSインバータに関する。

【 背景技術 】

【 0 0 0 2 】

半導体装置の高集積化や高性能化を実現するため、半導体基板の表面に形成された柱状半導体層と、その柱状半導体層の側壁に該柱状半導体層を取り囲むように形成されたゲートと、を有する縦型ゲートトランジスタであるSGT (Surrounding Gate Transistor) が提案された (例えば、特許文献1、非特許文献1)。SGTでは、ドレイン、ゲート、ソースが垂直方向に配置される。このため、SGTは、従来のプレーナ型トランジスタに比べて占有面積を大幅に縮小することができる。

10

【 0 0 0 3 】

SGTを用いたCMOSインバータの一例が特許文献1に開示されている。特許文献1に開示されているCMOSインバータの平面を図37(a)に、図37(a)におけるカットラインA-A'の断面を図37(b)に示す。

【 0 0 0 4 】

図37(a)、(b)において、Si基板301にNウェル302およびPウェル303が形成されている。Nウェル302領域にPMOS (Positive Channel Metal-Oxide-Semiconductor) Qpを形成する柱状シリコン層305が形成され、Pウェル303領域にNMOS (Negative Channel Meta-Oxide-Semiconductor) Qnを形成する柱状シリコン層306が形成されている。柱状シリコン層305と306を、それぞれ、取り囲むようにゲート308および素子分離領域304が形成されている。PMOSを形成する柱状シリコン層305の下部に形成されるP+ドレイン拡散層310およびNMOSを形成する柱状シリコン層306の下部に形成されるN+ドレイン拡散層312は出力端子Voutに接続されている。PMOSを形成する柱状シリコン層305の上部に形成されるP+ソース拡散層309は、Vcc配線層314を介して電源電位Vccに接続され、NMOSを形成する柱状シリコン層306の上部に形成されるN+ソース拡散層311は、Vss配線層315を介して接地電位Vssに接続され、PMOSとNMOSの共通のゲート308は入力端子(Vin)316に接続される。このような構成により、CMOSインバータが形成される。

20

30

【 0 0 0 5 】

2段以上に直列に接続されたCMOSインバータの例として、非特許文献1に開示されている2段CMOSインバータの平面を図38(a)に、図38(a)におけるカットラインA-A'の断面を図38(b)に示す。

【 0 0 0 6 】

図38(a)、(b)において、シリコン基板にP+拡散層418とN+拡散層419が形成されている。P+拡散層418には配線層436より電源電位Vccが与えられ、N+拡散層419には配線層435より接地電位Vssが与えられている。P+拡散層418上にはPMOSを構成する柱状シリコン層411~414が形成されている。N+拡散層419上にはNMOSを構成する柱状シリコン層415~417が形成されている。1段目のインバータは、柱状シリコン層413、414から構成されるPMOSと、柱状シリコン層415から構成されるNMOSと、から形成されている。これらの柱状シリコン層413、414、415の周囲には共通なゲート422が形成されている。ゲート422には配線層433及びゲート422上に形成されたコンタクト426を通して、この1段目のインバータの入力電圧が与えられる。また、柱状シリコン層413、414、415上に形成されたコンタクト429、430より配線層437に、この1段目のインバータの出力電圧が与えられる。

40

【 0 0 0 7 】

50

2段目のインバータは、柱状シリコン層411、412により構成されるPMOSと、柱状シリコン層416、417により構成されるNMOSと、から形成されている。柱状シリコン層411、412の周囲にはゲート421が形成されている。柱状シリコン層416、417の周囲にはゲート423が形成されている。ゲート421には配線層437及びゲート上に形成されるコンタクト427を通して、この2段目のインバータの入力電圧が与えられ、ゲート423には配線層437及びゲート上に形成されるコンタクト428を通して、この2段目のインバータの入力電圧が与えられる。また、柱状シリコン層411、412、416、417上に形成されたコンタクト431、432を通して配線層434に、この2段目のインバータの出力電圧が与えられる。

【0008】

この2段インバータでは、電源電位 V_{cc} が与えられる配線層436とP+拡散層418とを接続するコンタクト424、及び、接地電位 V_{ss} が与えられる配線層435とN+拡散層419とを接続するコンタクト425が占める面積が大きい。このため、この2段インバータの占有面積は大きい。

【0009】

また、2段以上に直列に接続されたCMOSインバータの他の例として、特許文献2に開示されているCMOSインバータチェーンの平面を図39(a)に、図39(a)におけるカットラインA-A'の断面を図39(b)に示す。

【0010】

図39(a)、図39(b)において、シリコン酸化膜(SiO_2 膜)上に、PMOSを構成する柱状半導体層511、512、515、516、517、518、521、522と、NMOSを構成する柱状半導体層513、514、519、520とが形成されている。1段目のインバータは、柱状半導体層521、522から構成されるPMOSと、柱状半導体層520から構成されるNMOSと、によって形成される。これらの柱状半導体層520、521、522の周囲には共通なゲート530が形成されている。電源電位が配線層535を介してPMOSを構成する柱状半導体層521、522の上部に形成された拡散層に与えられ、接地電位が配線層534を介してNMOSを構成する柱状半導体層520の上部に形成される拡散層に与えられる。2段目のインバータは、柱状半導体層517、518から構成されるPMOSと、柱状半導体層519から構成されるNMOSによって形成される。これらの柱状半導体層517、518、519の周囲には共通なゲート529が形成されている。ゲート529には下部配線層525により入力電位が与えられる。電源電位は配線層533から、PMOSを構成する柱状半導体層517、518の上部に形成されている拡散層に与えられ、接地電位は配線層534からNMOSを構成する柱状半導体層519の上部に形成されている拡散層に与えられる。

【0011】

以上の単位構造の繰り返しにより柱状半導体層511~522、下部配線層523~526、ゲート527~530、配線層531~535からインバータチェーンを形成する。

【0012】

この従来例においては、回路を構成する拡散層やゲート配線のレイアウトが複雑である。また、NMOSとPMOSが狭い領域に交互に配置されているため、数10nmレベルまで微細化されたデバイスに用いる場合には、集積度の高いインバータを形成することは困難である。また、特許文献2は、並列に形成されるピラーの数を増やすために、図39のインバータ回路全体を並列に接続することを提案している。しかし、この場合には、素子分離領域等の直接デバイスの能力に寄与しない部分まで繰り返し配置されるため、並列に形成されるピラーの数を効率よく増やすことはできない。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開平2-188966号公報

10

20

30

40

50

【特許文献2】特開2009-38226号公報

【非特許文献】

【0014】

【非特許文献1】S.Watanabe et al., "A Nobel Circuit Technology with Surrounding Gate Transistor(SGT's) for Ultra High Density DRAM's", IEEE JSSC, Vol.30, No.9 1995.

【発明の概要】

【発明が解決しようとする課題】

【0015】

以上説明したように、従来提案されていた2段以上に直列に接続されたCMOSインバータの構造は、占有面積の縮小に関して更なる改善の必要がある。

【0016】

本発明は上記の事情を鑑みてなされたもので、占有面積の小さい2段以上に直列に接続されたCMOSインバータを実現することを目的とする。

【課題を解決するための手段】

【0017】

上記目的を達成するため、本発明に係る半導体装置は、
基板上において、

列方向に延びる第1のN⁺拡散層が形成され、

前記第1のN⁺拡散層上において、少なくとも1つの第1の柱状半導体層が形成され、

前記第1の柱状半導体層上に第2のN⁺拡散層が形成され、

前記第1の柱状半導体層の側壁にゲート絶縁膜を介して第1のゲート導体層が形成され

、
前記第1のN⁺拡散層をソース、前記第2のN⁺拡散層をドレイン、前記第1のN⁺拡散層と前記第2のN⁺拡散層との間の前記第1の柱状半導体層をチャンネル、前記第1のゲート導体層をゲートとする第1の縦型NチャンネルMOSトランジスタが形成され、

前記第1のN⁺拡散層と列方向に並ぶ第1の絶縁層を間に挟み、前記第1のN⁺拡散層と列方向に並んで第1のP⁺拡散層が形成され、

前記第1のP⁺拡散層上に、前記第1の柱状半導体層と列方向に並んで少なくとも1つの第2の柱状半導体層が形成され、

前記第2の柱状半導体層上に第2のP⁺拡散層が形成され、

前記第2の柱状半導体層の側壁にゲート絶縁膜を介して第2のゲート導体層が形成され

、
前記第1のP⁺拡散層をソース、前記第2のP⁺拡散層をドレイン、前記第1のP⁺拡散層と前記第2のP⁺拡散層との間の前記第2の柱状半導体層をチャンネル、前記第2のゲート導体層をゲートとする第1の縦型PチャンネルMOSトランジスタが形成され、

前記第2のN⁺拡散層と、前記第2のP⁺拡散層とが列方向に並んだ状態で互いに接続され、

前記第1のN⁺拡散層に接地電圧が印加され、前記第1のP⁺拡散層に電源電圧が印加され、前記第1及び前記第2のゲート導体層を入力側端子とし、前記第2のN⁺拡散層及び前記第2のP⁺拡散層を出力側端子とした第1のCMOSインバータが形成され、

前記第1のN⁺拡散層と行方向に隣接して第3のN⁺拡散層が形成され、

前記第3のN⁺拡散層上において、少なくとも1つの第3の柱状半導体層が形成され、

前記第3の柱状半導体層上に第4のN⁺拡散層が形成され、

前記第3の柱状半導体層の側壁にゲート絶縁膜を介して第3のゲート導体層が形成され

、
前記第3のN⁺拡散層をソース、前記第4のN⁺拡散層をドレイン、前記第3のN⁺拡散層と前記第4のN⁺拡散層との間の第3の柱状半導体層をチャンネル、前記第3のゲート導体層をゲートとする第2の縦型NチャンネルMOSトランジスタが形成され、

前記第3のN⁺拡散層と列方向に並ぶ第2の絶縁層を間に挟み、前記第2の絶縁層と列

10

20

30

40

50

方向に並ぶとともに、前記第1のP⁺拡散層と行方向に並んで第3のP⁺拡散層が形成され、

前記第3のP⁺拡散層上において、少なくとも1つの第4の柱状半導体層が形成され、

前記第4の柱状半導体層上に第4のP⁺拡散層が形成され、

前記第4の柱状半導体層の側壁にゲート絶縁膜を介して第4のゲート半導体層が形成され、

前記第3のP⁺拡散層をソース、前記第4のP⁺拡散層をドレイン、前記第3のP⁺拡散層と前記第4のP⁺拡散層との間の前記第4の柱状半導体層をチャネル、前記第4のゲート半導体層をゲートする第2の縦型PチャンネルMOSトランジスタが形成され、

前記第4のN⁺拡散層と、前記第4のP⁺拡散層とが列方向に並んだ状態で互いに接続され、

前記第3のN⁺拡散層に接地電圧が印加され、前記第3のP⁺拡散層に電源電圧が印加され、前記第3及び第4のゲート半導体層を入力側端子とし、第4のN⁺拡散層及び第4のP⁺拡散層を出力側端子とした第2のCMOSインバータが形成され、

前記第1のCMOSインバータの出力側端子である前記第2のN⁺拡散層及び前記第2のP⁺拡散層が、前記第2のCMOSインバータの入力側端子である前記第3及び第4のゲート半導体層に接続され、

前記第1及び前記第2のゲート半導体層を入力側端子とし、前記第4のN⁺拡散層及び前記第4のP⁺拡散層を出力側端子とした、前記第1及び前記第2のCMOSインバータが行方向に沿って、一方側から他方側に向けて繰り返すことで構成される複数のCMOSインバータを有する多段インバータ回路が形成されている、

ことを特徴とする。

【0018】

前記第1のN⁺拡散層、前記第1の絶縁層、及び、前記第1のP⁺拡散層上において、列方向に沿って延びる第1の金属配線層が形成され、

前記第3のN⁺拡散層、前記第2の絶縁層、及び、前記第3のP⁺拡散層上において、列方向に沿って延びる第2の金属配線層が形成され、

前記第1の金属配線層の一端部に、当該第1の金属配線層から他方側にある前記第2の金属配線層に延びる延出部分が形成され、この延出部分に、この第1の金属配線層と、前記第3及び第4のゲート半導体層とを接続する第1のコンタクトホールが形成され、

前記第2の金属配線層の一端部に、当該第2の金属配線層から他方側にある第1の金属配線層に延びる延出部分が形成され、この延出部分に、この第2の金属配線層と、前記第1及び前記第2のゲート半導体層とを接続する第2のコンタクトホールが形成され、

前記第1のCMOSインバータの出力側端子である前記第2のN⁺拡散層及び前記第2のP⁺拡散層は、前記第1のCMOSインバータから他方側にある前記第2のCMOSインバータの入力側端子である前記第3及び第4のゲート半導体層に、前記第1の金属配線層及び前記第1のコンタクトホールを介して接続され、

前記第2のCMOSインバータの出力側端子である前記第4のN⁺拡散層及び前記第4のP⁺拡散層は、前記第2のCMOSインバータから他方側にある第1のCMOSインバータの入力側端子である前記第1及び前記第2のゲート半導体層に、前記第2の金属配線層及び前記第2のコンタクトホールを介して接続されていることが好ましい。

【0019】

前記第1のN⁺拡散層、前記第1の絶縁層、及び、前記第1のP⁺拡散層上において、列方向に沿って延びる第1の金属配線層が形成され、

前記第3のN⁺拡散層、前記第2の絶縁層、及び、前記第3のP⁺拡散層上において、列方向に沿って延びる第2の金属配線層が形成され、

前記第1の金属配線層の中途部に、当該第1の金属配線層から他方側にある前記第2の金属配線層に向けて延出する第1の延出部分が形成され、この第1の延出部分に、この第1の金属配線層と、前記第3及び第4のゲート半導体層とを接続する第1のコンタクトホールが形成され、

10

20

30

40

50

前記第1の延出部分を間に配置する前記第2の金属配線層の両端部に、当該第2の金属配線層から他方側にある第1の金属配線層に向けて延出する一対の第2の延出部分が形成され、この一対の第2の延出部分に、この第2の金属配線層と、前記第1及び前記第2のゲート導体層とを接続する一対の第2のコンタクトホールがそれぞれ形成され、

前記第1のCMOSインバータの出力側端子である前記第2のN⁺拡散層及び前記第2のP⁺拡散層は、前記第1のCMOSインバータから他方側にある前記第2のCMOSインバータの入力側端子である前記第3及び第4のゲート導体層に、前記第2のCMOSインバータから他方側にある第1の金属配線層及び前記第1のコンタクトホールを介して接続され、

前記第2のCMOSインバータの出力側端子である前記第4のN⁺拡散層及び前記第4のP⁺拡散層は、前記第1のCMOSインバータの入力側端子である前記第1及び前記第2のゲート導体層に、前記第2の金属配線層及び前記第2のコンタクトホールを介して接続されていることが好ましい。

また、前記第1のN⁺拡散層、前記第1の絶縁層、及び、前記第1のP⁺拡散層上において、列方向に沿って延びる第1の金属配線層が形成され、

前記第3のN⁺拡散層、前記第2の絶縁層、及び、前記第3のP⁺拡散層上において、列方向に沿って延びる第2の金属配線層が形成され、

前記第1の金属配線層の中途部に、当該第1の金属配線層から他方側にある前記第2の金属配線層に延出する第1の延出部分が形成され、この第1の延出部分に、この第1の金属配線層と、前記第3及び第4のゲート導体層とを接続する第1のコンタクトホールが形成され、

前記第2の金属配線層の一端部に、当該第2の金属配線層から他方側にある第1の金属配線層に延出する第2の延出部分が形成され、この第2の延出部分に、この第2の金属配線層と、前記第1及び前記第2のゲート導体層とを接続する第2のコンタクトホールが形成され、

前記第1のCMOSインバータの出力側端子である前記第2のN⁺拡散層及び前記第2のP⁺拡散層は、前記第1のCMOSインバータから他方側にある前記第2のCMOSインバータの入力側端子である前記第3及び第4のゲート導体層に、前記第1の金属配線層及び前記第1のコンタクトホールを介して接続され、

前記第2のCMOSインバータの出力側端子である前記第4のN⁺拡散層及び前記第4のP⁺拡散層は、前記第2のCMOSインバータから他方側にある第1のCMOSインバータの入力側端子である前記第1及び前記第2のゲート導体層に、前記第2の金属配線層及び前記第2のコンタクトホールを介して接続されていることが好ましい。

【発明の効果】

【0020】

本発明によれば、SGTを用いて占有面積の小さい、2段以上に接続されたCMOSインバータを形成することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の第1の実施の形態に係る半導体装置の平面図である。

【図2】(a)と(b)は、第1の実施の形態に係る半導体装置の断面図であり、(a)は、図1のA-A'線での断面、(b)は、図1のB-B'線での断面を示す。

【図3】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である。

【図4】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図3のA-A'線での断面、(b)は、図3のB-B'線での断面を示す。

【図5】第1の実施の形態に係る半導体装置の製造方法を示す平面図である。

【図6】(a)と(b)は、第1の実施の形態の製造方法を示す断面図であり、(a)は、図5のA-A'線での断面、(b)は、図5のB-B'線での断面を示す。

【図7】第1の実施の形態に係る半導体装置の製造方法を示す平面図である。

【図8】(a)と(b)は、第1の実施の形態の製造方法を示す断面図であり、(a)は

10

20

30

40

50

、図7のA - A'線での断面、(b)は、図7のB - B'線での断面を示す。

【図9】第1の実施の形態に係る半導体装置の製造方法を示す平面図である。

【図10】(a)と(b)は、第1の実施の形態の製造方法を示す断面図であり、(a)は、図9のA - A'線での断面、(b)は、図9のB - B'線での断面を示す。

【図11】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である。

【図12】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図11のA - A'線での断面、(b)は、図11のB - B'線での断面を示す。

【図13】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である

10

【図14】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図13のA - A'線での断面、(b)は、図13のB - B'線での断面を示す。

【図15】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である。

【図16】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図15のA - A'線での断面、(b)は、図15のB - B'線での断面を示す。

【図17】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である

20

【図18】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図17のA - A'線での断面、(b)は、図17のB - B'線での断面を示す。

【図19】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である。

【図20】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図19のA - A'線での断面、(b)は、図19のB - B'線での断面を示す。

【図21】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である

30

【図22】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図21のA - A'線での断面、(b)は、図21のB - B'線での断面を示す。

【図23】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である。

【図24】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図23のA - A'線での断面、(b)は、図23のB - B'線での断面を示す。

【図25】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である

40

【図26】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図25のA - A'線での断面、(b)は、図25のB - B'線での断面を示す。

【図27】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である。

【図28】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図27のA - A'線での断面、(b)は、図27のB - B'線での断面を示す。

【図29】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である

50

。【図30】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図29のA-A'線での断面、(b)は、図29のB-B'線での断面を示す。

【図31】第1の実施の形態に係る半導体装置の製造方法を説明するための平面図である。

。【図32】(a)と(b)は、第1の実施の形態の製造方法を説明するための断面図であり、(a)は、図31のA-A'線での断面、(b)は、図31のB-B'線での断面を示す。

【図33】本発明の第2の実施の形態に係る半導体装置の平面図である。

10

【図34】(a)と(b)は、第2の実施の形態に係る半導体装置の断面図であり、(a)は、図33のA-A'線での断面、(b)は、図33のB-B'線での断面を示す。

【図35】第2の実施の形態に係る半導体装置の平面図である。

【図36】(a)と(b)は、第2の実施の形態に係る半導体装置の断面図であり、(a)は、図35のA-A'線での断面、(b)は、図35のB-B'線での断面を示す。

【図37】(a)と(b)は、従来半導体装置の一例の平面図と断面図である。

【図38】(a)と(b)は、従来半導体装置の他の例の平面図と断面図である。

【図39】(a)と(b)は、従来半導体装置のさらに他の例の平面図と断面図である。

。【発明を実施するための形態】

20

【0022】

(第1の実施の形態)

図1、図2(a)、図2(b)に本発明の実施の形態1に係る2段以上に直列に接続されたCMOSインバータ結合回路を備えた半導体装置を示す。図1は平面図、図2(a)は図1の切断線A-A'における断面図、図2(b)は図1の切断線B-B'における断面図である。

【0023】

以下に、図1、図2(a)及び図2(b)を参照してこのCMOSインバータ結合回路を備えた半導体装置について説明する。

【0024】

30

基板上的NMOS領域にN+拡散層106aが形成され、基板上的PMOS領域にP+拡散層107aが形成され、N+拡散層106aとP+拡散層107aは素子分離領域103により分離されている。N+拡散層106aは、CMOSインバータチェーンを構成する全てのインバータの縦型NMOSトランジスタに共通のソース拡散領域として機能し、P+拡散層107aは、CMOSインバータチェーンを構成する全てのインバータの縦型PMOSトランジスタに共通のソース拡散領域として機能する。

【0025】

N+拡散層106aは、Pウェル104に囲まれ、N+拡散層106aに隣接して形成されているP+拡散層107bに、P+拡散層106aの表面に形成されているシリサイド層115aを介して接続されている。動作時、P+拡散層107bには、配線層を介してV_{ss}(通常、接地)電位が与えられている。このため、Pウェル104及びN+拡散層106aにはV_{ss}電位が与えられる。

40

【0026】

同様に、P+拡散層107aはNウェル105に囲まれ、P+拡散層107aに隣接して形成されているN+拡散層106bとシリサイド層115bを介して接続されている。動作時、N+拡散層106bには配線層を介してV_{cc}(通常、電源)電位が与えられている。このため、Nウェル105及びP+拡散層107aにはV_{cc}電位が与えられる。

【0027】

N+拡散層106a上にはNMOSを構成する柱状シリコン層101aが形成され、P+拡散層107a上にはPMOSを構成する複数の柱状シリコン層101bが形成される

50

。柱状シリコン層 101a と 101b とはマトリクス状に配置されている。マトリクスの同一の列の柱状シリコン層 101a と 101b とはほぼ直線上に配置されている。同一列の柱状シリコン層 101a と 101b とが、1 段のインバータを構成する。また、マトリクスの同一の行の柱状シリコン層 101a 又は 101b はほぼ直線上に配置されている。

【0028】

柱状シリコン層 101a、101b をそれぞれ取り囲むようにゲート絶縁膜 109 が形成されている。また、各列の（1 段のインバータを形成する）柱状シリコン層 101a、101b を取り囲むようにゲート配線（ゲート電極層）111a ~ 111f が形成されている。

【0029】

柱状シリコン層 101a の下端部は、N + 拡散層 106a に接続され、N + 拡散層が形成されており、柱状シリコン層 101a の上端部には N + 上部拡散層 112 が形成されている。柱状シリコン層 101a の下端部の N + 拡散層がソース領域として機能し、柱状シリコン層 101a の上端部の N + 上部拡散層 112 がドレインとして機能し、ソース領域とドレイン領域の間の部分が、チャンネル領域として機能する。

【0030】

柱状シリコン層 101b の下端部は、P + 拡散層 107a に接続され、P + 拡散層が形成されており、柱状シリコン層 101b の上端部には P + 上部拡散層 113 が形成されている。柱状シリコン層 101b の下端部の P + 拡散層がソース領域として機能し、柱状シリコン層 101b の上端部の P + 上部拡散層 113 がドレインとして機能し、ソース領域とドレイン領域の間の部分が、チャンネル領域として機能する。このチャンネル領域をゲート配線 111a ~ 111f が取り囲んでいる。このようにして、SGT (Surrounding Gate Transistor) が形成されている。

【0031】

柱状シリコン層 101a、101b、ゲート配線 111a ~ 111f、シリサイド層 115a、115b は、絶縁膜 117 により覆われている。

絶縁膜 117 には、各インバータの入力用コンタクト（ゲート配線上コンタクト）121（121a ~ 121f）と出力用コンタクト（柱状シリコン層上コンタクト）122、123 とが形成されている。

【0032】

入力用コンタクト 121a ~ 121f は、柱状シリコン層 101a、101b の各列の一方に配置され、ゲート配線 111a ~ 111f にそれぞれ接続されている。入力用コンタクト 121 の位置は、列毎に反転する。出力用コンタクト層 122 は、NMOS のシリサイド層 115a を介して柱状シリコン層 101a の上端部に形成された N + 上部拡散層 112 に接続されている。出力用コンタクト層 123 は、PMOS のシリサイド層 115b を介して柱状シリコン層 101b の上端部に形成された P + 上部拡散層 113 に電氣的に接続されている。

【0033】

絶縁膜 117 の上には、配線層 125（125a ~ 125g）が形成されている。配線層 125a ~ 125g は、第 1 段のインバータの入力用コンタクト 121a に接続された配線層 125a と、各段のインバータの NMOS 用出力用コンタクト 122 と PMOS 用出力用コンタクト 123 とを相互に接続すると共に次段のインバータの入力用コンタクト 121b ~ 121f にそれぞれ接続された配線層 125b ~ 125f と、最終段のインバータの出力用コンタクト 122、123 を相互に接続すると共に外部回路に接続された配線層 125g と、を含む。

【0034】

このような構成において、インバータチェーンの入力電圧は、配線層 125a と第 1 段目のインバータの入力用コンタクト 121a を介して第 1 段目のインバータのゲート配線 111a に伝達される。

【0035】

10

20

30

40

50

1 段目のインバータの出力電圧は、柱状シリコン層 1 0 1 a、1 0 1 b の上部拡散層 1 1 2、1 1 3 の上に形成されている出力用コンタクト 1 2 2、1 2 3 に接続されている配線層 1 2 5 b に出力される。この出力電圧は次段のインバータのゲート配線 1 1 1 b の端部に形成される入力用コンタクト 1 2 1 b に入力電圧として入力される。

【 0 0 3 6 】

このような基本構成を繰り返すことにより、インバータは互いに直列に接続される。

【 0 0 3 7 】

本実施の形態の CMOS インバータの特徴として、全てのインバータは N + 拡散層 1 0 6 a 及び P + 拡散層 1 0 7 a を共通しており、インバータ同士の間を素子分離領域を備えていない。このため、隣接するインバータを構成する柱状シリコン層をほぼ最小間隔で配置することができる。隣接するインバータを構成する柱状シリコン層がほぼ最小間隔で配置された場合、通常、入力端子と出力端子との接続が困難になる問題がある。本実施の形態では、この問題については、入力電圧を与えるゲート配線のコンタクトがゲート配線の異なる側の端部に形成されているインバータを交互に隣接して配置させている。これにより、第 n + 1 段のインバータの入力端子と第 n 段のインバータの出力端子の、配線層を介した接続が可能になる。このため、2 段以上に直列に接続される CMOS インバータを高集積化することができる。

【 0 0 3 8 】

以下に、図 1、図 2 (a)、図 2 (b) に示した半導体装置の製造方法の一例を図 3 ~ 図 3 2 を参照して説明する。各工程図において平面図、及び平面図に示す切断線 A - A '、切断線 B - B ' における断面図を示している。断面図 (a) は A - A ' 線における断面図、断面図 (b) は B - B ' 線における断面図を示している。

【 0 0 3 9 】

まず、シリコンの基板の上に、シリコン窒化膜等のハードマスク層を形成する。次に、ハードマスク層をパターニングして、柱状シリコン層の形成予定領域に、ハードマスク層 1 0 2 を残す。次に、ハードマスク層 1 0 2 をマスクとして、基板の表面領域を所定の厚さだけエッチングして、図 3、図 4 (a)、図 4 (b) に示されるように、基板の上にハードマスク層 1 0 2 及び柱状シリコン層 1 0 1 a、1 0 1 b を形成する。前述のように、柱状シリコン層 1 0 1 a は NMOS を、柱状シリコン層 1 0 1 b は PMOS を構成する。

【 0 0 4 0 】

図 5、図 6 (a)、図 6 (b) に示されるように、基板の上に素子分離領域 1 0 3 を、PMOS 領域と NMOS 領域との境界領域と、各段のインバータの入力用コンタクト 1 2 1 の形成予定領域と、この CMOS インバータと周囲との境界と、に形成する。素子分離領域 1 0 3 は、例えば、以下の工程で形成される。i) 素子分離用の溝を、基板の素子分離領域形成予定領域にエッチング等により形成する、ii) シリカなどの塗布や CVD (Chemical Vapor Deposition) により溝パターンに酸化膜を埋め込む、iii) 余分な酸化膜をドライエッチやウェットエッチなどにより取り除く。

【 0 0 4 1 】

次に、図 7、図 8 (a)、図 8 (b) に示されるように、PMOS 領域とその側部とをレジスト 1 1 0 a で覆い、イオン注入法などによりボロンなどを基板の露出部分に注入することにより NMOS 領域とその側部に P ウェル 1 0 4 を形成する。

続いて、レジスト 1 1 0 a を除去し、NMOS 領域とその側部とをレジストで覆い、イオン注入法などにより砒素などを基板の露出部分に注入することにより、PMOS 領域とその側部に N ウェル 1 0 5 を形成する。

【 0 0 4 2 】

続いて、図 9、図 10 (a)、図 10 (b) に示されるように、PMOS 領域と、NMOS 領域の側部とをレジスト 1 1 0 b で覆い、基板の露出部分にイオン注入法などにより砒素などを注入する。これにより、P ウェル 1 0 4 に N + 拡散層 1 0 6 a が形成される。また、N ウェル 1 0 5 に電位を与えるための拡散層部にも N + 拡散層 1 0 6 b が形成される。

10

20

30

40

50

続いて、レジスト110bを除去し、NMOS領域と、PMOS領域の側部とをレジストで覆い、基板の露出部分にイオン注入法などによりボロンなどを注入する。これにより、Nウェル105にP+拡散層107aが形成される。また、Pウェル104に電位を与えるための拡散層にもP+拡散層107bが形成される。

また、N+拡散層106a中のN型不純物が柱状シリコン層101aの下端部に拡散することにより、柱状シリコン層101aの下端部がN型となる。同様に、P+拡散層107a中のP型不純物が柱状シリコン層101bの下端部に拡散することにより、柱状シリコン層101bの下端部がP型となる。

【0043】

次に、図11、図12(a)、図12(b)に示されるように、基板表面に、プラズマ酸化膜等の酸化膜を成膜する。続いて、この酸化膜を、ドライエッチやウェットエッチでエッチバックすることにより、ゲート電極と拡散層間の寄生容量を低減するための酸化膜108を拡散層上に形成する。

10

【0044】

次に、図13、図14(a)、図14(b)に示されるように、ゲート絶縁膜109及びゲート導電膜111を成膜する。ゲート絶縁膜109はシリコン酸化膜やシリコン窒化膜等のHigh-k(高誘電率)膜等により形成される。シリコン酸化膜は、例えば、酸素雰囲気中で基板を加熱することにより、柱状シリコン層の表面を酸化することにより形成される。また、High-k膜は、例えば、CVD法により形成される。また、ゲート導電膜111は、ポリシリコン膜、金属膜やそれらの積層膜により形成される。これらの膜は、例えば、CVD法や、スパッタリングにより形成される。

20

【0045】

次に、図15、図16(a)、図16(b)に示されるように、ハードマスク層102をストッパとして、ゲート導電膜111をCMP(Chemical Mechanical Polishing)等により平坦化する。

【0046】

続いて、図17、図18(a)、図18(b)に示されるように、ゲート導電膜111をエッチバックし、その厚さを、所望のゲート長に設定する。

【0047】

次に、図19、図20(a)、図20(b)に示されるように、ハードマスク層102をウェットエッチ等により除去する。

30

【0048】

次に、図21、図22(a)、図22(b)に示されるように、リソグラフィ等を用いて、ゲート導電膜111を、パターンニングして、柱状シリコン層のマトリクスの列方向に伸びるゲート配線111a~111fを形成する。

【0049】

次に、図23、図24(a)、図24(b)に示されるように、NMOS領域にイオン注入などにより砒素などを注入することにより、柱状シリコン層101aの上端部にも砒素が注入される。これにより、柱状シリコン層101aの上端部にN+上部拡散層112が形成される。同様に、PMOS領域にイオン注入などによりフッ化ボロン(BF₂)などを注入し、柱状シリコン層101bの上端部にP+上記拡散層113を形成する。

40

【0050】

次に、図25、図26(a)、図26(b)に示されるように、酸化膜や窒化膜などの絶縁膜を成膜し、続いて、これをエッチバックして、柱状シリコン層101a、101bの上端部(N+上部拡散層112、P+上部拡散層113)の側壁(露出している側壁)及びゲート配線111a~111fの側壁(露出している側壁)に絶縁膜サイドウォール114を形成する。この絶縁膜サイドウォール114により、後工程において形成されるシリサイド層116による柱状シリコン層101a、101bの上端部(N+上部拡散層112、P+上部拡散層113)とゲート配線111a~111fの上端部との間のショート、及びゲート配線111a~111fの側壁と基板の表面領域に形成されている拡散

50

層とのショートを防ぐことができる。

【 0 0 5 1 】

次に、図 2 7、図 2 8 (a)、図 2 8 (b) に示されるように、C o や N i などの金属をスパッタし、続いて、熱処理を行うことにより、拡散層 (露出部分) を選択的にシリサイド化して、基板の露出している拡散層上にシリサイド層 1 1 5 a、1 1 5 b を形成し、柱状シリコン層 1 0 1 a と 1 0 1 b の上部にシリサイド層 1 1 6 を形成する。

【 0 0 5 2 】

次に、図 2 9、図 3 0 (a)、図 3 0 (b) に示されるように、酸化膜等により層間膜 (絶縁膜) 1 1 7 を形成する。その後、ゲート配線 1 1 1 a ~ 1 1 1 f それぞれに接続されたゲート配線上コンタクト 1 2 1 a ~ 1 2 1 f、N + 上部拡散層 1 1 2 にシリサイド層 1 1 6 を介して接続された柱状シリコン層上コンタクト 1 2 2、P + 上部拡散層 1 1 3 にシリサイド層 1 1 6 を介して接続された柱状シリコン層上コンタクト 1 2 3 を形成する。

10

【 0 0 5 3 】

続いて、基板全面に金属膜を真空蒸着、スパッタリング等により形成し、これをパターニングすることにより、図 3 1、図 3 2 (a)、図 3 2 (b) に示されるように、配線層 1 2 5 a ~ 1 2 5 g を形成する。

以上の工程により、図 1、図 2 (a)、図 2 (b) に示す構成を有する、少なくとも 2 段以上の C M O S インバータが結合された C M O S インバータ結合回路を備えた半導体装置が完成する。

【 0 0 5 4 】

20

(第 2 の実施の形態)

図 3 3、図 3 4 に 2 段以上に直列に接続された C M O S インバータの他の実施の形態を示す。

【 0 0 5 5 】

図 3 3 は平面図、図 3 4 (a) は図 3 3 の平面図のカットライン A - A ' における断面図、図 3 4 (b) は図 3 3 の平面図のカットライン B - B ' における断面図である。

以下に、図 3 3 及び図 3 4 (a)、図 3 4 (b) を参照してこの C M O S インバータについて説明する。

【 0 0 5 6 】

シリコン製基板の、N M O S 領域に N + 拡散層 2 0 6 a が形成され、P M O S 領域に P + 拡散層 2 0 7 a が形成されている。N + 拡散層 2 0 6 a と P + 拡散層 2 0 7 a とは素子分離領域 2 0 3 により分離されている。

30

N + 拡散層 2 0 6 a は P ウェル 2 0 4 に囲まれている。また、N + 拡散層 2 0 6 a は、N + 拡散層 2 0 6 a に隣接して形成されている P + 拡散層 2 0 7 b に、拡散層の表面に形成されているシリサイド層 2 1 5 a を介して接続されている。P + 拡散層 2 0 7 b には配線層を介して V s s 電位が与えられている。このため、P ウェル 2 0 4 及び N + 拡散層 2 0 6 a にも V s s 電位が与えられる。

【 0 0 5 7 】

P + 拡散層 2 0 7 a は N ウェル 2 0 5 に囲まれている。また、P + 拡散層 2 0 7 a は、P + 拡散層 2 0 7 a に隣接して形成されている N + 拡散層 2 0 6 b に、拡散層の表面に形成されているシリサイド層 2 1 5 b を介して接続されている。N + 拡散層 2 0 6 b には配線層を介して V c c 電位が与えられている。このため、N ウェル 2 0 5 及び P + 拡散層 2 0 7 a にも V c c 電位が与えられる。

40

【 0 0 5 8 】

N + 拡散層 2 0 6 a の上には、N M O S を構成する柱状シリコン層 2 0 1 a が形成されている。また、P + 拡散層 2 0 7 a の上には P M O S を構成する柱状シリコン層 2 0 1 b が形成される。

【 0 0 5 9 】

柱状シリコン層 2 0 1 a と 2 0 1 b とはマトリクス状に配置されている。マトリクスの同一の列の柱状シリコン層 2 0 1 a と 2 0 1 b とはほぼ直線上に配置されている。各列の

50

柱状シリコン層 201a と 201b とが、1 段のインバータを構成する。また、マトリクスの同一の行の柱状シリコン層 201a 又は 201b はほぼ直線上に配置されている。

【0060】

各柱状シリコン層 201a, 201b をそれぞれ取り囲むようにゲート絶縁膜 209 が形成されている。また、各列の(1 段のインバータを形成する)柱状シリコン層 201a、201b を取り囲むようにゲート配線 211a ~ 211f が形成されている。

NMOS を構成する柱状シリコン層 201a の上端部には N+ 上部拡散層 212 が形成されている。N+ 上部拡散層 212 の上には、シリサイド層 216 が形成されている。

PMOS を構成する柱状シリコン層 201b の上端部には P+ 上部拡散層 213 が形成されている。P+ 上部拡散層 213 の上には、シリサイド層 216 が形成されている。

10

【0061】

柱状シリコン層 201a、201b、ゲート配線 211a ~ 211f、シリサイド層 216 は、絶縁膜 217 により覆われている。

絶縁膜 217 には、ゲート配線 211a ~ 211f に至るゲート配線上コンタクト 221 (221a ~ 221f) と、各柱状シリコン層 201a、201b に電氣的に接続している柱状シリコン層上コンタクト 222、223 とが形成されている。奇数段のインバータに関しては、ゲート配線上コンタクト 221 は、PMOS 領域と NMOS 領域を区分する素子分離領域 203 の上に配置され、偶数段のインバータに関しては、ゲート配線上コンタクト 221 は、柱状シリコン層の列の両側に配置される。

【0062】

絶縁膜 217 の上には、配線層 225 (225a ~ 225j) が形成されている。

20

【0063】

配線層 225 は、第 1 段のインバータのゲート配線上コンタクト 221a に接続された配線層 225a と、奇数段のインバータの柱状シリコン層上コンタクト 223 を相互に接続すると共に次段のインバータのゲート配線上コンタクト 221b に接続された配線層 225b、225c と、奇数段のインバータの柱状シリコン層上コンタクト 222 を相互に接続すると共に次段のインバータのゲート配線上コンタクト 221c に接続された配線層 225c と、偶数段のインバータの柱状シリコン層上コンタクト 222 を相互に接続すると共に次段のインバータの素子分離領域 203 上のゲート配線上コンタクト 221d に接続された配線層 225d と、を含む。

30

【0064】

このような構成において、インバータチェーンの入力電圧は、配線層 225a とゲート配線上コンタクト 221a を介して第 1 段目のインバータのゲート配線 211a に伝達される。

1 段目のインバータの出力電圧は、柱状シリコン層 201a の N+ 上部拡散層 212 上に形成される柱状シリコン層上コンタクト 222 が接続している配線層 225c、及び柱状シリコン層 201b の P+ 上部拡散層 213 上に形成される柱状シリコン層上コンタクト 223 が接続している配線層 225b に出力される。この出力電圧は次段のインバータのゲート配線 211b の両端部に形成されるゲート配線上コンタクト 221c、221b にそれぞれ入力電圧として入力される。

40

以後、同様の動作が繰り返される。第 6 段のインバータの出力が、この CMOS インバータ結合回路の出力となる。

【0065】

本実施形態の特徴として、全てのインバータは N+ 拡散層 206a 及び P+ 拡散層 207a を共有する。従って、インバータの間に素子分離を形成する必要がない。従って、隣接するインバータを構成する柱状シリコン層をほぼ最小間隔で配置することができる。隣接するインバータを構成する柱状シリコン層がほぼ最小間隔で配置された場合、通常、入力端子と接続端子の配線層を介した接続が困難になる。しかし、本実施の形態では、入力電圧を与えるゲート配線上コンタクト 221 が NMOS 領域と PMOS 領域の間に形成されるインバータと、ゲート配線の両端に形成されるインバータとを交互に隣接して配置す

50

ることにより、入力端子と出力端子との配線層を介した接続が容易に可能になる。このため、２段以上に直列に接続されるＣＭＯＳインバータを高集積化することができる。

【 0 0 6 6 】

本実施の形態においては、ＮＭＯＳを構成する柱状シリコン層 2 0 1 a 上部のドレイン拡散層からの出力が配線層 2 2 5 c、2 2 5 f、2 2 5 i に出力され、ＰＭＯＳを構成する柱状シリコン層 2 0 1 b 上部のドレイン拡散層からの出力が配線層 2 2 5 b、2 2 5 e、2 2 5 h に出力され、別々に次段のゲート配線に入力している。この発明は、これに限定されず、図 3 5、図 3 6 (a)、(b) に示すように配線層 2 2 5 b、2 2 5 e、2 2 5 h と配線層 2 2 5 c、2 2 5 f、2 2 5 i をそれぞれ上層の配線層 2 2 7、及び上層配線層 2 2 7 への配線層上コンタクト 2 2 6 を用いることにより、直接接続することもできる。この場合には次段のゲートへの入力をゲートの両端に形成されるコンタクトから行う必要はなく、図 3 5、図 3 6 (a)、(b) に示すようにゲートの片側の端部にのみコンタクトが形成されてもよい。

10

上記実施の形態では、半導体として、シリコンを使用する例を示したが、縦型 ＭＯＳ トランジスタを形成可能ならば、ゲルマニウム、化合物半導体等を使用することも可能である。

上述した物質名は例示であり、限定されるものではない。

【 符号の説明 】

【 0 0 6 7 】

1 0 1 a、1 0 1 b、2 0 1 a、2 0 1 b : 柱状シリコン層
 1 0 2 : ハードマスク層
 1 0 3、2 0 3 : 素子分離領域
 1 0 4、2 0 4 : P ウェル
 1 0 5、2 0 5 : N ウェル
 1 0 6 a、1 0 6 b、2 0 6 a、2 0 6 b : N + 拡散層
 1 0 7 a、1 0 7 b、2 0 7 a、2 0 7 b : P + 拡散層
 1 0 8 : 酸化膜
 1 0 9、2 0 9 : ゲート絶縁膜
 1 1 0 a、1 1 0 b : レジスト
 1 1 1 : ゲート導電膜
 1 1 1 a ~ 1 1 1 f、2 1 1 a ~ 2 1 1 f : ゲート配線
 1 1 2、2 1 2 : N + 上部拡散層
 1 1 3、2 1 3 : P + 上部拡散層
 1 1 4 : 絶縁膜サイドウォール
 1 1 5 a、1 1 5 b、2 1 5 a、2 1 5 b、1 1 6、2 1 6 : シリサイド層
 1 2 1、1 2 1 a ~ 1 2 1 f、2 2 1 a ~ 2 2 1 f : ゲート配線上コンタクト
 1 2 2、1 2 3、2 2 2、2 2 3 : 柱状シリコン層上コンタクト
 1 2 5、1 2 5 a ~ 1 2 5 g、2 2 5、2 2 5 a ~ 2 2 5 j : 配線層
 2 2 6 : 配線層上コンタクト
 2 2 7 : 上層配線層
 3 0 1 : S i 基板
 3 0 2 : N ウェル
 3 0 3 : P ウェル
 3 0 4 : 素子分離領域
 3 0 5、3 0 6 : 柱状シリコン層
 3 0 8 : ゲート
 3 0 9 : P + ソース拡散層
 3 1 0 : P + ドレイン拡散層
 3 1 1 : N + ソース拡散層
 3 1 2 : N + ドレイン拡散層

20

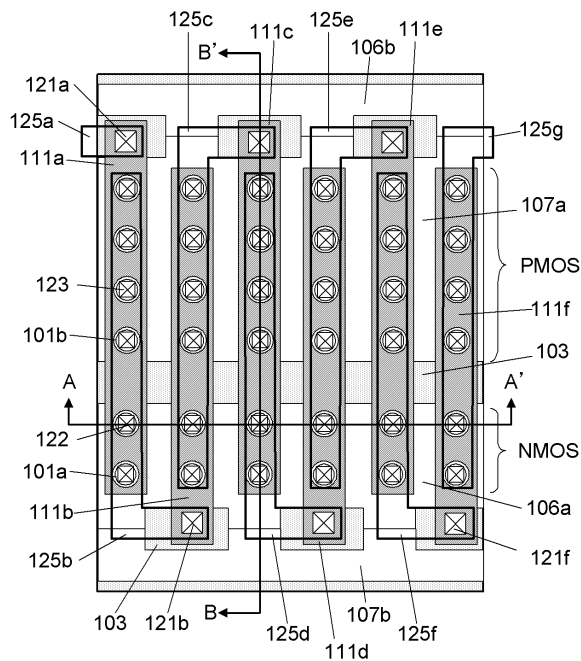
30

40

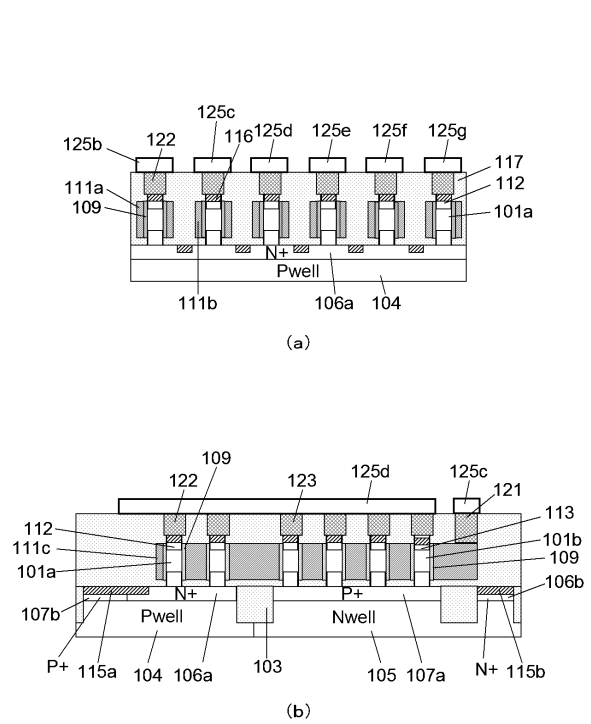
50

- 3 1 4 : V c c 配線層
- 3 1 5 : V s s 配線層
- 3 1 6 : 入力端子 V i n
- 4 1 1 ~ 4 1 7 : 柱状シリコン層
- 4 1 8 : P + 拡散層
- 4 1 9 : N + 拡散層
- 4 2 1 ~ 4 2 3 : ゲート
- 4 2 4 ~ 4 3 2 : コンタクト
- 4 3 3 ~ 4 3 7 : 配線層
- 5 1 1 ~ 5 2 2 : 柱状半導体層
- 5 2 3 ~ 5 2 6 : 下部配線層
- 5 2 7 ~ 5 3 0 : ゲート
- 5 3 1 ~ 5 3 5 : 配線層

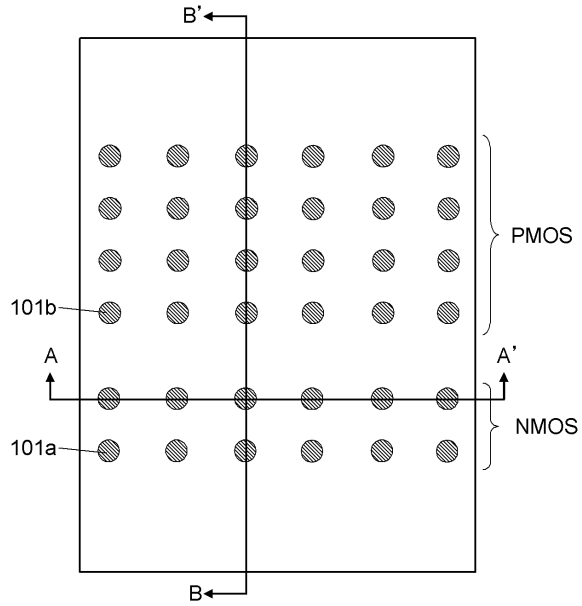
【 図 1 】



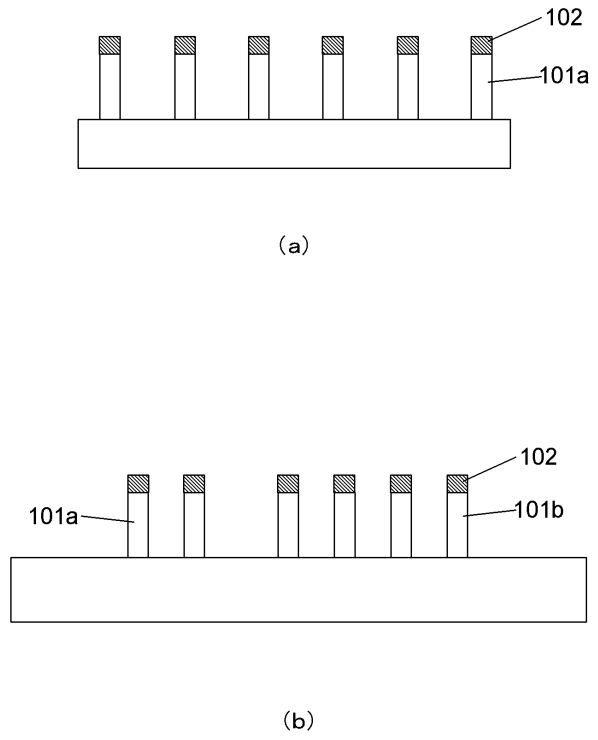
【 図 2 】



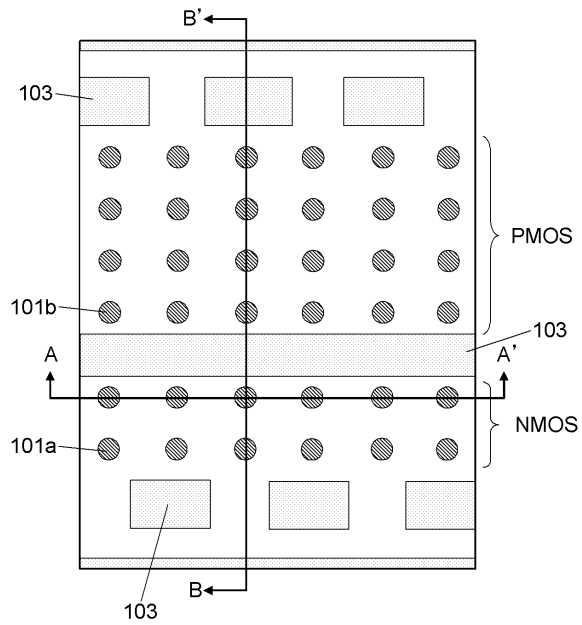
【 図 3 】



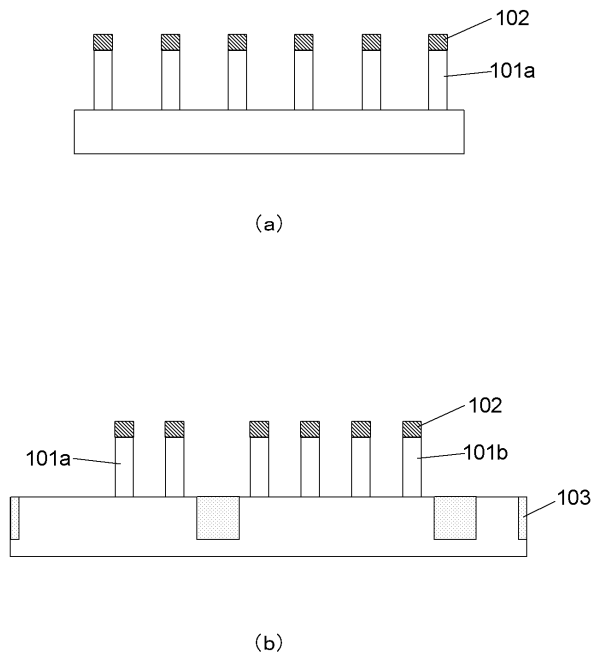
【 図 4 】



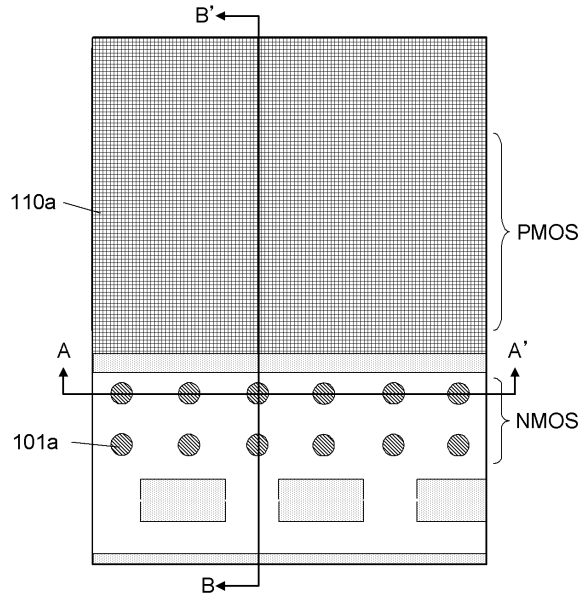
【 図 5 】



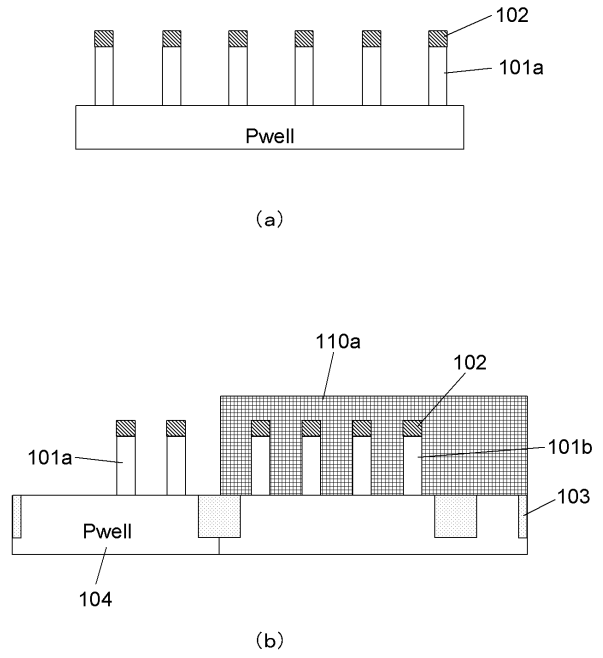
【 図 6 】



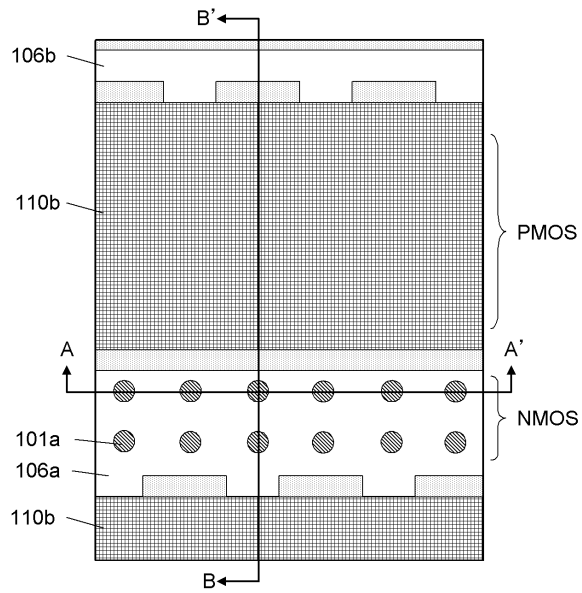
【図7】



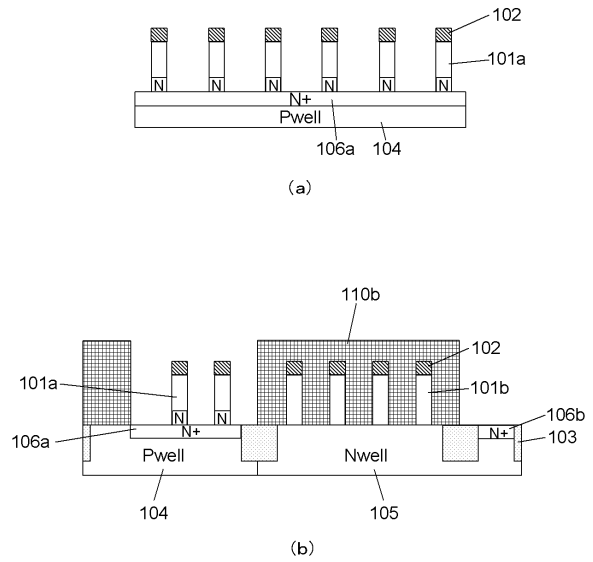
【図8】



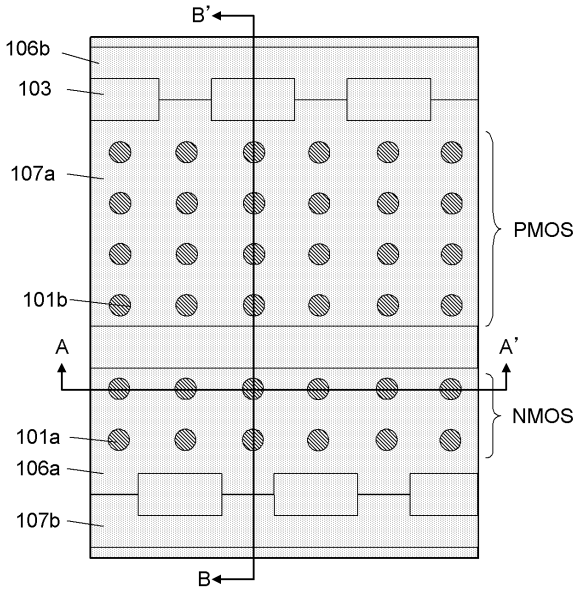
【図9】



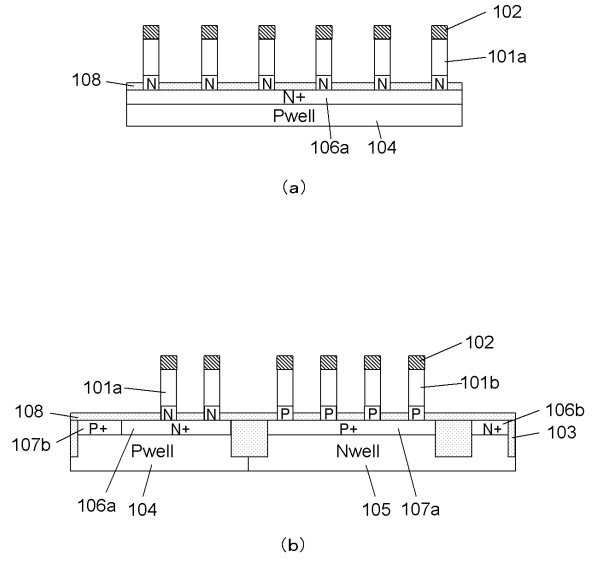
【図10】



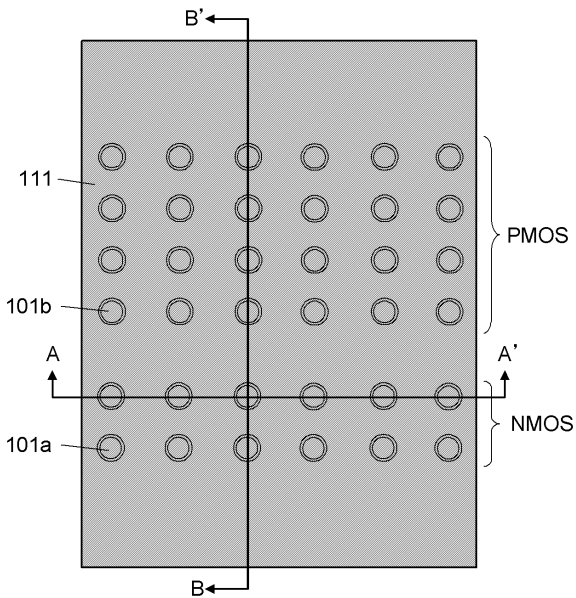
【図 1 1】



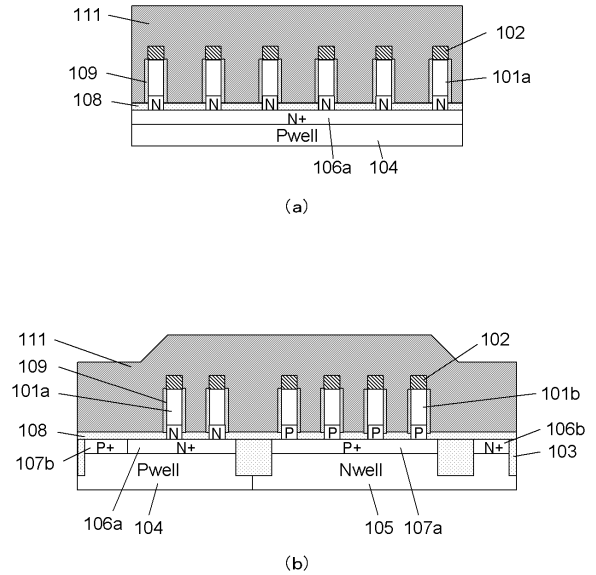
【図 1 2】



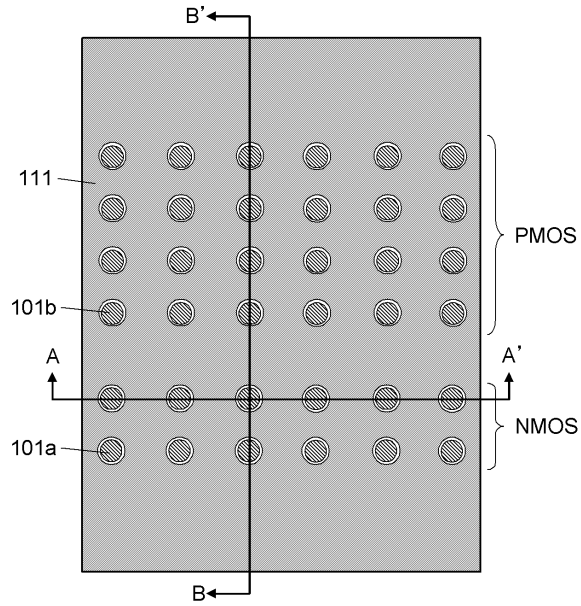
【図 1 3】



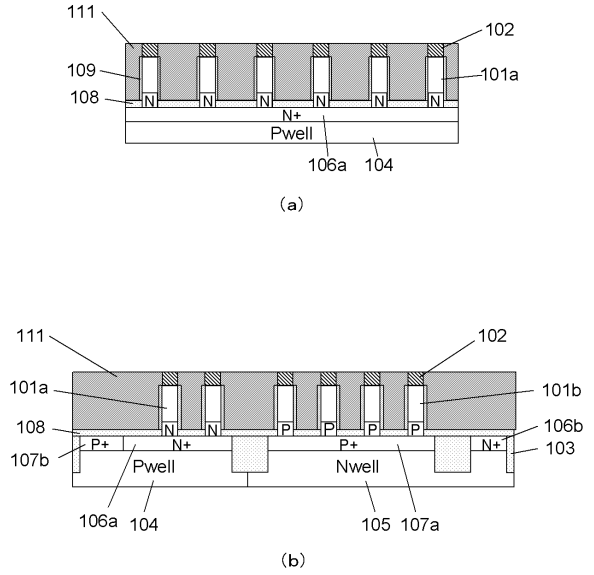
【図 1 4】



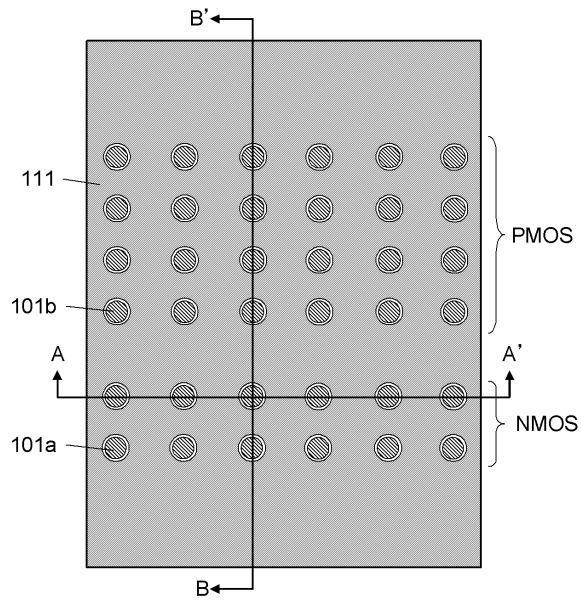
【 図 1 5 】



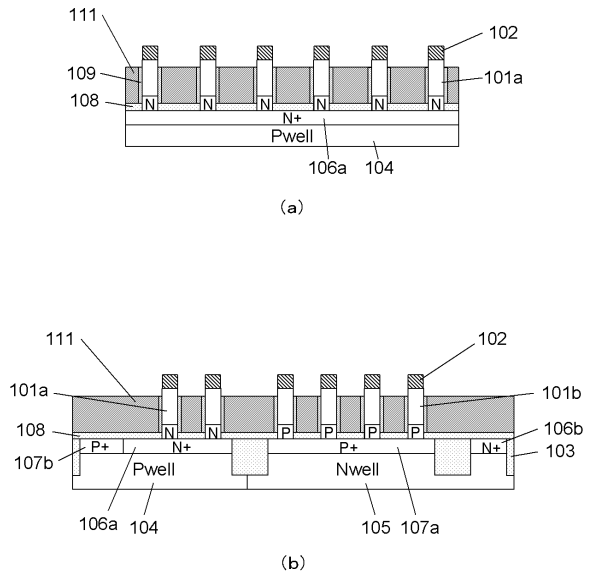
【 図 1 6 】



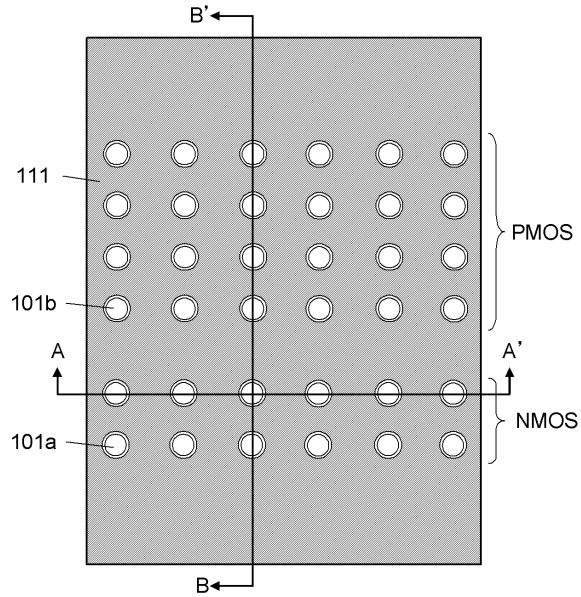
【 図 1 7 】



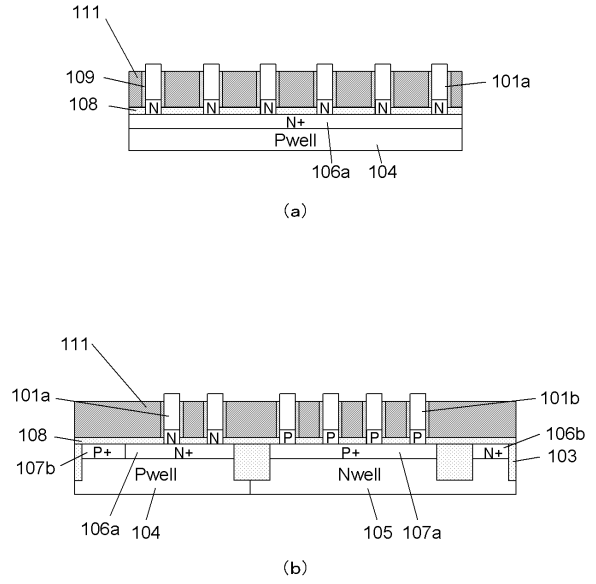
【 図 1 8 】



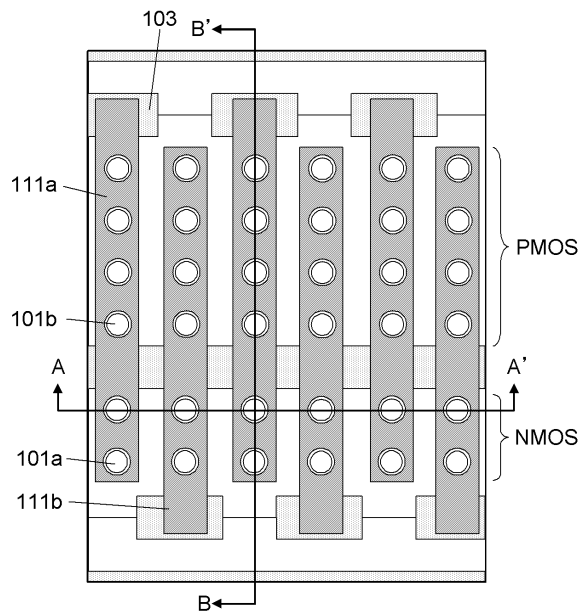
【図19】



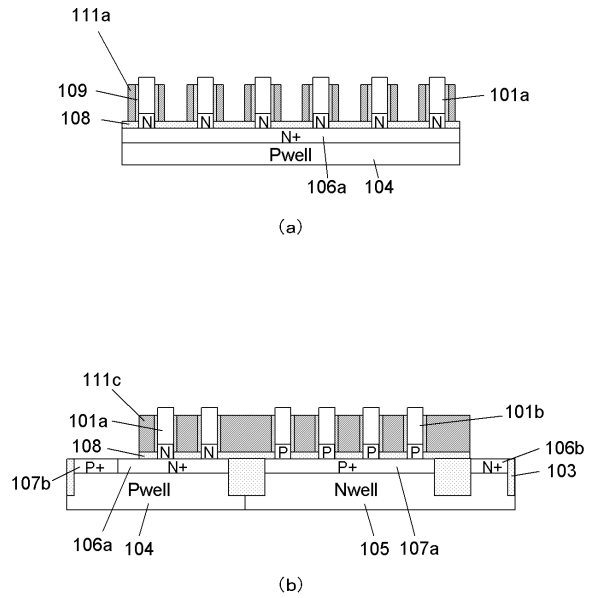
【図20】



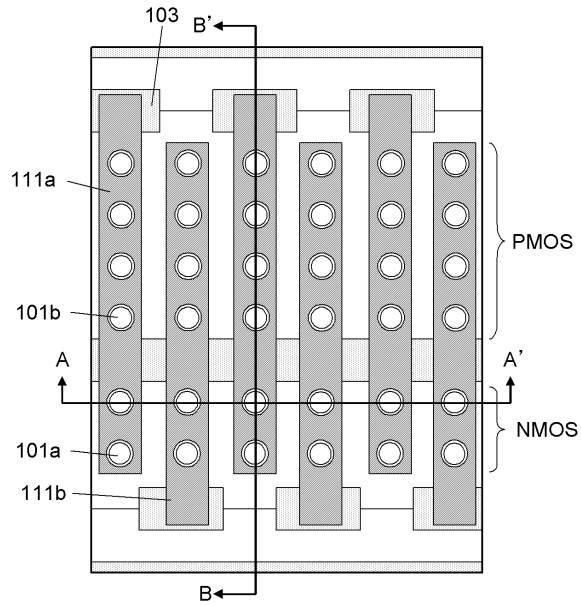
【図21】



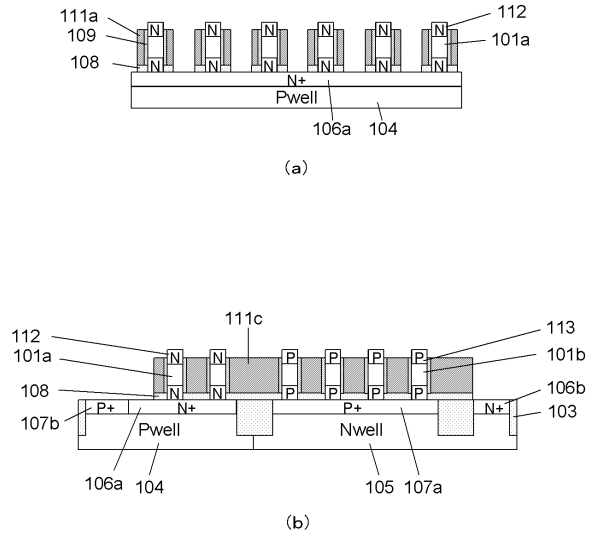
【図22】



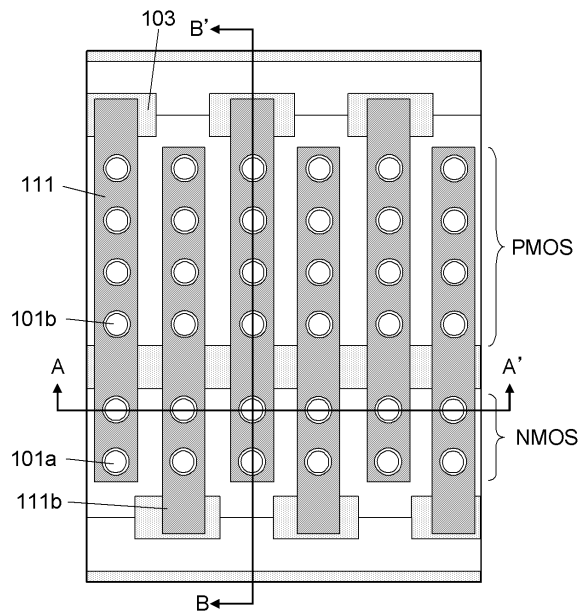
【 図 2 3 】



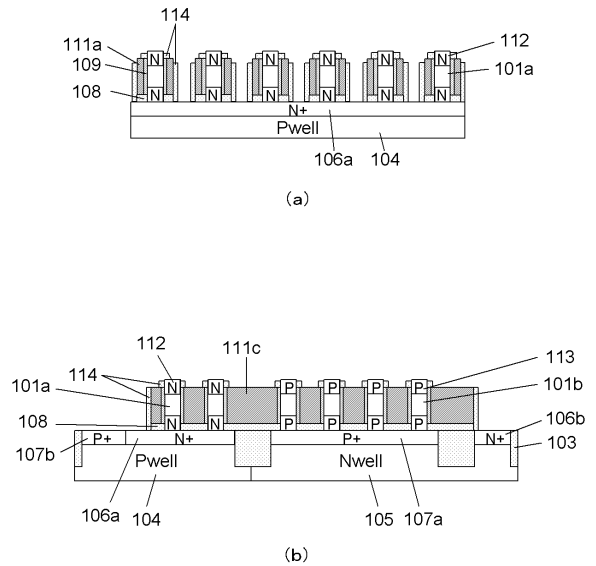
【 図 2 4 】



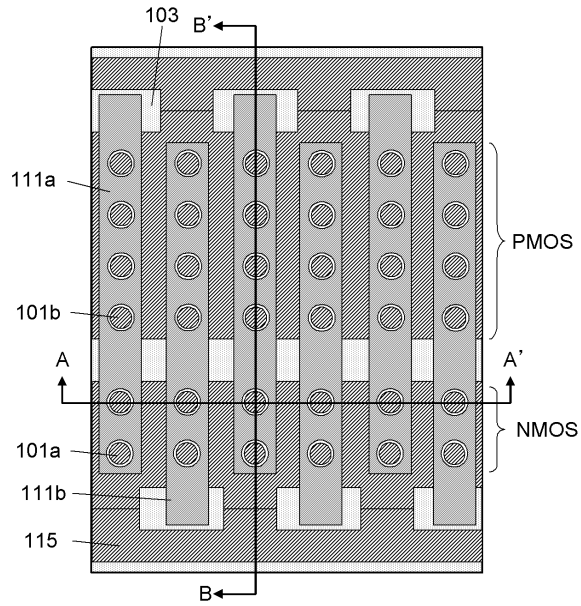
【 図 2 5 】



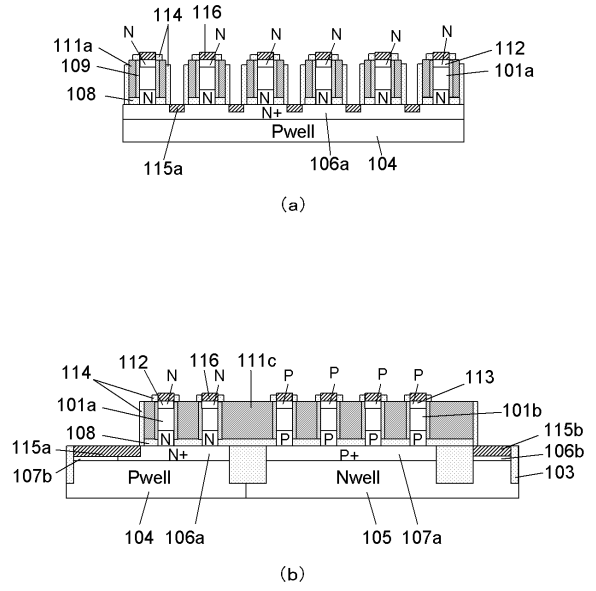
【 図 2 6 】



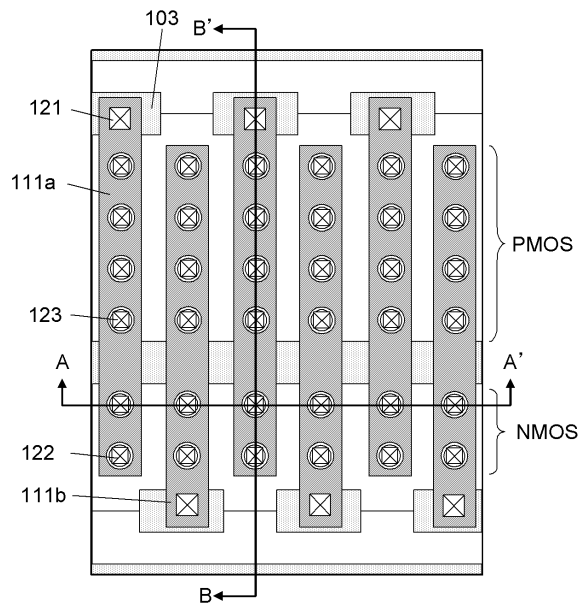
【 図 2 7 】



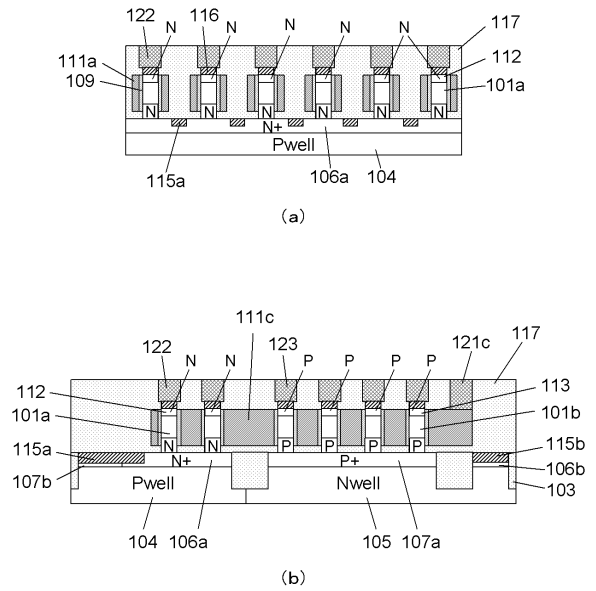
【 図 2 8 】



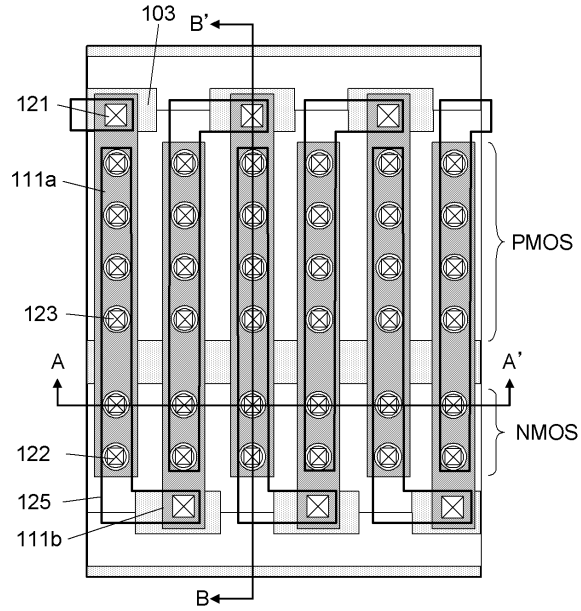
【 図 2 9 】



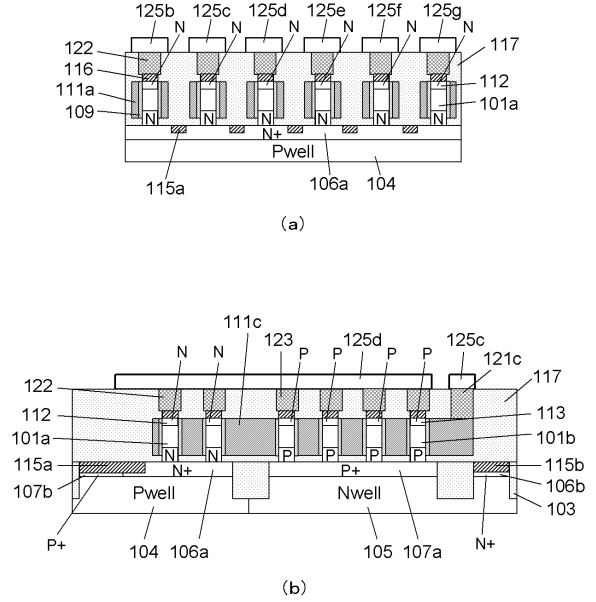
【 図 3 0 】



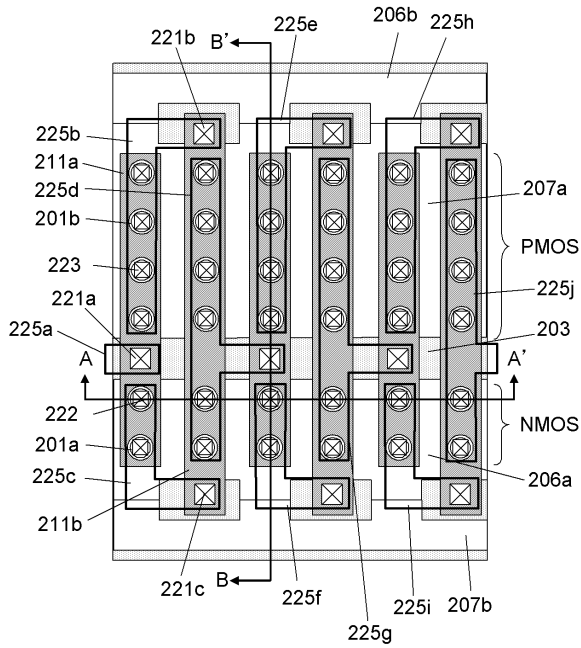
【 図 3 1 】



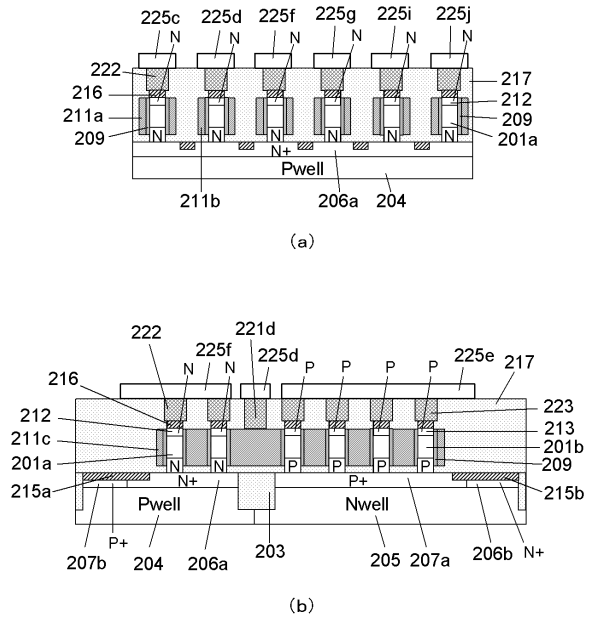
【 図 3 2 】



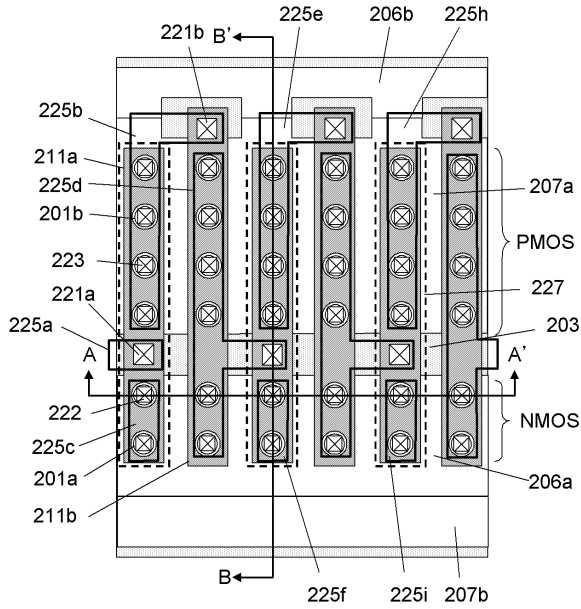
【 図 3 3 】



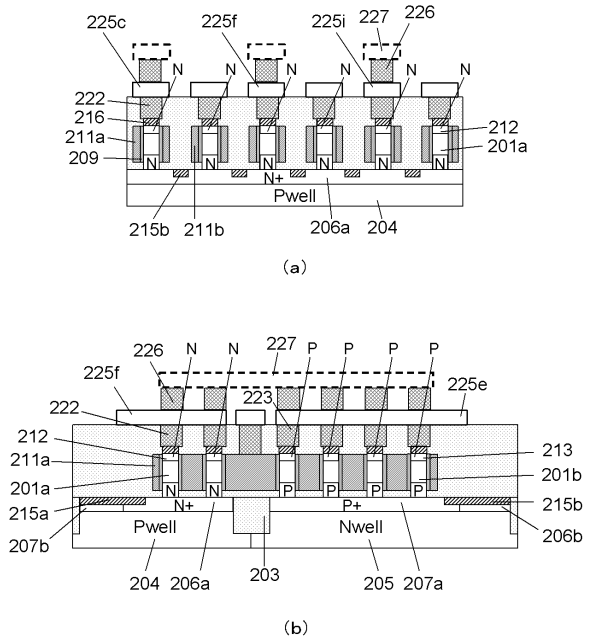
【 図 3 4 】



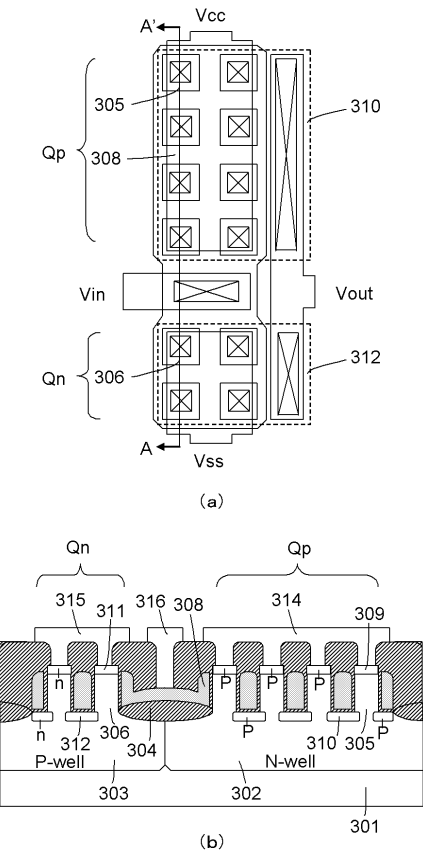
【 図 3 5 】



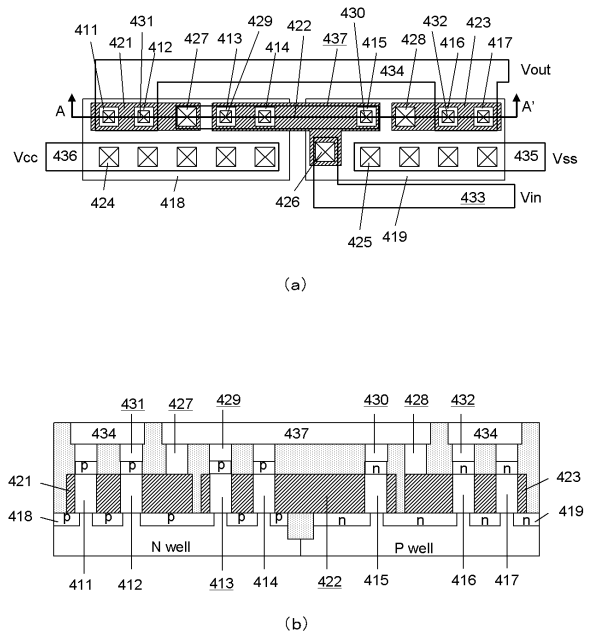
【 図 3 6 】



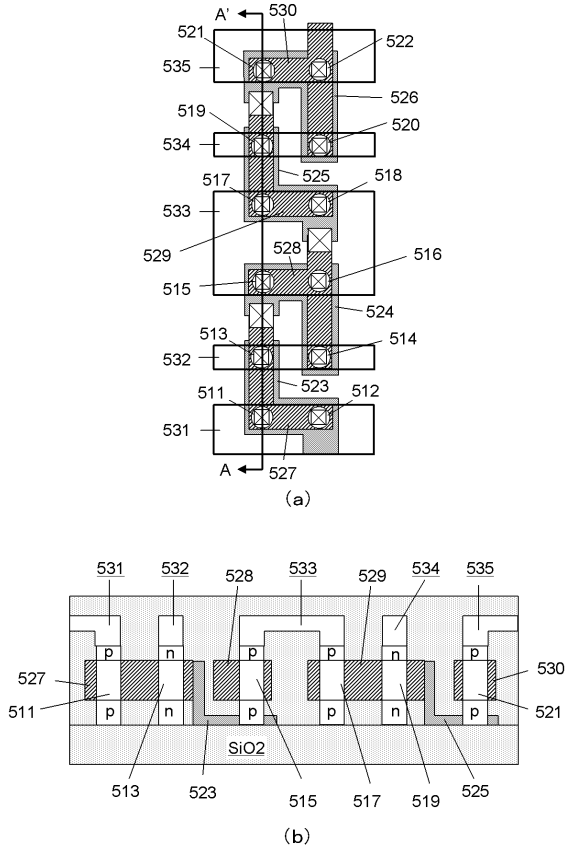
【 図 3 7 】



【 図 3 8 】



【 図 3 9 】



フロントページの続き

(74)代理人 100109449

弁理士 毛受 隆典

(74)代理人 100132883

弁理士 森川 泰司

(74)代理人 100145355

弁理士 石堂 毅彦

(74)代理人 100147924

弁理士 美恵 英樹

(72)発明者 舩岡 富士雄

東京都中央区新川1-22-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内

(72)発明者 新井 紳太郎

東京都中央区新川1-22-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内

審査官 宇多川 勉

(56)参考文献 特開2008-305896(JP,A)

特開2009-038226(JP,A)

国際公開第2008/146505(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238

H01L 27/092

H01L 29/78