

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
G11C 7/00

(11) 공개번호 특1999-0088093  
(43) 공개일자 1999년 12월 27일

(21) 출원번호	10-1999-0016250
(22) 출원일자	1999년 05월 07일
(30) 우선권주장	1998-124367 1998년 05월 07일 일본(JP)
(71) 출원인	가부시끼가이샤 도시바 니시무로 타이쵸
(72) 발명자	일본국 가나가와켄 가와사끼시 사이와이꾸 호리가와쵸 72반지 쯔찌다겐지 일본가나가와켄가와사끼시사이와이꾸호리가와쵸580-1가부시끼가이샤도시바 세미컨덕터시스템엔지니어링센터내 도다하루끼 일본가나가와켄가와사끼시사이와이꾸호리가와쵸580-1가부시끼가이샤도시바 세미컨덕터시스템엔지니어링센터내
(74) 대리인	장수길, 구영창

**심사청구 : 있음**

**(54) 반도체메모리시스템및반도체메모리의액세스제어방법및반도체메모리**

**요약**

특별히 부수 회로를 탑재하지 않고, 칩 사이즈에 대한 오버헤드를 억제하면서, 고속 액세스를 가능하게 한 반도체 메모리 시스템을 제공한다.

SDRAM(100)은 복수의 셀 어레이 블록으로 분할된 메모리 셀 어레이(101), 컬럼 디코더(102), 로우 디코더(103) 및 센스 앰프 회로(105)를 갖는다. SDRAM(100)에 대해 셀 어레이 블록 내를 연속 액세스하는 경우에는, 제1 사이클 타임을 갖는 제1 동작 모드로 설정되고, 이산적인 셀 어레이 블록 사이의 연속 액세스의 경우에는 그보다 짧은 제2 사이클 타임에 의한 제2 동작 모드로 설정된다. 인접 셀 어레이 블록 간을 연속 액세스하는 경우에는, 중간 사이클 타임을 갖는 제3 동작 모드로 설정된다.

**대표도**

**도 1**

**색인어**

비트선 이퀄라이즈 회로, 공유 센스 앰프 방식, 캐시부, 비트선 프리차지, 워드선 활성화 동작

**명세서**

**도면의 간단한 설명**

- 도 1은 본 발명이 적용되는 SDRAM의 등가 회로를 나타낸 도면.
- 도 2는 SDRAM의 메모리 셀 어레이의 분할 구성을 나타낸 도면.
- 도 3은 공유 센스 앰프 방식의 경우의 메모리 셀 어레이의 보다 구체적인 구성을 나타낸 도면.
- 도 4는 본 발명의 실시예 1에 따른 셀 어레이 블록 내의 연속 액세스를 행하는 경우의 동작 모드 1의 타이밍도.
- 도 5는 상기 실시예 1에 따른 이산적 셀 어레이 블록 사이의 연속 액세스를 행하는 경우의 동작 모드 2의 타이밍도.
- 도 6은 본 발명의 실시예 2에 따른 인접 셀 어레이 블록 사이의 연속 액세스를 행하는 경우의 동작 모드 3의 타이밍도.
- 도 7은 인접 셀 어레이 블록간의 연속 액세스를 행하는 경우의 통상의 동작 타이밍도.
- 도 8은 실시예 2에 따른 동작 모드 3에서의 구체적인 동작 타이밍도.
- 도 9는 본 발명이 적용되는 반도체 메모리 시스템의 구성을 나타낸 도면.
- 도 10은 상기 메모리 시스템에 있어서의 DRAM 동작 모드 설정의 알고리즘을 나타낸 도면.

- 도 11은 본 발명의 실시예 3에 있어서의 SDRAM의 주요부 구성을 나타낸 도면.
- 도 12는 상기 실시예 3에서의 액세스 동작 타이밍을 나타낸 도면.
- 도 13은 도 12의 동작을 변형한 액세스 동작 타이밍을 나타내 도면.
- 도 14는 종래의 SDRAM의 동작 타이밍을 나타내 도면.
- 도 15는 DRAM의 고속 액세스화의 종래의 한 수법을 나타내 도면.
- 도 16은 DRAM의 고속 액세스화의 종래의 다른 수법을 나타내 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

- 100 : SDRAM
- 101 : 메모리 셀 어레이
- 102 : 컬럼 디코더
- 103 : 로우 디코더
- 104 : 어드레스 버퍼
- 105 : 센스 앰프 · I/O 게이트
- 106 : 데이터 제어 회로
- 107 : 데이터 버퍼
- 108 : 클럭 버퍼
- 109 : 커맨드 디코더
- 111 : 제어 신호 발생 회로
- 21 : 셀 어레이 블럭
- 22 : 센스 앰프열
- 23 : 전송 게이트
- 24 : 비트선 이퀄라이즈 회로

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속 액세스를 가능하게 한 DRAM 등을 이용한 반도체 메모리 시스템에 관한 것이다.

MOS형 반도체 기억 장치 중 DRAM은 메모리 셀이 비교적 간소하기 때문에 고집적화가 가장 잘 진행되고, 현재 모든 컴퓨터 기기의 주기억 메모리로서 이용되고 있다. 한편, 최근의 급격한 마이크로 프로세서(MPU)의 성능 향상에 대응하여 메모리 성능을 향상시키기 위해 수 많은 고속 데이터 사이클 기능을 탑재한 DRAM이 제안되거나, 혹은 양산이 개시되기 시작하고 있다. 그 대표 예가 시스템 클럭과 동기시켜 모든 입출력 데이터를 주고 받는, 소위 동기형 싱크로너스 DRAM(SDRAM)이나, 마찬가지로 동작이면서 클럭의 양 엷지를 트리거로서 액세스 가능하게 한 더블·데이터·레이트 SDRAM(DDR-SDRAM) 등이다. 또한, 프로토콜 베이스의 커맨드에 의해 고속으로 데이터 전송을 할 수 있는 램버스 DRAM(RDRAM)(Rambus Inc. 사양) 등이 개발되어 있고, 종래의 비동기형의 DRAM에서 이러한 동기형 DRAM으로의 이행의 흐름은 장래적으로는 필연이라고 말할 수 있다.

이러한 동기형 DRAM의 특징은 최대 밴드폭이 매우 고속인 것이다. 예를 들면, 최신의 SDRAM에서의 최대 밴드폭으로서는, 100Mbps가 달성되어 있다. 장래적인 DDR-SDRAM에서는 200Mbps, R-DRAM에서는 800Mbps에 도달한다고 예상된다. 단, 이러한 고밴드폭이 실현 가능한 것은, 메모리 공간이 한정된 특정한 행 방향만의 버스트 액세스에 한정되어 있다. 즉, 행 어드레스가 변화하는 소위 랜덤액세스 시의 속도에 대해서는, 종래의 비동기형 DRAM과 거의 같은 정도의 속도밖에 얻어지지 않는다.

이 대책으로서, DRAM을 주기억으로 채용한 컴퓨터 시스템에 있어서는, 메모리의 계층화가 일반적인 수법으로서 채용되어 있다. 구체적으로는, DRAM에 비해 고속 액세스가 가능한 SRAM으로 구성되는 캐시 메모리를 MPU와 DRAM 사이에 배치하고, DRAM의 일부분의 데이터를 SRAM에 캐싱(caching)하여 놓는 수법이다. 이 경우, MPU로부터의 메모리 액세스는 고속인 캐시 메모리로부터 행해지고, 캐시 메모리(cash memory)에 캐싱되어 있지 않은 어드레스 공간에 액세스 명령이 들어 간 경우, 즉 캐시 미스(cash miss)된 경우에만, DRAM으로부터의 액세스를 행한다. 이 수법에 의해, MPU와 DRAM의 속도 성능차가 있는 경우에 있어서도, 컴퓨터 시스템 성능은 대폭 개선되어 있다.

단, 캐시 미스한 경우에는 DRAM으로부터의 판독이 필요하고, 특히 DRAM 메모리 공간의 동일 블럭내의 별도의 행 어드레스가 액세스된 경우, MPU에 있어서 최대의 대기 시간이 발생된다. 이하, 이 문제를 SDRAM을 예로 들어, 도 14를 참조하여 설명한다.

도 14는 SDRAM의 판독 동작 타이밍의 일례를 나타낸 것이다. 상술한, 메모리의 계층화를 채용한 컴퓨터 시스템에 있어서 캐시 미스가 발생하고, 주기억으로서 SDRAM으로부터의 액세스의 필요가 생기면, 시각 t1에 있어서 시스템측으로부터의 현재의 활성화되어 있는 어드레스에 대한 프리차지를 행하도록 「프리차지 커맨드(Precharge)」가 발행된다. 이것에 계속해서, 소정의 시간 경과한 다음, MPU로부터서 「활성화 커맨드(Active)」가 발행되어, 필요한 메모리 공간에 상당하는 뱅크가 활성화된다. 또한 특정한 시간 경과 후, 「리드 커맨드(Read)」가 발행된다. 이 리드 커맨드로부터 특정한 시간 후의 시각 t2로부터, 특정한 버스트 길이의 데이터가 클럭에 동기하여 SDRAM에 의해 판독된다. 여기에 도시한 바와 같이, 클럭에 동기하여 연속에 판독되는 경우의 최대 밴드폭은 매우 높지만, 캐시 미스의 경우의 랜덤 액세스에 대한 실효적인 밴드폭은 현저히 저하하고 있다. 즉, 거의 시각 t1로부터 t2에 걸쳐서는 데이터가 판독되지 않는 시간, 바꾸어 말하면 MPU측으로부터 본 경우의 대기 시간이 큰 것을 알 수 있다.

구체적으로는, 도 14에 도시한 SDRAM의 사양의 경우, 랜덤 액세스 사이클 시의 최대 밴드폭은, 버스트 사이클 시의 36% 정도밖에 없다. 이것이 금후의 컴퓨터 시스템 성능 향상을 위한 장애가 될 가능성이 높고, 보다 고속 액세스 타임 및 사이클 타임을 실현한 고성능 DRAM의 요구가 높아지고 있다. 특히, 현재의 고성능 서버 머신을 중심으로 하는 멀티 MPU 시스템에서는, 고속 버스트 전송뿐만 아니라, 고속 랜덤 액세스의 중요성이 높다. 또한, 장래의 리얼 타임 동화상 재생을 주목적으로 하는 민간용 멀티미디어 시스템에 있어서도, 마찬가지로의 고속 랜덤 액세스가 가능한 DRAM이 요구된다고 생각된다.

이러한 요청을 배경으로 하여, 도 15에 도시한 바와 같은, Enhanced Memory Systems Inc. 로부터 발표되어 있는 Enhanced SDRAM(ESDRAM)이나, 도 16에 도시한 바와 같은, NEC 주식회사로부터 발표되어 있는 Virtual Channel Memory(VCM) 등이 제안되어 있다.

### 발명이 이루고자하는 기술적 과제

이상과 같이, SDRAM이나 RDRAM에 대표되는 고속 데이터 사이클을 실현한 DRAM은, 랜덤 액세스가 필요해지는 액세스의 미스-hit(미스 히트)시의 대기 시간이 크고, 이것이 시스템의 성능 향상의 장애가 된다는 문제점이 있다.

또한, 고속 액세스 타임 및 고속 사이클 타임을 실현하기 위해, 대용량의 캐시 메모리를 탑재하는 도 15 및 도 16의 방법에서는, 칩 사이즈에 대한 오버헤드가 커지고, 저비용화가 달성되기 어렵다고 하는 문제점이 있다.

본 발명은, 상기 사정에 감안하여 이루어진 것으로, 특별히 부수 회로를 탑재하지 않고, 칩 사이즈에 대한 오버헤드를 억제하면서, 고속 액세스를 가능하게 한 반도체 메모리 시스템 및 반도체 메모리의 액세스 제어 방법을 제공하는 것을 목적으로 하고 있다.

본 발명에 따른 반도체 메모리 시스템은, 복수의 비트선쌍과 복수의 워드선의 각 교차부에 메모리 셀이 배열된 메모리 셀 어레이, 이 메모리 셀 어레이의 메모리 셀 선택을 행하는 디코더 회로, 및 메모리 셀 어레이의 메모리 셀 데이터를 판독하는 센스 앰프 회로를 갖는 반도체 메모리와, 이 반도체 메모리에 대해 연속하여 액세스할 때에 연속하여 액세스되는 어드레스의 순서에 따라서 사이클 타임을 변화시키기 위한 제어를 행하는 제어 장치를 구비한 것을 특징으로 한다.

본 발명은 특히, 반도체 메모리의 메모리 셀 어레이가 복수의 셀 어레이 블록으로 분할되어 있는 경우에, 제어 장치는 메모리 셀 어레이의 하나의 셀 어레이 블록 내를 연속 액세스할 때에 제1 사이클 타임을 갖는 제1 동작 모드에 의해 액세스 제어를 행하고, 메모리 셀 어레이의 이산적인 셀 어레이 블록 사이를 연속 액세스할 때에 제1 사이클 타임보다 짧은 제2 사이클 타임을 갖는 제2 동작 모드에 의해 액세스 제어를 행하는 것을 특징으로 한다.

또한, 반도체 메모리의 메모리 셀 어레이가 인접하는 셀 어레이 블록으로 센스 앰프열을 공유하는 공유 센스 앰프 방식을 채용하고 있는 경우에, 제어 장치는, 메모리 셀 어레이의 인접하는 셀 어레이 블록 사이를 연속 액세스할 때에 제1 동작 모드와 제2 동작 모드의 중간의 제3 사이클 타임을 갖는 제3 동작 모드에 의해 액세스 제어를 행하는 것을 특징으로 한다.

또한 본 발명은, 제3 동작 모드가 설정되는 경우에, 이하에 열거하는 특징을 갖는다.

(a) 반도체 메모리의 메모리 셀 어레이가, 인접하는 셀 어레이 블록이 비트선 이퀄라이즈 회로를 내장한 센스 앰프열을 공유하고, 또한 제3 동작 모드가 설정될 때, 반도체 메모리에 있어서, 선행하여 액세스되는 셀 어레이 블록의 비트선 이퀄라이즈 동작과 다음에 액세스되는 셀 어레이 블록의 워드선 활성화 동작이 일부 병진된다.

(b) 반도체 메모리의 메모리 셀 어레이가, 인접하는 셀 어레이 블록이 비트선 이퀄라이즈 회로를 내장한 센스 앰프열을 공유함과 동시에, 공유되는 센스 앰프열과 각 셀 어레이 블록과의 사이에 배치되어 선택적으로 도통 제어되는 전송 게이트를 지니고, 또한 제3 동작 모드가 설정될 때, 반도체 메모리에 있어서, 전송 게이트의 도통 제어에 의해, 선행하여 액세스되는 셀 어레이 블록의 비트선 이퀄라이즈 동작과 다음에 액세스되는 셀 어레이 블록의 워드선 활성화 동작이 일부 병진된다.

(c) 반도체 메모리의 메모리 셀 어레이가, 인접하는 셀 어레이 블록이 센스 앰프열을 공유하고, 공유되는 센스 앰프열과 각 셀 어레이 블록과의 사이에 배치되어 선택적으로 도통 제어되는 전송 게이트를 지니고, 또한 센스 앰프열 내 및 각 셀 어레이 블록 내에 각각 배치된 비트선 이퀄라이즈 회로를 지니고, 제3 동작 모드가 설정될 때, 반도체 메모리에 있어서, 센스 앰프열 내에 배치된 비트선 이퀄라이즈 회로가, 각 셀 어레이 블록에 배치된 비트선 이퀄라이즈 회로에 선행하여 활성화된다.

(d) 또는 (c)의 경우에, 센스 앰프열 내 혹은 셀 어레이 블록 내의 비트선 이퀄라이즈 동작이 행해지고 있는 동안에, 그 셀 어레이 블록과 센스 앰프열 사이의 전송 게이트는 비도통 제어된다.

본 발명에 따르면, 반도체 메모리의 액세스 제어에 있어서, 연속 액세스되는 어드레스의 순서에 따라서 사이클 타임이 다른 복수의 동작 모드를 설정한다고 하는 속도 제약을 도입함으로써, 캐시부를 탑재하지 않고, 종래의 DRAM 등에서 얻어지지 않는 고속 액세스가 가능하게 된다. 구체적으로 DRAM 등에 있어서는, 소비 전력과 속도의 점으로부터, 메모리 셀 어레이는 복수의 셀 어레이 블록으로 분할된다. 동일 셀 어레이 블록 내를 연속 액세스할 때에는, 워드선 활성화와 비트선 프리차지 동작을 시계열적으로 행하지 않으면 안되기 때문에, 제1 사이클 타임을 갖는 제1 동작 모드에 의해 액세스 제어를 행하고, 독립의 셀 어레이 블록 사이를 연속 액세스할 때에는, 각 셀 어레이 블록마다 독립적으로 비트선 프리차지와 워드선 활성화가 가능하기 때문에, 제1 사이클 타임보다 짧은 제2 사이클 타임을 갖는 제2 동작 모드에 의해 액세스 제어를 행한다. 이와 같은 액세스 제어를 행하면, 다분할된 반도체 메모리에 있어서는, 확률적으로 동일 셀 어레이 블록에 연속 액세스가 들어 가는 경우는 적기 때문에, 메모리 시스템 전체의 고속화가 도모된다.

또한, 공유 센스 앰프 회로 방식을 채용한 경우에는, 전송 게이트의 제어에 의해 인접하는 서브 셀 어레이의 워드선 활성화와 비트선 프리차지를 일부 오버랩시킬 수 있다. 이 오버랩 동작을 이용함으로써, 인접하는 셀 어레이 블록 사이를 연속 액세스할 때에는, 제1 동작 모드와 제2 동작 모드의 중간의 제3 사이클 타임을 갖는 제3 동작 모드에 의해 액세스 제어를 행할 수 있다.

이에 따라, 인접하는 서브 셀 어레이를 연속 액세스하는 경우에, 이산적인 서브 셀 어레이의 연속 액세스의 경우보다는 느리지만, 서브 셀 어레이 내부를 연속 액세스하는 경우보다는 고속의 사이클 타임에서의 액세스가 가능하게 된다.

**발명의 구성 및 작용**

이하, 도면을 참조하여, 본 발명의 실시예를 설명한다.

도 1은 본 발명의 실시예에 따른 SDRAM(100)의 등가 회로 구성을 나타낸다. 메모리 셀 어레이(101)은, 비트선과 워드선의 각 교차부에 다이내믹형 메모리 셀을 배열 형성하여 구성된다. 어드레스 버퍼(104)는, 외부로부터 공급되는 어드레스 ADD를 수신하고, 수신된 어드레스를 디코드하여 메모리 셀 어레이(101)의 컬럼 및 로우 선택을 행하기 위해서, 컬럼 디코더(102) 및 로우 디코더(103)가 설치되어 있다. 메모리 셀 어레이(101)의 데이터 판독/기록을 행하는 센스 앰프 회로(1/0 게이트를 포함한다: 105)는, 데이터 제어 회로(106)를 통해 데이터 버퍼(107)에 접속되고, 데이터 버퍼(107)에 의해 외부와의 데이터 입출력이 행해진다.

클럭 동기에 따른 데이터 판독/기록을 행하기 위해서, 외부 클럭 CLK를 수신하기 위한 클럭 버퍼(108)가 설치되고, 외부로부터의 각종 커맨드를 수신하여 디코드하기 위해서 커맨드 디코더(109)가 설치되어 있다. 이들 클럭 버퍼(108) 및 커맨드 디코더(109)는 클럭 인에이블 신호 CKE에 의해 활성화된다. 디코드된 커맨드와 클럭 버퍼(108)로부터 얻어지는 클럭에 의해 데이터 판독/기록을 위한 각종 제어 신호를 생성하기 위해서, 제어 신호 발생 회로(111)가 설치되어 있다. 제어 신호 발생 회로(111)는, 메모리 셀 어레이(102)를 포함하는 코어 회로부에 대해 프리차지 제어, 센스 앰프 활성화 제어 등의 각종 제어 신호를 생성하는 것이다. 모드 레지스터(110)는 버스트 길이나 액세스·레이턴시 등의 각종 동작 모드를 미리 설정하기 위한 것으로, 이 모드 설정 레지스터(110)의 출력에 의해 제어 신호 발생 회로(111)가 제어된다.

도 2의 (a), (b)는, 메모리 셀 어레이(101)의 구성예를 나타내고 있다. 메모리 셀 어레이(101)는 도시와 같이, 복수개(도면의 경우 n개)의 셀 어레이 블록(21)으로 나누어지고, 각 셀 어레이 블록(21)에 각각 수반하여, 도 1의 센스 앰프 회로(105)를 구성하는 센스 앰프열(22)이 배치되어 있다. 특히 도 2의 (b)는, 인접하는 셀 어레이 블록(21)으로 센스 앰프열(22)을 공유한 공유 센스 앰프 방식을 채용한 경우를 나타내고 있다. 각 셀 어레이 블록(21) 내에는, 복수의 워드선과 이것과 교차하는 복수의 비트선쌍이 설치되고, 각 교차부에 메모리 셀이 배치된다.

도 3은, 도 2의 (b)의 공유 센스 앰프 방식을 채용한 경우에 대해, 인접하는 두개의 셀 어레이 블록(21n, 21m)과, 이들에 공유되는 센스 앰프(22nm)의 구성을, 한쌍의 비트선에 대해 나타내고 있다. 셀 어레이 블록(21n, 21m)에는 도시와 같이, 워드선 WL에 의해 구동되어 비트선 BL, bBL과의 사이에서 데이터의 교환이 행해지는 1트랜지스터/1캐패시터 구성의 메모리 셀 MC가 배열 형성되어 있다. 좌측의 셀 어레이 블록(21n) 내의 비트선 BLn, bBLn과, 센스 앰프(22nm) 내의 비트선 BLnm, bBLnm 사이에는, 이들을 선택적으로 접속하기 위해서, 각각 NMOS 트랜지스터 Q1, Q2를 개재시키고, 전송 게이트(23L)가 구성되어 있다. 마찬가지로, 우측의 셀 어레이 블록(21m) 내의 비트선 BLm, bBLm과, 센스 앰프(22nm) 내의 비트선 BLnm, bBLnm 사이에는, 이들을 선택적으로 접속하기 위해서, 각각 NMOS 트랜지스터 Q3, Q4를 개재시키고, 전송 게이트(23R)가 구성되어 있다. 이들 전송 게이트(23L, 23R)의 제어에 의해, 센스 앰프(22nm)는 셀 어레이 블록(21n, 21m) 중 어느 하나에 선택적으로 접속되게 된다.

센스 앰프(22nm)는 PMOS 트랜지스터 Q11, Q12에 의해 구성된 플립플롭으로 이루어지는 H 레벨측 증폭용의 PMOS 센스 앰프 SA1과, NMOS 트랜지스터 Q13, Q14에 의해 구성된 플립플롭으로 이루어지는 L 레벨측 증폭용의 NMOS 센스 앰프 SA2를 갖는다. 구체적으로 PMOS 센스 앰프 SA1을 구성하는 PMOS 트랜지스터 Q11, Q12는, 소스가 공통으로 활성화 신호 SAPnm이 부여되는 신호선에 접속되고, 드레인이 각각 비트선 bBLnm, BLnm에 접속되고, 게이트가 각각 비트선 BLnm, bBLnm에 접속된다. 마찬가지로, NMOS 센스 앰프 SA2를 구성하는 NMOS 트랜지스터 Q13, Q14는 소스가 공통으로 활성화 신호 bSANnm이 부여되는 신호선에 접속되고, 드레인이 각각 비트선 bBLnm, BLnm에 접속되며, 게이트가 각각 비트선 BLnm, bBLnm에 접속된다.

센스 앰프(22nm)는 또한, 비트선 BLnm, bBLnm을 프리차지 전위 VBL에 프리차지하기 위한 프리차지용 NMOS 트랜지스터 Q5, Q6과, 이퀄라이즈용 NMOS 트랜지스터 Q7로 이루어지는 비트선 이퀄라이즈 회로(24)를 갖는다. 프리차지용 NMOS 트랜지스터 Q5, Q6은 드레인이 공통으로 프리차지 전위 VBL이 부여되는 신

호선에 접속되고, 소스가 각각 비트선 bBLn, BLn에 접속되며, 게이트가 이퀄라이즈 제어 신호 EQLnm이 부여되는 신호선에 접속된다. 이퀄라이즈용 NMOS 트랜지스터 Q7은 게이트를 프리차지용 NMOS 트랜지스터 Q5, Q6과 공통으로 하여, 비트선 bBLn, BLn의 사이에 접속된다.

도 3에 도시한 SDRAM의 코어 회로부는, 종래의 범용 DRAM에 대해 특수한 변경은 실시되지 않지만, 공유 센스 앰프 방식으로 하기 위해서, 전송 게이트(23L, 23R)가 각각 배치되어 있다. 예를 들면, 외부 어드레스 입력에 의해 셀 어레이 블럭(21n)이 선택적으로 활성화되는 경우에는, 전송 게이트(23L)이 도통 상태, 전송 게이트(23R)가 비도통 상태로 제어되고, 셀 어레이 블럭(21n)에 배치된 메모리 셀과 센스 앰프(22nm)가 접속된다. 이 때, 비선택 상태에 있는 셀 어레이 블럭(21m)은, 전송 게이트(23R)에 의해 센스 앰프(22nm)로 분리되어 프리차지 상태에 있다.

이와 같이 구성된 SDRAM에서의 액세스 동작의 실시 형태를 구체적으로 이하에 설명한다.

#### [실시예 1]

도 4 및 도 5는, 실시예 1에 따른 두개의 동작 모드 1, 2의 액세스 타이밍을 모식적으로 나타내고 있다. 두개의 동작 모드 1, 2는 상술한 바와 같이 복수개로 분할된 셀 어레이 블럭(21)의 액세스 순서에 의존하여, SDRAM(100)을 연속적으로 활성화할 때의 활성화의 주기로서 정의되는 사이클 타임이 다르다. 도 4의 동작 모드 1은, 동일한 셀 어레이 블럭(21: 예를 들면, 도 2의 셀 어레이 블럭<0>) 내의 다른 워드선에 접속된 메모리 셀을 연속 액세스하는 경우이다. 이 경우에는, 워드선 활성화와 비트선 프리차지의 동작은 시계열적으로 행할 필요가 있기 때문에, 종래의 SDRAM과 거의 동일한 속도가 된다. 도 4에 있어서는, 클럭 CLK에 동기하여 발행되는 활성화 커맨드 ACT의 주기, 즉 사이클 타임을 3클럭 사이클로 하고, 활성화 커맨드 ACT로부터 메모리 셀 데이터가 판독될 때까지의 시간, 즉 액세스 타임을 2클럭 사이클로서, 버스트 길이 1로 데이터를 판독하는 예를 나타내고 있다.

또 활성화 커맨드 ACT란 실제로는, 활성화 커맨드용 단자가 DRAM(100)에 있는 것이 아니라, SDRAM(100)에 수신되는 칩 셀렉트 신호/CS 외의 제어 신호의 미리 정해진 조합에 의해 정의되는 신호군이다. 이 활성화 커맨드 ACT는 커맨드 디코더(109)에 의해 디코드되고, 제어 신호 발생 회로(111)에 보내지고, 비트선 프리차지, 워드선 활성화, 센스 앰프 활성화 등의 일련의 제어 신호가 발생되게 된다.

이것에 대해, 도 5의 동작 모드 2는 상호 독립인, 즉 완전히 이산적인 셀 어레이 블럭 사이, 예를 들면 도 2에 도시한 셀 어레이 블럭<0>과 셀 어레이 블럭<3>과의 사이 등에서 연속하여 액세스가 행해지는 경우를 나타내고 있다. 이 경우, 메모리 셀에 접속되는 비트선이나 센스 앰프가 액세스마다 독립이기 때문에, 도 4에 도시한 동작 모드 1의 액세스보다도 고속인 사이클 타임이 실현된다. 즉 도 5에서는, 도 4의 경우와 동일한 액세스 타임으로, 사이클 타임을 1클럭 사이클로 한 예를 나타내고 있다.

이와 같이 이 실시예 1에서는, 연속하여 액세스되는 것이 동일 셀 어레이 블럭 내인지 혹은 이산적 셀 어레이 블럭인지에 따라서 사이클 타임을 변화시키고 있다. 이와 같은 동작 모드 설정을 행하면, 이산적 셀 어레이 블럭의 연속 액세스의 경우의 사이클 타임을 작게 함으로써, 종래의 SDRAM과 같이 특별히 캐시부를 탑재하지 않더라도, 종래의 SDRAM 이상으로 고속화가 실현 가능해진다.

SDRAM에 있어서는, 소비 전력과 속도의 양면으로부터, 메모리 셀 어레이는 수십으로부터 수백의 셀 어레이 블럭으로 분할되는 것이 일반적이다. 예를 들면, 현재 양산화가 개시된 64M비트 DRAM에서는, 최소 셀 어레이 블럭 용량은 약 1M 정도이므로, 어레이 분할 총수는 64 정도로 되어 있다. 이와 같이 매우 분할수가 많은 경우, 확률적으로 동일 셀 어레이 블럭으로 연속하여 액세스가 들어가는 경우는 적고, 그 결과 상술한 바와 같은 연속하여 액세스되는 셀 어레이 블럭에 따라서 사이클 타임을 변화시킨 경우, 종래에 비해 전체적인 시스템 성능이 높아지는 것은 용이하게 예상된다. 또한, 장래의 고집적화에 보다 더욱 메모리 셀 어레이 분할이 진행하면, 성능 향상의 정도는 점점 더 높아진다.

#### [실시예 2]

실시예 2는, 앞에서의 실시예 1에서 설명한 바와 같은 연속 액세스의 형태에 따라서 사이클 타임을 다르게 한 동작을 행하게 하는 SDRAM에 있어서, 특히 인접 셀 어레이 블럭 사이에서의 연속 액세스의 고속화를 실현한 것이다. 이 실시예 2에 있어서는, 도 2의 (b)에 도시한 바와 같은, 분할되는 셀 어레이 블럭(21)이 인접하는 것 끼리 센스 앰프(22)를 공유하는 공유 센스 앰프 방식을 채용한 경우를 전제로 한다.

실시예 2의 동작을 설명하기 전에, 실시예 1의 제어 방식을 채용한 경우의 한계를 밝힌다. 셀 어레이 블럭(21n)에 배치된 어느 한 메모리 셀의 액세스에 연속하여, 인접하는 셀 어레이 블럭(21m)에 배치된 어느 한 메모리 셀이 액세스된 경우를 생각한다. 이 때, 도 7에 도시한 바와 같이, 우선 처음에 선행하여 액세스한 셀 어레이 블럭(21n)을 프리차지 상태로 한다. 구체적으로는, 이미 선택 상태에 있는 셀 어레이 블럭(21n)에 배치된 워드선 WLni를 비활성화(NMOS 메모리 셀의 경우에는 워드선을 내린다)하고(t11), 이것이 완료 후, 비트선 이퀄라이즈 회로 EQL의 제어 신호 EQLnm을 활성화한다(t12). 이에 따라, 비트선쌍 BLn, bBLn을 전기적으로 단락하여 프리차지 전위 VBL에 리셋트한다.

이 일련의 프리차지가 완료된 다음, 이것에 계속해서 액세스되는 셀 어레이 블럭(21m)의 활성화가 개시된다. 구체적으로는, 전송 게이트(23L)를 비도통 상태로 제어하기 위한 제어 신호 PHITL을 L 레벨로 천이시킴과 동시에, 비트선 이퀄라이즈 회로(24)의 제어 신호 EQLnm도 L 레벨로 천이시키고, 비트선 BLn, bBLn을 프리차지 전위 VBL로부터 분리한다(t13). 동시에, 전송 게이트(23R)를 도통 상태로 설정하는 신호 PHITR을 H 레벨로 천이시킨 후, 셀 어레이 블럭(21m) 중 어느 한 메모리 셀에 접속된 워드선 WLmi를 활성화한다(t14).

이상과 같이, 인접하는 셀 어레이 블럭을 연속적으로 액세스하는 경우에, 선행하여 액세스되는 셀 어레이 블럭의 프리차지 동작의 완료를 대기하고, 다음 셀 어레이 블럭의 활성화가 시계열적으로 행해진다고

하면, 액세스 타임 및 사이클 타임은, 도 4에 도시한 동일 셀 어레이 블럭 내의 연속 액세스의 경우와 동일해지기 때문에, 저속인 액세스밖에 실현되지 않는다.

이러한 인접 셀 어레이 블럭 사이에서의 연속 액세스의 경우에, 한층 더 고속화 목표로 한 것이 실시예 2이다. 도 6은 이 실시예 2에서의 동작 모드 3의 타이밍도를 나타내고 있다. 여기서, 액세스 타임은 도 4 및 도 5에 도시한 동작 모드 1, 2와 동일하지만, 사이클 타임을 2클럭 사이클로 한 동작, 즉 도 4에 도시한 셀 어레이 블럭 내에서의 연속적 액세스보다도 짧은 사이클 타임을 실현한 예를 나타내고 있다.

이와 같은 액세스 동작을 행하는 경우의 구체적인 동작 타이밍을 도 8에 도시한다. 공유 센스 앰프 방식을 채용한 경우에, 인접한 셀 어레이 블럭 사이의 연속 액세스를, 동일 셀 어레이 블럭 내의 연속 액세스의 경우보다도 사이클 타임을 고속화하기 위해서, 선행하여 액세스되는 셀 어레이 블럭의 프리차지 동작과, 이것에 계속해서 액세스되는 셀 어레이 블럭의 워드선 활성화 동작을 오버랩(인터리브)시키는 것이 키 포인트이다.

도 8은 도 3에 도시한 두개의 인접하는 셀 어레이 블럭(21n, 21m)이 연속적으로 액세스되는 경우를 가정하고 있다. 셀 어레이 블럭(21n)에 대한 액세스 커맨드 ACT가 발행되면, 이 셀 어레이 블럭(21n)과 센스 앰프(22nm) 사이의 전송 게이트(23L)가 제어 신호 PHITL에 의해 비도통 상태로 제어된다(t21). 이것에 계속해서, 셀 어레이 블럭(21m)의 어느 워드선 WL<sub>n</sub>이 선택되어 활성화된다(t22). 워드선의 활성화가 완료하고, 셀 데이터가 비트선 BL<sub>n</sub>, bBL<sub>n</sub>에 판독되면, 제어 신호 PHITL, PHITR에 의해 각각 전송 게이트(23L, 23R)가 도통 상태, 비도통 상태로 제어된다(t23). 이에 따라, 셀 어레이 블럭(21n)의 메모리 셀로부터의 미소 데이터는 센스 앰프(22nm)에 전송되고, 여기서 검지 증폭된다.

그 후, 컬럼 어드레스에 따라서 컬럼 선택 신호 CSL<sub>i</sub>가 활성화되고, 센스 앰프(22nm)에서 증폭된 신호는 칩 외부로 판독된다(t24). 한편, 이 일련의 동작과 병진하여, 셀 어레이 블럭(21m)의 활성화 커맨드 ACT가 발행되면, 셀 어레이 블럭(21n)의 동작에 상관 없이, 셀 어레이 블럭(21m) 중의 어느 한 워드선 WL<sub>m</sub>이 활성화된다(t26). 이것은, 공유 센스 앰프 방식을 이용하고 있고, 셀 어레이 블럭(21n)이 액세스되어 있는 동안, 셀 어레이 블럭(21m)이 전송 게이트(23R)에 의해 센스 앰프(22nm)로부터 절단되어 있으므로 가능해진다.

셀 어레이 블럭(21n)으로부터 판독된 셀 데이터가 센스 앰프(22nm)에 의해 소정의 전압까지 복원되면, 셀 어레이 블럭(21n)의 프리차지 동작으로 이행한다. 구체적으로는, 메모리 셀의 워드선 WL<sub>n</sub>이 비활성화되고(t25), 이것에 계속해서 제어 신호 EQL<sub>m</sub>이 활성화된다(t26). 이에 따라, 셀 어레이 블럭(21n)의 비트선 BL<sub>n</sub>, bBL<sub>n</sub> 및 센스 앰프(22nm)의 비트선 BL<sub>m</sub>, bBL<sub>m</sub>이 소정의 전압으로 프리차지된다. 도 8의 경우, 이 셀 어레이 블럭(21n)의 프리차지 동작과, 셀 어레이 블럭(21m)의 워드선 WL<sub>m</sub>의 활성화 개시가 동일한 타이밍이다. 그리고, 셀 어레이 블럭(21m)의 비트선 BL<sub>m</sub>, bBL<sub>m</sub>에 셀 데이터가 판독된 것을 대기하여, 제어 신호 PHITL, PHITR을 천이시켜 전송 게이트(23L, 23R)를 전환한다(t27).

이에 따라, 인접하는 2개의 셀 어레이 블럭(21n, 21m) 사이의 셀 데이터를 센스 앰프(22nm)에서 충돌시키지 않고, 인접 셀 어레이 블럭 사이의 오버랩 동작이 가능해진다. 즉, 공유 센스 앰프 회로 방식을 갖고, 인접하는 2개의 셀 어레이 블럭 사이에서 연속적으로 액세스되는 경우에, 동일 셀 어레이 블럭 내의 연속 액세스의 경우보다도 고속화하는 것이 가능해진다. 이상으로부터, 주로 비용 중시의 관점으로부터 공유 센스 앰프 방식을 채용한 경우에도, 통상의 공유 센스 앰프 방식에서의 속도적인 제약을 경감하는 것이 가능해져서, 성능과 비용의 양립이 한층 더 실현된다.

본 발명이 적용되는 SDRAM(100)은, 상술한 바와 같이 내부 구성은 종래와 바뀌지 않고, 액세스의 형태에 따른 동작이 가능하다. 구체적으로 이와 같은 동작 모드 제어는, 도 9에 도시한 바와 같이, 액세스 요구를 내보내는 마이크로 프로세서(201)와, 이 마이크로 프로세서(201)로부터의 액세스 요구에 응답하여 SDRAM(100)을 액세스하는 메모리 제어기 LSI(202)를 구비한 메모리 시스템에서 행해진다. 상술한 각 실시예 1, 2의 동작 모드(1, 2, 3)는, 마이크로 프로세서(201) 중에서 소프트웨어에 의해 결정되고, 각 동작 모드에 따라서 사이클 타임이 다른 활성화 커맨드 ACT가 발행되게 된다.

도 10은, 마이크로 프로세서(201)에 의한 동작 모드 설정의 알고리즘을 나타낸다. 동작 모드 설정에 있어서는 우선, 액세스하고자 하는 SDRAM의 어드레스 데이터를 감시한다(S1). SDRAM 내의 셀 어레이 블럭에 대한 어드레스 할당은 미리 알고 있기 때문에, 그 어드레스 할당에 기초하여, 액세스하고자 하는 어드레스가 하나의 셀 어레이 블럭의 내부를 연속적으로 액세스하는 것인지의 여부를 판정한다(S2). YES이면, 사이클 타임의 가장 긴 제1 동작 모드 1로 설정한다(S4). NO이면, 더욱 인접하는 셀 어레이 블럭을 연속 액세스하는 것인지의 여부를 판정한다(S3). 그 판정 결과가 NO이면, 연속 액세스는 이산적인 셀 어레이 블럭에 대한 것이기 때문에, 사이클 타임이 가장 짧은 동작 모드 2로 설정하고(S5), YES이면, 중간 사이클 타임인 동작 모드 3으로 설정한다(S6).

이렇게 하여 마이크로 프로세서(201)는 SDRAM 액세스의 동작 모드에 따라서 상술한 바와 같이 활성화 커맨드 ACT를 발행하는 클럭 사이클을 결정할 수 있다.

### [실시예 3]

실시예 3은 앞에서의 실시예에 비해, 공유 센스 앰프 회로 방식에서의 인접하는 셀 어레이 블럭의 액세스의 인터리브 동작을 더욱 깊게 한다. 그와 같은 깊은 인터리브 동작을 행하기 위해서는, SDRAM의 코어 회로부의 구성을 변경하는 것이 필요하다. 도 3에 대해 이 실시예 3을 적용하는 경우의 코어 회로 구성을 도 11에 나타낸다. 도 3과 다른 것은, 센스 앰프(22nm) 내에 비트선 이퀄라이즈 회로(241)를 설치함과 동시에, 각 셀 어레이 블럭(21n, 21m) 내에도, 마찬가지로 구성의 비트선 이퀄라이즈 회로(242, 243)를 배치하고 있는 점이다.

도 12는 이 실시예 3의 동작 타이밍을 나타낸 도면이다. 이 실시예 3에서는, 공유 센스 앰프(22nm)에 배치된 비트선 BL<sub>m</sub>, bBL<sub>m</sub>의 이퀄라이즈 동작과, 셀 어레이 블럭(21n, 21m) 내의 이퀄라이즈 동작이 독



립적으로 행해진다. 이것은, 인접하는 셀 어레이 블럭(21n, 21m) 사이에 연속적으로 액세스가 발생한 경우의 고속화를 위해, 될 수 있는 한 고속으로 공유 센스 앰프(22nm)의 비트선쌍 BLnm, bBLnm을 이퀄라이즈하고, 이 이퀄라이즈 동작과 오버랩 동작하고 있는 이것에 계속해서 액세스되는 셀 어레이 블럭으로 부터의 판독을 위한 준비를 행하기 때문이다.

이에 따라, 워드선 WLni의 비활성화가 완료되고 나서의 동작이 전제가 되는 비트선 이퀄라이즈 동작(신호 EQLn의 수직 상승으로 기동된다)과, 다음 사이클에서의 메모리 셀로부터의 미소 신호를 검지 증폭할 필요가 있는 센스 앰프(22nm)의 비트선 BLnm, bBLnm의 이퀄라이즈 동작(신호 EQLnm의 수직 상승으로 기동된다)을 독립적으로, 또한, 워드선 WLni의 비활성화를 대기하지 않고서 선행하여 행하는 것이 가능해진다.

구체적으로 도 12의 동작을 설명하면, 제어 신호 PHITL, PHITR을 천이시켜 전송 게이트(23L, 23R)를 비도통으로 하고(t21), 워드선 신호 WLni를 상승시켜, 셀 어레이 블럭(21n)의 메모리 셀 데이터를 판독한다(t22). 그리고, 컬럼 선택 신호 CSLj를 상승시켜, 셀 어레이 블럭(21n)으로부터 판독한 데이터를 외부로 추출한다(t24). 여기까지의 동작은 앞에서의 실시예 2와 기본적으로 마찬가지로이다.

이 셀 어레이 블럭(21n)에서의 데이터 판독 동안, 셀 어레이 블럭(21m)에서는, 이퀄라이즈 제어 신호 EQLm이 H로서 비트선 이퀄라이즈 동작이 행해지고 있고, 이 이퀄라이즈 동작이 종료하면(t31), 제어 신호 PHITL이 하강하고, 동시에 센스 앰프(23nm)의 이퀄라이즈 제어 신호 EQLnm이 상승한다(t32). 즉, 셀 어레이 블럭(21n) 내의 워드선 신호 WLni이 하강하는 타이밍 t34보다 전에, 전송 게이트(23L)가 비도통으로 되고, 센스 앰프(22nm)의 비트선 이퀄라이즈가 행해진다. 그리고 센스 앰프(22nm)의 비트선 이퀄라이즈를 행하고 있는 동안에, 셀 어레이 블럭(21m)의 선택 워드선 신호 WLmi가 상승한다(t33). 셀 어레이 블럭(21m)의 데이터 판독을 행하고 있는 동안에, 다음의 준비를 위해, 셀 어레이 블럭(21n) 측의 비트선 이퀄라이즈 동작이 개시된다(t35).

이와 같이, 센스 앰프(22nm)의 비트선 BLnm, bBLnm의 선행 이퀄라이즈에 의해, 실시예 2의 경우보다도 인접하는 셀 어레이 블럭에 연속하여 액세스가 발생한 경우의 고속 액세스가 가능해진다. 일반적으로 복수개(예를 들면, 128개, 256개, 512개 등)의 메모리 셀이 접속되는 셀 어레이 블럭(21n, 21m)에서의 비트선쌍의 용량은 센스 앰프(22nm) 내의 비트선쌍 BLnm, bBLnm의 용량보다 수배로부터 십수배 크다. 이 때문에, 셀 어레이 블럭 내에서의 비트선 이퀄라이즈의 시간은 필연적으로 길어지는 경향이 있다. 이 실시예 3과 같이, 프리차지 동작에 들어 가면 즉시 전송 게이트를 신호 PHITL을 천이시켜 비도통 상태로 제어하여 고속으로 비트선 이퀄라이즈를 행함으로써, 다음 사이클에서의 사용의 준비를 행해 두고 싶은 센스 앰프(22nm)의 이퀄라이즈가, 저속이 되기 쉬운 셀 어레이 블럭 내의 비트선 이퀄라이즈의 영향을 받기 어렵게 하는 것이 가능해진다.

이상 설명한 바와 같이, 이 실시예 3에 의하면, 비트선 이퀄라이즈 회로(242, 243)를 각 셀 어레이 블럭(21n, 21m)에도 분산적으로 배치하고, 센스 앰프(23nm)와 셀 어레이 블럭 사이의 전송 게이트를 상기 프리차지 시에 즉시 비도통 제어로 하고, 센스 앰프(23nm)의 비트선쌍을 셀 어레이 블럭에서의 비트선쌍에 이퀄라이즈를 선행시켜 행함으로써, 인접하는 셀 어레이 블럭 사이에 연속하여 액세스가 발생한 경우, 고속 액세스 및 고속 사이클이 실현될 수 있다.

이 실시예에서는, 각각 NMOS 트랜지스터 Q21~Q23, Q31~Q33으로 이루어지는 비트선 이퀄라이즈 회로(242, 243)를 설치하고 있기 때문에, 이들 점유 면적분 칩 사이즈가 커진다. 그러나, 비트선 이퀄라이즈 회로(242)를 구성하는 NMOS 트랜지스터 Q21~Q23은, NMOS 트랜지스터 Q1, Q2와 동일한 웰에 형성할 수 있어, 마찬가지로 비트선 이퀄라이즈 회로(243)를 구성하는 NMOS 트랜지스터 Q31~Q33은, NMOS 트랜지스터 Q3, Q4와 동일한 웰에 형성할 수 있다. 따라서 대폭적인 면적 증대는 없다.

#### [실시예 4]

실시예 4는, 실시예 3의 변형이다. 실시예 4에 있어서도, 도 11의 코어 회로 구성이 이용된다. 실시예 4의 동작 타이밍을 도 13에 도시한다. 도 12의 동작 타이밍과 다른 점은, 전송 게이트(23L, 23R)의 제어법에 있다. 즉, 도 11의 코어 회로에서는 센스 앰프(22nm)뿐만 아니라, 각 셀 어레이 블럭(21n, 21m) 내에도 이퀄라이즈 회로(242, 243)가 배치되어 있다. 그래서 도 13의 동작에 있어서는, 서브셀블럭(21n) 측의 이퀄라이즈 제어 신호 EQLn이 활성화인 동안에는, 전송 게이트 제어 신호 PHITL을 비활성으로 유지한다. 마찬가지로, 서브 셀 블럭(21m) 측의 이퀄라이즈 제어 신호 EQLm이 활성화인 동안에는, 전송 게이트 제어 신호 PHITR을 비활성으로 유지한다.

이와 같이, 전송 게이트(23L, 23R)를 통상 비도통 상태로 하여, 각 셀 어레이 블럭과 센스 앰프를 전기적으로 비접속으로 하여도, 비트선 이퀄라이즈 회로가 활성화이면 비트선쌍이 전기적으로 플로우팅 상태로는 되지 않고, DRAM 동작에 대해서는 지장은 없다.

이 수법의 채용에 의해, 전송 게이트 제어 신호 PHITL, PHITR의 천이 횟수를 적게 할 수 있어, 이 제어 신호선의 총방전에 따른 소비 전력을 저감하는 것이 가능해진다. 전송 게이트의 제어법 이외의 동작은, 실시예 3과 마찬가지로이므로 상세한 동작 설명은 생략한다.

이 실시예에 의하면, 필요 없는 총방전 동작을 회피함으로써 소비 전력 삭감이 도모된다.

이상, 본 발명의 실시예를 설명하였지만, 본 발명은 상술한 각 실시예에 한정되는 것이 아니라, 그 주지를 일탈하지 않는 범위에서 여러가지로 변형하여 실시할 수 있다. 또한, 특히 SDRAM을 중심으로 설명하여 왔지만, 본 발명은 SDRAM에 한하지 않고, 공유 센스 앰프 방식을 채용한 통상의 DRAM, FRAM, PROM 등, 다른 반도체 메모리에 마찬가지로 적용 가능하다.

### 발명의 효과

이상 진술한 바와 같이 본 발명에 따르면, 종래의 범용 DRAM에 대해 레지터 회로 등을 부가하지 않고,

캐시 미스 시에 발생하는 MPU의 웨이트 사이클(weight cycle)을 가능한 한 작게 하는 것이 가능한 고속 사이클 타임의 DRAM 등의 반도체 메모리 시스템을 실현할 수 있다. 특히, 액세스되는 메모리 셀이 배치된 셀 어레이 블록의 순서에 따라, 액세스의 사이클 시간이 다르다고 하는 시간 제약을 도입함으로써, 레지스터 회로 등의 도입이 불필요해진다. 이에 따라, 칩 사이즈에 대한 오버헤드가 억제 가능해지고, 성능과 비용을 양립 가능한 부가 가치가 높은 DRAM을 제공할 수 있다.

또한, 반도체 메모리가 공유 센스 앰프 회로 방식을 도입한 구성을 갖는 경우에, 인접하는 2개의 셀 어레이 블록 사이에서 연속적으로 액세스되는 경우에는, 선행하여 액세스되는 셀 어레이 블록의 프리차지 동작과 이것에 계속해서 액세스되는 셀 어레이 블록의 워드선 활성화를 병행하여 행하는 인터리브 동작을 적용함으로써, 액세스 시간 제약을 고속화하는 것이 가능해진다. 이에 따라, 주로 비용 중시의 관점으로부터 공유 센스 앰프 방식을 채용한 경우에도, 속도적인 제약을 경감하는 것이 가능해져서, 성능과 비용의 양립이 한층 더 실현된다.

### (57) 청구의 범위

#### 청구항 1

복수의 비트선쌍과 복수의 워드선의 각 교차부에 메모리 셀이 배열된 메모리 셀 어레이, 상기 메모리 셀 어레이의 메모리 셀 선택을 행하는 디코더 회로, 및 상기 메모리 셀 어레이의 메모리 셀 데이터를 판독하는 센스 앰프 회로를 갖는 반도체 메모리, 및

상기 반도체 메모리에 대해 연속하여 액세스할 때에 연속하여 액세스되는 어드레스의 순서에 따라서 사이클 타임을 변화시키기 위한 제어를 행하는 제어 장치를

를 구비한 것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 2

제1항에 있어서,

상기 반도체 메모리의 메모리 셀 어레이는 복수의 셀 어레이 블록으로 분할되고,

상기 제어 장치는 상기 메모리 셀 어레이의 하나의 셀 어레이 블록 내를 연속 액세스할 때에 제1 사이클 타임을 갖는 제1 동작 모드에 의해 액세스 제어를 행하고, 상기 메모리 셀 어레이의 이산적인 셀 어레이 블록 사이를 연속 액세스할 때에 상기 제1 사이클 타임보다 짧은 제2 사이클 타임을 갖는 제2 동작 모드에 의해 액세스 제어를 행하는

것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 3

제2항에 있어서, 상기 제어 장치는 상기 메모리 셀 어레이의 인접하는 셀 어레이 블록 사이를 연속 액세스할 때에 상기 제1 동작 모드와 제2 동작 모드의 중간에 제3 사이클 타임을 갖는 제3 동작 모드에 의해 액세스 제어를 행하는 것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 4

제3항에 있어서, 상기 반도체 메모리는 외부 클럭에 의해 동기 제어되는 동기형 반도체 메모리인 것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 5

제3항에 있어서, 상기 반도체 메모리의 메모리 셀 어레이는 인접하는 셀 어레이 블록이 센스 앰프(sense amp)열을 공유하는 것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 6

제3항에 있어서, 상기 반도체 메모리의 메모리 셀 어레이는 인접하는 셀 어레이 블록이 비트선 이퀄라이즈 회로를 내장한 센스 앰프열을 공유하고,

또한 상기 반도체 메모리에 있어서 상기 제3 동작 모드가 설정될 때, 선행하여 액세스되는 셀 어레이 블록의 비트선 이퀄라이즈 동작과 다음에 액세스되는 셀 어레이 블록의 워드선 활성화 동작이 일부 병진하는 것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 7

제3항에 있어서, 상기 반도체 메모리의 메모리 셀 어레이는 인접하는 셀 어레이 블록이 비트선 이퀄라이즈 회로를 내장한 센스 앰프열을 공유함과 동시에, 공유되는 센스 앰프열과 각 셀 어레이 블록의 사이에 배치되어 선택적으로 도통 제어되는 전송 게이트를 갖고,

또한 상기 반도체 메모리에 있어서 상기 제3 동작 모드가 설정될 때, 상기 전송 게이트의 도통 제어에 의해 선행하여 액세스되는 셀 어레이 블록의 비트선 이퀄라이즈 동작과 다음에 액세스되는 셀 어레이 블록의 워드선 활성화 동작이 일부 병진하는 것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 8

제7항에 있어서, 상기 반도체 메모리의 메모리 셀 어레이는 인접하는 셀 어레이 블록이 센스 앰프열을 공유하고, 공유되는 센스 앰프열과 각 셀 어레이 블록의 사이에 배치되어 선택적으로 도통 제어되는 전



송 게이트를 갖고,

또한 상기 센스 앰프열 내 및 각셀 어레이 블록 내에 각각 배치된 비트선 이퀄라이즈 회로를 갖는 것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 9

제8항에 있어서, 상기 반도체 메모리에 있어서 상기 제3 동작 모드가 설정될 때, 각 셀 어레이 블록 내의 비트선 이퀄라이즈 회로에 의해, 인접하는 셀 어레이 블록의 한쪽의 워드선 활성화가 행해지고 있는 동안, 다른쪽의 비트선 이퀄라이즈 동작이 행해지는 것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 10

제9항에 있어서, 상기 셀 어레이 블록 내의 비트선 이퀄라이즈 동작이 행해지고 있는 동안, 상기 셀 어레이 블록과 센스 앰프열 사이의 전송 게이트는 비도통 제어되는 것을 특징으로 하는 반도체 메모리 시스템.

#### 청구항 11

복수의 비트선 쌍과 복수의 워드선의 교차부에 메모리 셀이 배열된 메모리 셀 어레이, 상기 메모리 셀 어레이의 메모리 셀 선택을 행하는 디코더 회로, 및 메모리 셀 어레이의 메모리 셀 데이터를 판독하는 센스 앰프 회로를 갖는 반도체 메모리를 액세스 제어하는 방법에 있어서,

상기 메모리 셀 어레이에 대해 연속 액세스할 때에 어드레스의 순서에 따라서 사이클 타임이 다른 복수의 동작 모드를 설정하는 것을 특징으로 하는 반도체 메모리의 액세스 제어 방법.

#### 청구항 12

제11항에 있어서,

상기 반도체 메모리의 메모리 셀 어레이는 복수의 셀 어레이 블록으로 분할되고,

상기 메모리 셀 어레이 중 하나의 셀 어레이 블록 내를 연속 액세스할 때에 제1 사이클 타임을 갖고 액세스 제어를 행하며, 상기 메모리 셀 어레이의 셀 어레이 블록 사이를 연속 액세스할 때에 상기 제1 사이클 타임보다 짧은 제2 사이클 타임을 갖고 액세스 제어를 행하는

것을 특징으로 하는 반도체 메모리의 액세스 제어 방법.

#### 청구항 13

제12항에 있어서, 상기 메모리 셀 어레이의 인접하는 셀 어레이 블록 사이를 연속 액세스할 때에 상기 제1 사이클 타임과 제2 사이클 타임의 중간의 제3 사이클 타임을 갖고 액세스 제어를 행하는 것을 특징으로 하는 반도체 메모리의 액세스 제어 방법.

#### 청구항 14

복수의 비트선쌍과 복수의 워드선의 교차부에 메모리 셀이 배열된 메모리 셀 어레이와,

상기 메모리 셀 어레이의 메모리 셀 선택을 행하는 디코더 회로와,

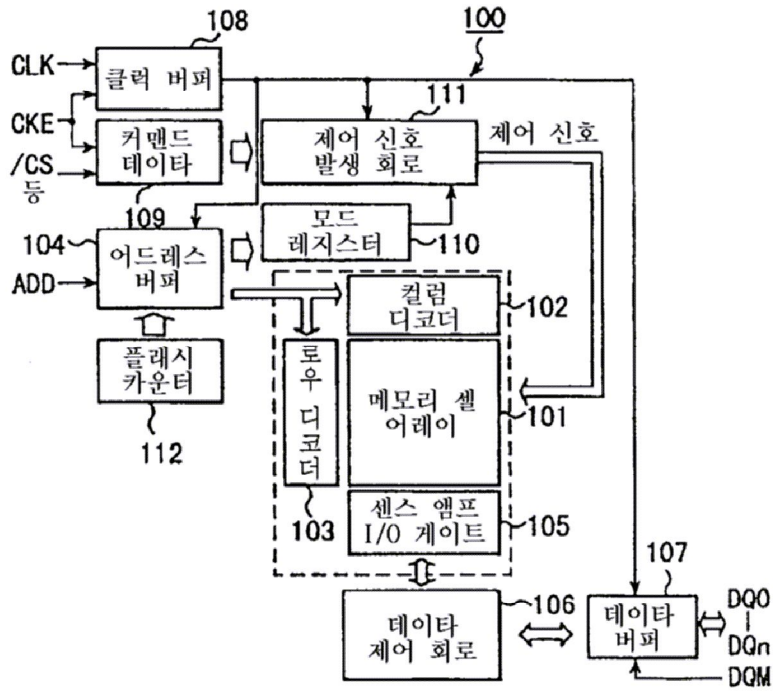
상기 메모리 셀 어레이의 메모리 셀 데이터를 판독하는 센스 앰프 회로를 갖고,

상기 메모리 셀 어레이에 대해 연속 액세스할 때에 어드레스의 순서에 따라서 사이클 타임이 다른 복수의 동작 모드가 설정되는

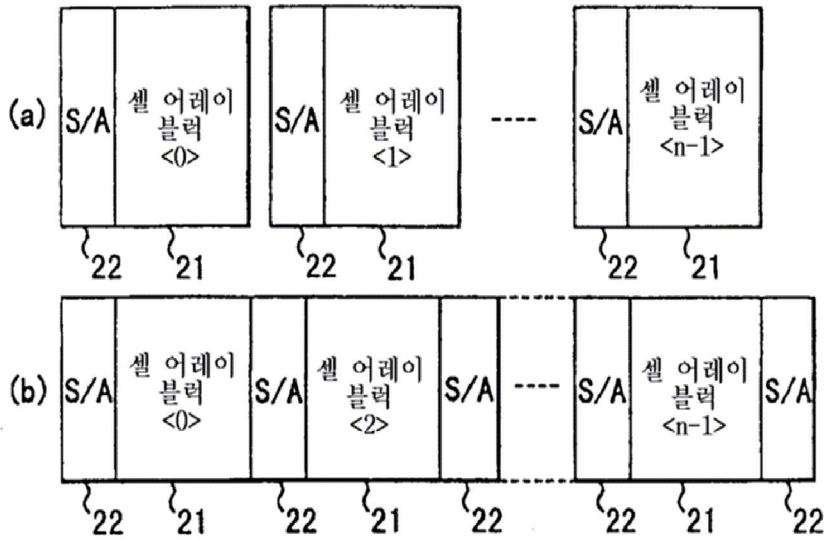
것을 특징으로 하는 반도체 메모리.

**도면**

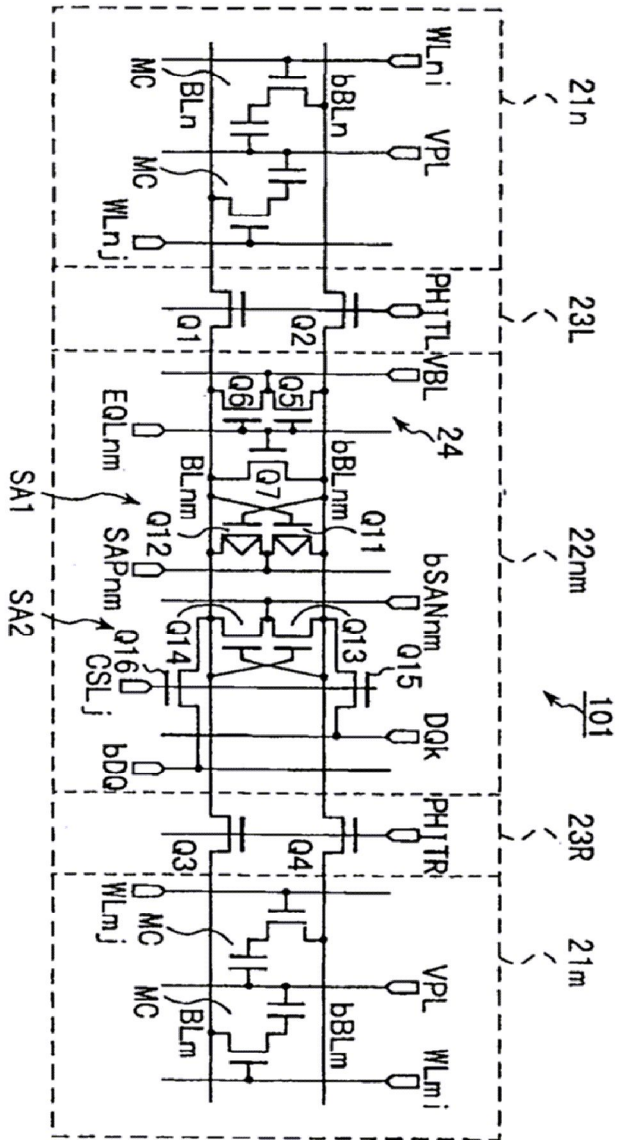
도면1



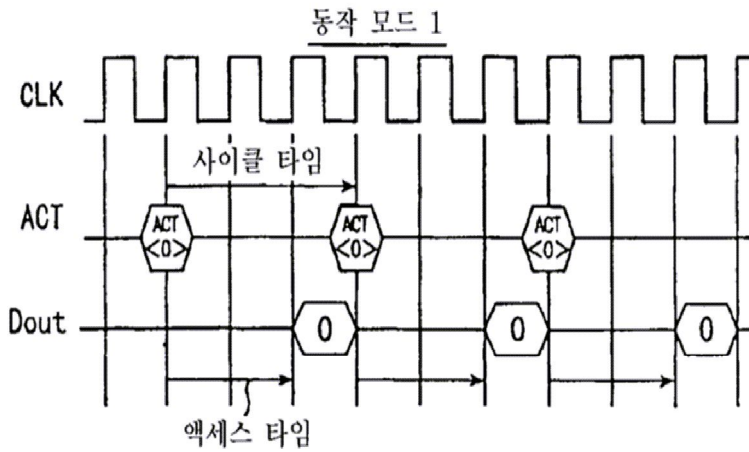
도면2



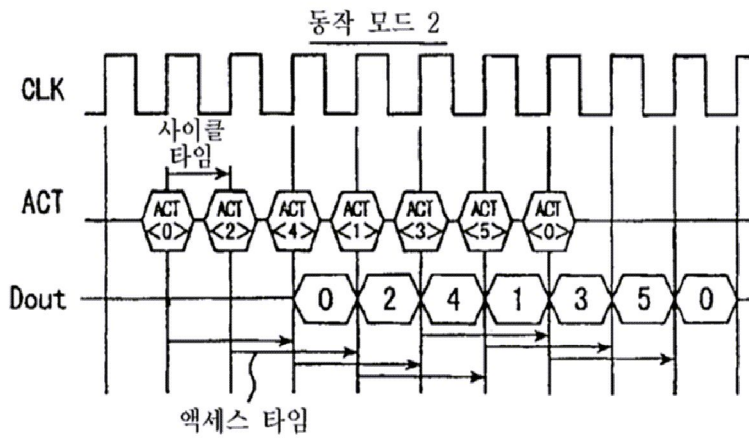
도면3



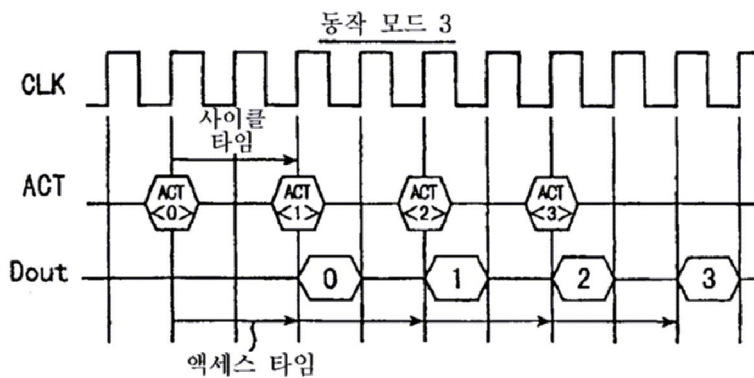
도면4



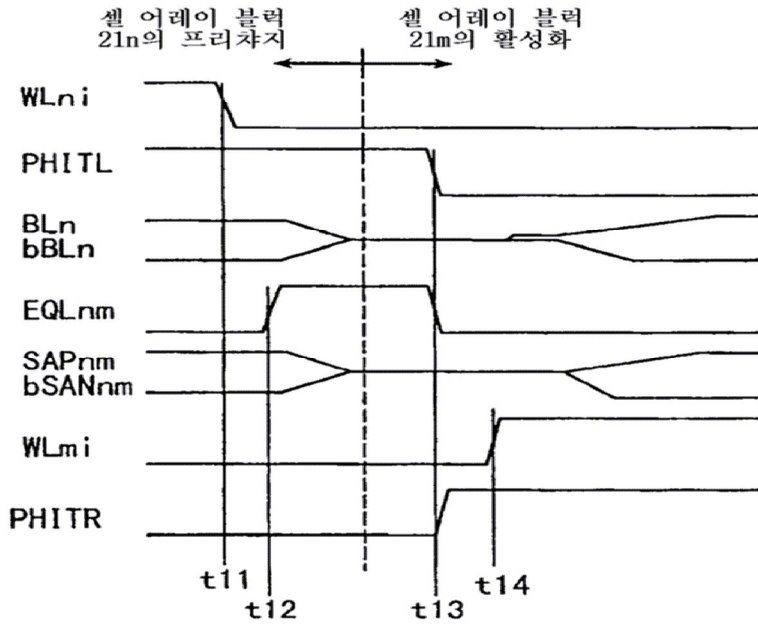
도면5



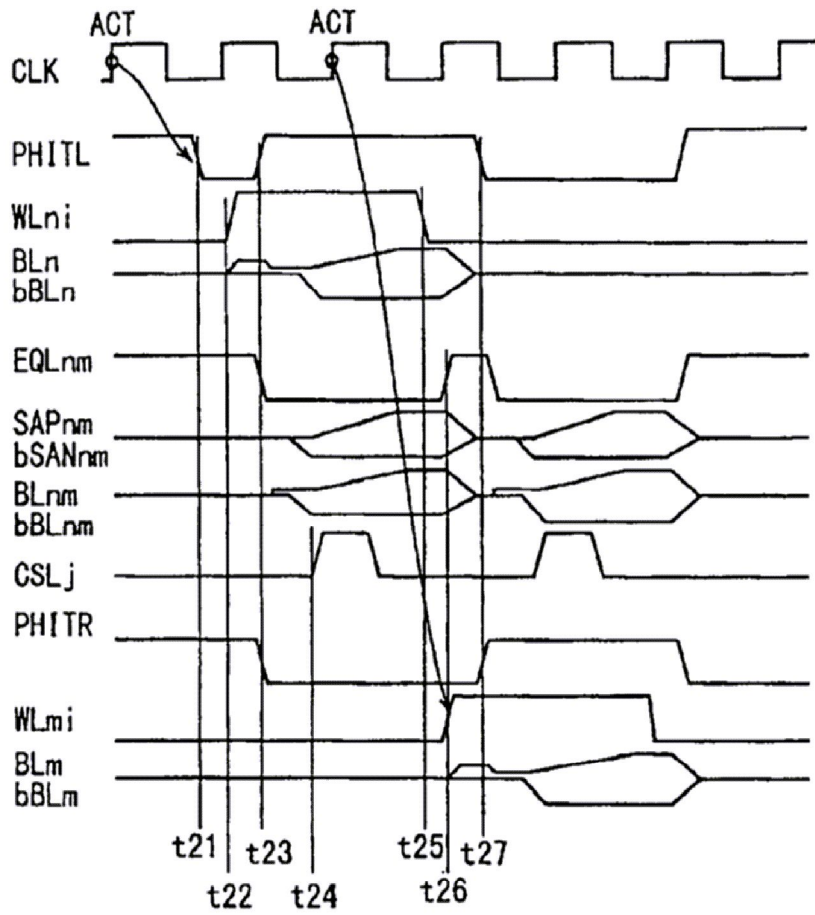
도면6



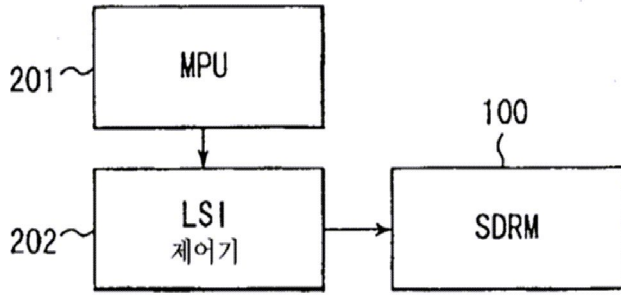
도면7



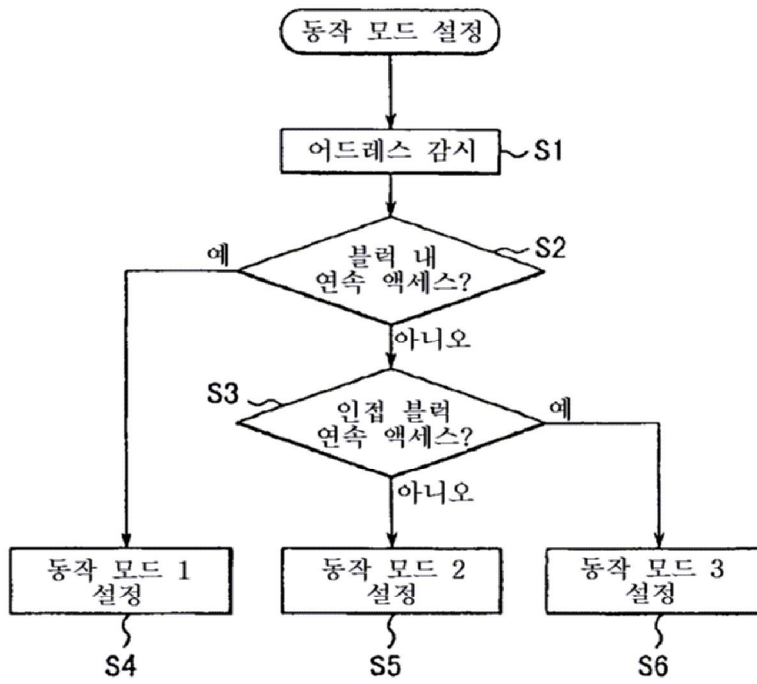
도면8



도면9

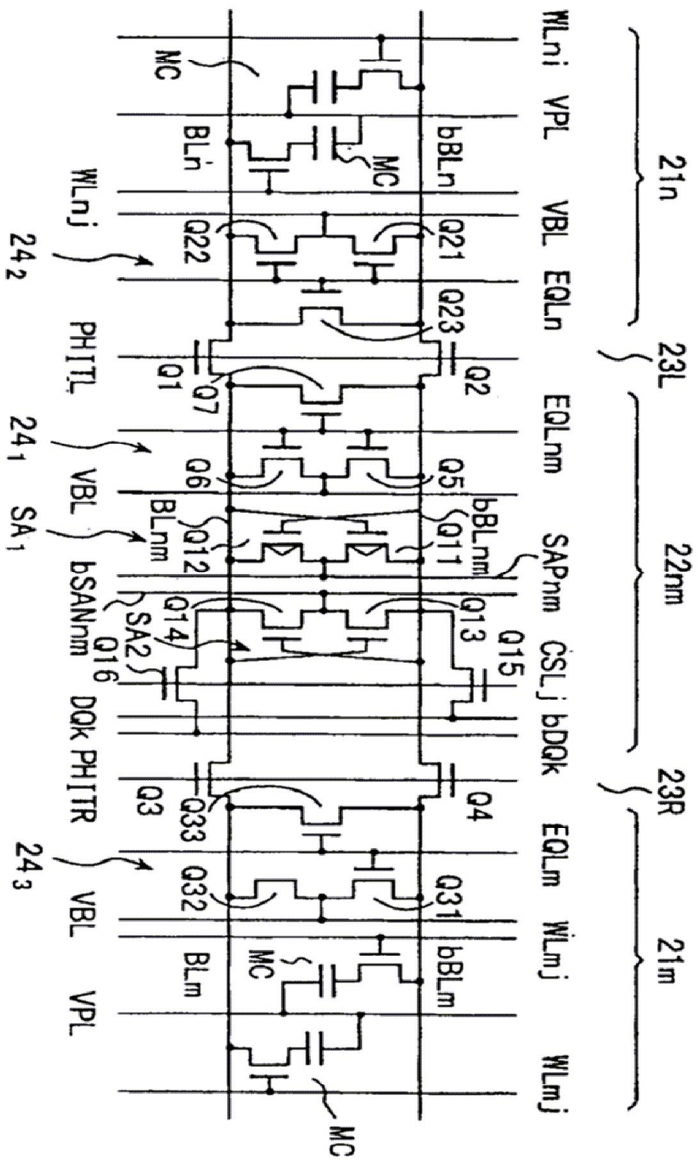


도면10

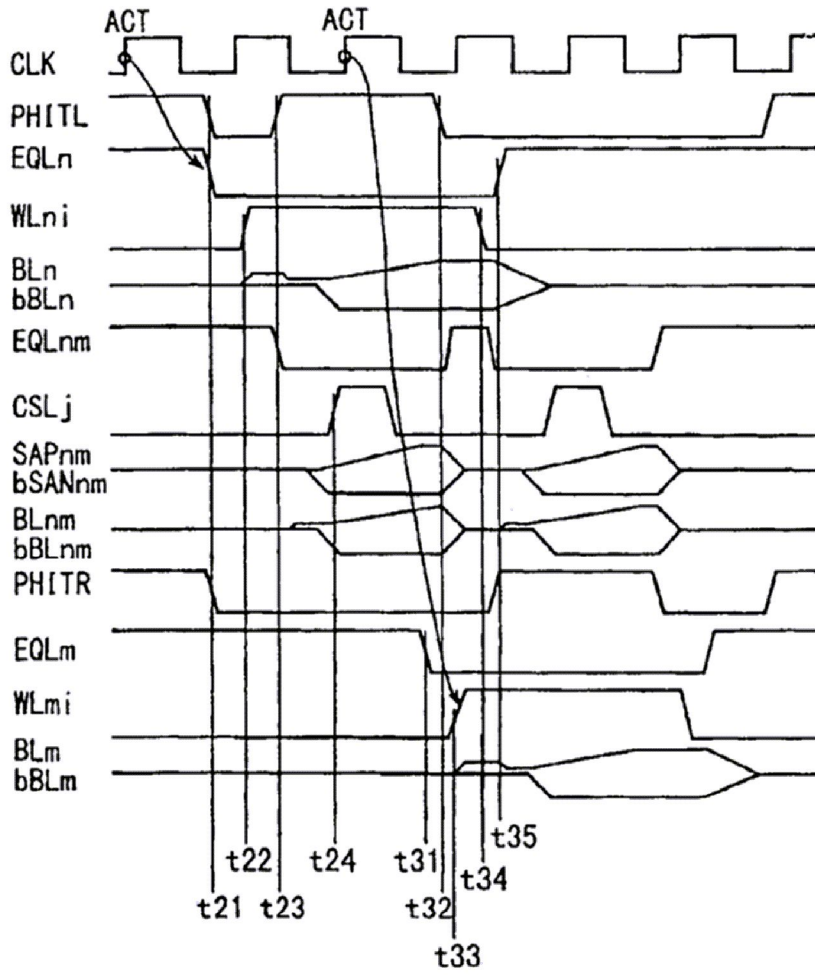




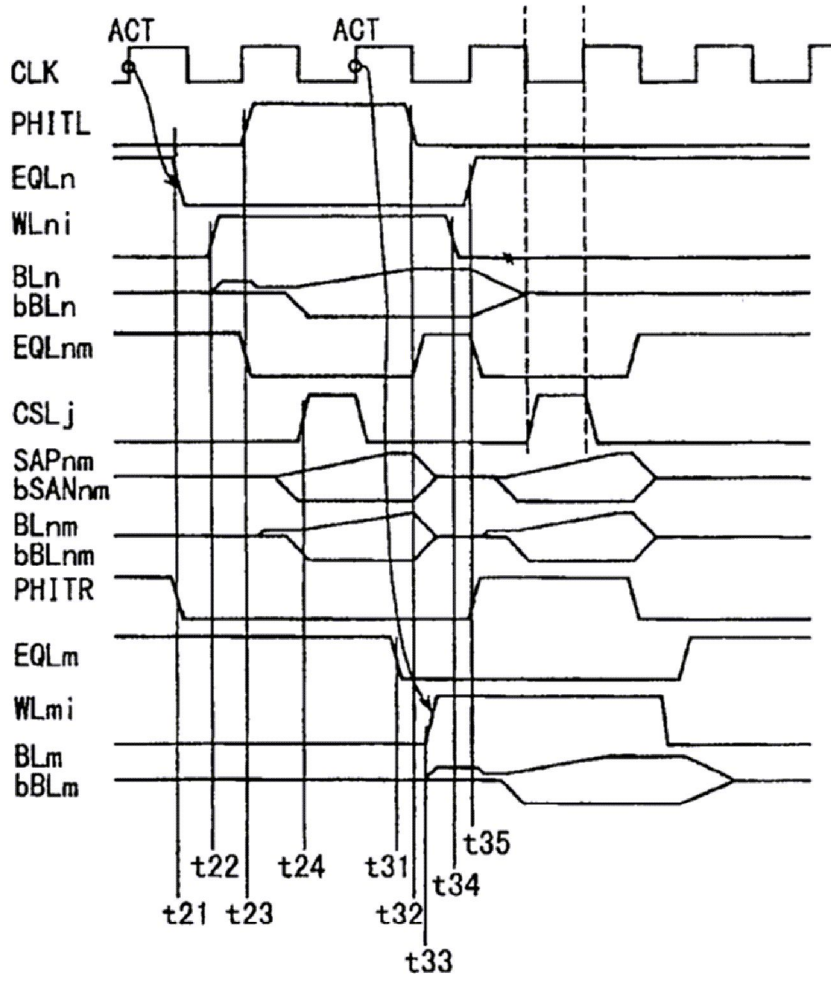
11면도



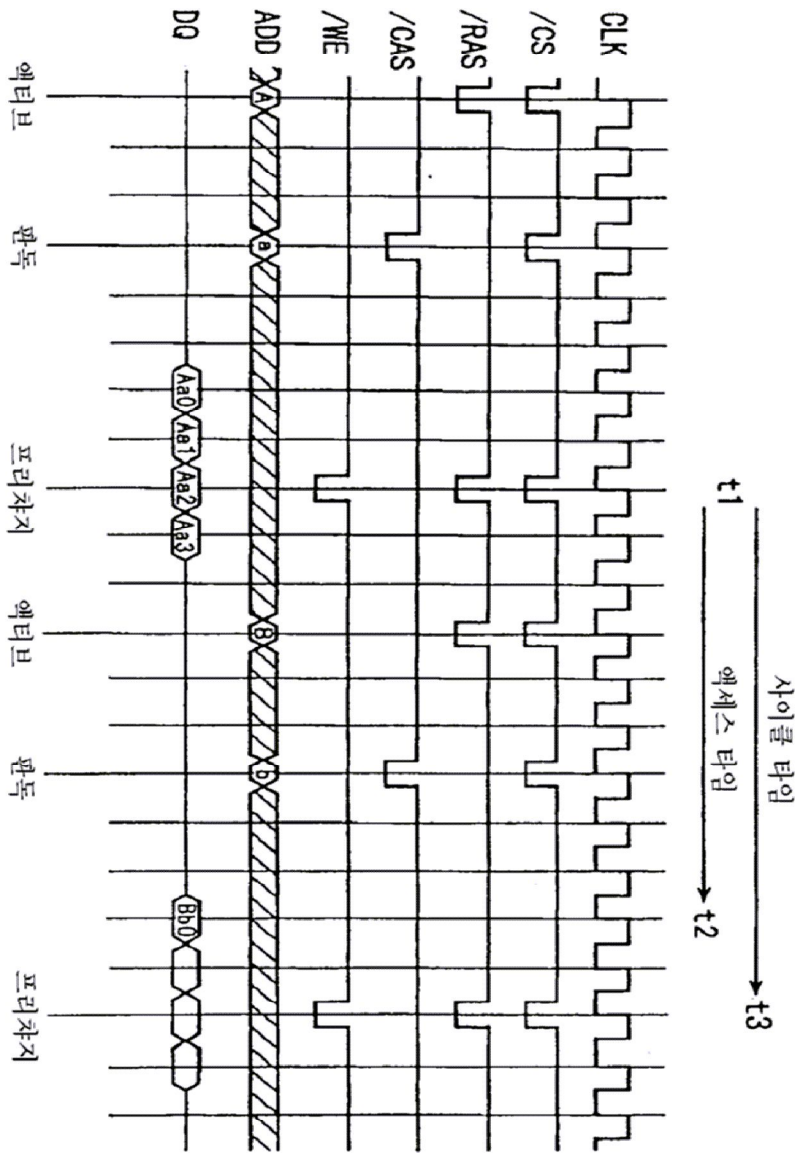
도면 12



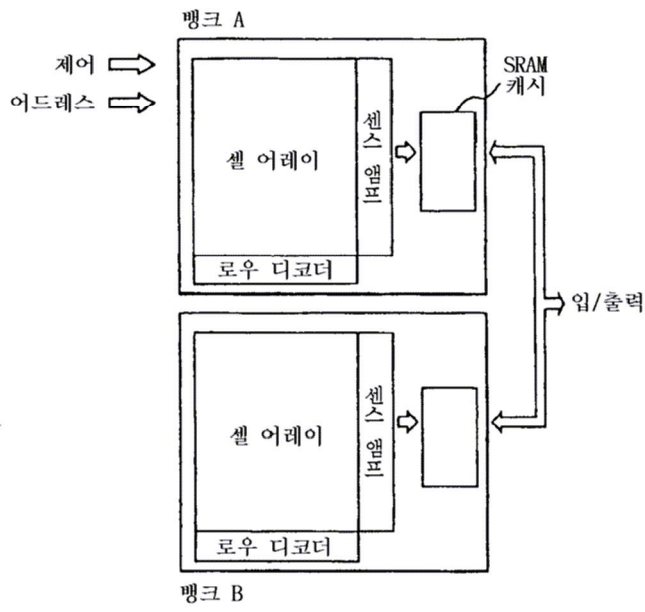
도면 13



도면 14



도면 15



도면 16

