



(12) 发明专利

(10) 授权公告号 CN 102246310 B

(45) 授权公告日 2013. 11. 06

(21) 申请号 200980150030. 8

(74) 专利代理机构 上海专利商标事务所有限公司 31100

(22) 申请日 2009. 11. 17

代理人 侯颖娉

(30) 优先权数据

2008-316196 2008. 12. 11 JP

2009-128675 2009. 05. 28 JP

(51) Int. Cl.

H01L 29/786 (2006. 01)

(85) PCT申请进入国家阶段日

2011. 06. 09

审查员 张慧明

(86) PCT申请的申请数据

PCT/JP2009/069752 2009. 11. 17

(87) PCT申请的公布数据

W02010/067698 EN 2010. 06. 17

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 乡户宏充 小林聪 宫入秀和

伊佐敏行 山崎舜平

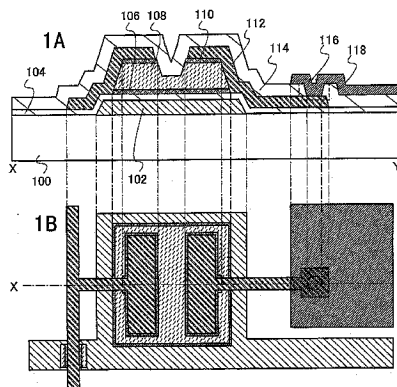
权利要求书2页 说明书21页 附图24页

(54) 发明名称

薄膜晶体管及显示装置

(57) 摘要

减少利用栅电极对半导体层进行遮光的底栅型薄膜晶体管的截止电流。一种薄膜晶体管包括：栅电极层；第一半导体层；设置在所述第一半导体层上并与其接触的第二半导体层；在所述栅电极层和所述第一半导体层之间并与它们接触的栅极绝缘层；接触于所述第二半导体层的杂质半导体层；以及部分地接触于所述杂质半导体层和所述第一及第二半导体层的源电极层及漏电极层。由所述栅电极层覆盖所述第一半导体层在栅电极层一侧上的整个表面，并且所述第一半导体层和所述源电极层及漏电极层接触的部分的势垒为0.5eV以上。



1. 一种薄膜晶体管,包括:

栅电极层;

第一半导体层;

设置在所述第一半导体层上并与所述第一半导体层相接触的第二半导体层,其中,所述第二半导体层的载流子迁移率低于所述第一半导体层的载流子迁移率;

设置在所述栅电极层和所述第一半导体层之间并与它们相接触的栅极绝缘层;

设置为接触于所述第二半导体层的一对杂质半导体层;

设置为部分接触于所述杂质半导体层中的一个、所述第一半导体层以及所述第二半导体层的源电极层;以及

设置为部分接触于所述杂质半导体层中的另一个、所述第一半导体层以及所述第二半导体层的漏电极层,

其中,所述第一半导体层在所述栅电极层上的整个表面重叠于所述栅电极层,

其中,用于所述源电极层及所述漏电极层的至少一部分的材料包括以下中的至少一种:钪、锆、包含稀土元素的钛、包含钪和锆中一个或两个的钛,且

其中,所述第一半导体层和所述源电极层或所述漏电极层相接触的部分的势垒大于等于 0.5eV。

2. 根据权利要求 1 所述的薄膜晶体管,其特征在于,所述第二半导体层的禁带宽度大于与所述源电极层及所述漏电极层相接触的所述第一半导体层的禁带宽度。

3. 根据权利要求 1 所述的薄膜晶体管,

其特征在于,所述第一半导体层包括结晶性半导体,且所述第二半导体层包括非晶半导体。

4. 根据权利要求 3 所述的薄膜晶体管,

其特征在于,所述第一半导体层使用微晶半导体来形成,且该微晶半导体包括晶粒尺寸大于等于 2nm 且小于等于 200nm 的晶粒。

5. 根据权利要求 4 所述的薄膜晶体管,其特征在于,所述第二半导体层包括所述非晶半导体和微小半导体晶粒。

6. 根据权利要求 5 所述的薄膜晶体管,其特征在于,所述非晶半导体包括 NH 基。

7. 根据权利要求 1 所述的薄膜晶体管,其特征在于,将从所述栅极绝缘层和所述第一半导体层之间的界面到所述第二半导体层的凸部的头端的距离设定为大于等于 3nm 且小于等于 80nm。

8. 根据权利要求 1 所述的薄膜晶体管,其特征在于,所述杂质半导体层使用结晶性半导体形成。

9. 一种薄膜晶体管,包括:

栅电极层;

第一半导体层;

设置在所述第一半导体层上并与所述第一半导体层相接触的第二半导体层,其中,所述第二半导体层的载流子迁移率低于所述第一半导体层的载流子迁移率;

设置在所述栅电极层和所述第一半导体层之间并与它们相接触的栅极绝缘层;

设置为接触于所述第二半导体层的一对杂质半导体层;

设置为部分接触于所述杂质半导体层中的一个、所述第一半导体层以及所述第二半导体层的源电极层；以及

设置为部分接触于所述杂质半导体层中的另一个、所述第一半导体层以及所述第二半导体层的漏电极层，

其中，所述第一半导体层在所述栅电极层上的整个表面重叠于所述栅电极层，

其中，用于所述源电极层及所述漏电极层的至少一部分的材料包括以下中的至少一种：钪、锆、包含稀土元素的钛、包含钪和锆中一个或两个的钛，且

其中，用于形成所述源电极层及所述漏电极层的材料的功函数为 ϕ ，真空能级和所述第一半导体层的迁移率边缘的底部之间的差异为 x ，所述第一半导体层的禁带宽度为 E_g ，并且 $E_g + x - \phi$ 大于等于 0.5eV。

10. 根据权利要求 9 所述的薄膜晶体管，其特征在于，所述第二半导体层的禁带宽度大于与所述源电极层及所述漏电极层相接触的所述第一半导体层的禁带宽度。

11. 根据权利要求 9 所述的薄膜晶体管，其特征在于，所述第一半导体层包括结晶性半导体，且所述第二半导体层包括非晶半导体。

12. 根据权利要求 11 所述的薄膜晶体管，其特征在于，所述第一半导体层通过使用微晶半导体而形成，该微晶半导体包括晶粒尺寸大于等于 2nm 且小于等于 200nm 的晶粒。

13. 根据权利要求 12 所述的薄膜晶体管，其特征在于，所述第二半导体层包括所述非晶半导体和微小半导体晶粒。

14. 根据权利要求 13 所述的薄膜晶体管，其特征在于，所述非晶半导体包括 NH 基。

15. 根据权利要求 9 所述的薄膜晶体管，其特征在于，将从所述栅极绝缘层和所述第一半导体层之间的界面到所述第二半导体层的凸部的头端的距离设定为大于等于 3nm 且小于等于 80nm。

16. 根据权利要求 9 所述的薄膜晶体管，其特征在于，所述杂质半导体层使用结晶性半导体形成。

薄膜晶体管及显示装置

技术领域

[0001] 本发明涉及一种薄膜晶体管及显示装置。

背景技术

[0002] 近年来,在具有绝缘表面的衬底(例如,玻璃衬底)上包括半导体薄膜(厚度近似为几 nm 至几百 nm 左右)的薄膜晶体管受到注目。薄膜晶体管已被广泛地应用于 IC(集成电路)及电光装置那样的电子设备。尤其,正在加快开发作为以液晶显示装置等为代表的图像显示装置的开关元件的薄膜晶体管。在诸如液晶显示装置之类的图像显示装置中,利用非晶半导体膜或多晶半导体膜的薄膜晶体管被主要用作开关元件。进一步地,使用微晶半导体膜的薄膜晶体管已是众所周知(例如,专利文献 1)。

[0003] 当栅极电压变化时流过源极和漏极之间的电流的变化量越大,薄膜晶体的性能越优越。用来表示当栅极电压变化时流过源极和漏极之间的电流的变化量,亚阈值已被广泛地知道。

[0004] 另外,在薄膜晶体管中,需要减少光漏电流的量。光漏电流是指:当通过对薄膜晶体管的半导体层照射光而在该半导体层中引起光伏效应时产生的电流,该电流流过源极和漏极之间。因此,对于将薄膜晶体管的半导体层进行遮光的技术已经进行了很多研究(例如,专利文献 2 及专利文献 3)。

[0005] (参考)

[0006] (专利文献)

[0007] [专利文献 1] 美国专利第 4409134 号

[0008] [专利文献 2] 日本已公开专利申请第 H10-20298 号

[0009] [专利文献 3] 日本已公开专利申请第 H7-122754 号

发明内容

[0010] 例如,在应用于显示装置的薄膜晶体管中,通过光对半导体层进行照射,产生光漏电流。当产生光漏电流时,例如,显示装置的对比率会降低,这会使显示品质降低。为了抑制这种光漏电流,较佳地对半导体层进行遮光。例如,在光入射的一侧设置栅电极以重叠于所述半导体层。

[0011] 但是,例如,在将非晶半导体层层叠于微晶半导体层上且栅电极重叠于这些半导体层的薄膜晶体管中,截止电流有增大的趋势。特别地,在 $V_{gs} < 0$ 的情况下,随着栅极电压的降低,截止电流就显著地增大,换言之,截止电流发生明显的跳升。

[0012] 鉴于上述问题,本发明的目的在于提供一种即使在利用栅电极对半导体层进行遮光的情况下截止电流也不会明显跳升的薄膜晶体管。

[0013] 本发明的一个实施例是一种底栅型薄膜晶体管,其包括在载流子迁移率高的半导体层上层叠有载流子迁移率低的半导体层的半导体层。用栅电极对该半导体层的整个表面进行遮光,并且在载流子迁移率高的半导体层与漏电极彼此接触的部分处的势垒是高的。

具体而言,使用功函数低的材料形成在上述部分处的漏电极。

[0014] 本发明的一个实施例是一种薄膜晶体管,其包括:栅电极层;第一半导体层;载流子迁移率低于所述第一半导体层的第二半导体层,该第二半导体层设置在所述第一半导体层上并与该第一半导体层接触;设置在所述栅电极层和所述第一半导体层之间并与该栅电极层和第一半导体层相接触的栅极绝缘层;设置为接触于所述第二半导体层的杂质半导体层;以及设置为部分地接触于所述杂质半导体层和所述第一及第二半导体层的源电极层及漏电极层,其中所述第一半导体层在栅电极层一侧上的整个表面重叠于所述栅电极层;并且其中所述第一半导体层与所述源电极层及漏电极层相接触的部分的势垒大于等于 0.5eV。

[0015] 本发明的另一个实施例是一种薄膜晶体管,其包括:栅电极层;第一半导体层;载流子迁移率低于所述第一半导体层的第二半导体层,该第二半导体层设置在所述第一半导体层上并与该第一半导体层相接触;设置在所述栅电极层和所述第一半导体层之间并与该栅电极层和第一半导体层相接触的栅极绝缘层;设置为接触于所述第二半导体层的杂质半导体层;以及设置为部分地接触于所述杂质半导体层和所述第一及第二半导体层的源电极层及漏电极层,其中所述第一半导体层在栅电极层一侧上的整个表面重叠于所述栅电极层,并且其中形成所述源电极层及所述漏电极层的材料的功函数为 ϕ ,所述第一半导体层的电子亲和势(真空能级和所述第一半导体层的迁移率边缘的底部之间的差异)为 x ,所述第一半导体层的禁带宽度为 E_g ,并且 $E_g + x - \phi$ 大于等于 0.5eV。

[0016] 在具有上述结构的薄膜晶体管中,优选利用所述栅电极层对所述第一半导体层进行遮光。因此,栅电极层优选使用遮光材料形成。

[0017] 在具有上述结构的薄膜晶体管中,所述第二半导体层的禁带宽度优选为大于所述源电极层及漏电极层所接触的所述第一半导体层的禁带宽度。这是因为如下缘故:当将第二半导体层的禁带宽度设定为大于第一半导体层的禁带宽度时,只需要至少考虑第一半导体层的势垒。

[0018] 在具有上述结构的薄膜晶体管中,所述第一半导体层包括结晶性半导体,并且所述第二半导体层包括非晶半导体。

[0019] 在底栅型薄膜晶体管中,通过在第一半导体层上设置第二半导体层,当所述晶体管导通时电流主要流过第一半导体层,而在所述晶体管截止时电流主要流过第二半导体层。因此,通过使用载流子迁移率高的半导体形成第一半导体层,并且使用载流子迁移率低的半导体形成第二半导体层,由此可以得到导通电流大且截止电流小(即,开/关比高)的薄膜晶体管。另外,使栅电极层重叠于所述半导体层,从而可对所述半导体层进行遮光,且可以减少光漏电流。换言之,通过采用本发明一个实施例的薄膜晶体管的结构,可以得到光漏电流小且开/关比高的薄膜晶体管。

[0020] 通过将光漏电流小且开/关比高的薄膜晶体管应用于显示装置,该显示装置可具有高对比度和低功耗。

附图说明

[0021] 图 1A 和 1B 用于说明薄膜晶体管结构的一个例子。

[0022] 图 2A 和 2B 用于说明薄膜晶体管结构的一个例子。

- [0023] 图 3A 和 3B 示出薄膜晶体管的电特性。
- [0024] 图 4A 和 4B 分别用于说明薄膜晶体管结构的一个例子。
- [0025] 图 5A 和 5B 分别用于说明薄膜晶体管中截止电流的路径。
- [0026] 图 6 用于说明能带结构。
- [0027] 图 7A 和 7B 示出薄膜晶体管的电特性。
- [0028] 图 8 示出薄膜晶体管的电特性。
- [0029] 图 9A 和 9B 示出薄膜晶体管的电特性。
- [0030] 图 10A 和 10B 示出薄膜晶体管的电特性。
- [0031] 图 11A 和 11B 示出薄膜晶体管的电特性。
- [0032] 图 12A 至 12C 用于说明薄膜晶体管的制造方法。
- [0033] 图 13 用于说明薄膜晶体管的制造方法。
- [0034] 图 14A 至 14C 用于说明薄膜晶体管的制造方法。
- [0035] 图 15A 至 15C 用于说明薄膜晶体管的制造方法。
- [0036] 图 16 是用于说明显示装置结构的框图。
- [0037] 图 17A 和 17B 是分别用于说明液晶显示面板的俯视图和截面图。
- [0038] 图 18A 和 18B 是分别用于说明发光显示面板的俯视图和截面图。
- [0039] 图 19A 至 19D 用于分别说明使用显示装置的电子设备。
- [0040] 图 20A 和 20B 用于分别说明薄膜晶体管结构的一个例子。

具体实施方式

[0041] 以下,参照附图对本发明的实施方式进行详细的说明。但是,本发明并不局限于以下的说明,而且所属本技术领域的普通技术人员容易理解:本发明的方式和细节可以在不脱离本发明的宗旨及范围的条件下以各种方式进行变换。因此,本发明不应该被解释为仅限于以下所示的实施方式的描述。需要注意的是,所有附图中使用相同的附图标记来表示相同的部分,用以参考附图对本发明的结构进行描述。此外,在一些情况下,将相同的阴影线应用于相同的部分,而不特别用附图标记来表示该相同部分。另外,在一些情况下,绝缘层并未在俯视图中示出。

[0042] 实施方式 1

[0043] 在本实施方式中,将参照附图描述根据本发明一个实施例的薄膜晶体管。

[0044] 图 1A 和 1B 用于说明本实施方式的薄膜晶体管的一个例子。

[0045] 图 1A 和 1B 所示的薄膜晶体管包括:栅电极层 102、半导体层(第一半导体层 106 及第二半导体层 108)、设置在栅电极层 102 和半导体层之间且与栅电极层 102 和半导体层相接触的栅极绝缘层 104、接触于半导体层进行设置的杂质半导体层 110、部分接触于杂质半导体层 110 及半导体层进行设置的源电极层及漏电极层 112。半导体层的整个表面重叠于栅电极层 102。另外,该薄膜晶体管优选由保护层 114 覆盖。在将该薄膜晶体管用作显示装置的像素晶体管的情况下,如图 1A 和 1B 所示,可在保护层 114 中设置开口 116,并且可设置像素电极层 118 以使其通过该开口 116 连接到源电极层或漏电极层 112。注意,设置第二半导体层 108 以使其接触于第一半导体层 106,并且优选地使用载流子迁移率低于第一半导体层 106 的材料来形成第二半导体层 108。

[0046] 如图 1A 和 1B 所示,薄膜晶体管的半导体层的整个表面重叠于栅电极层 102,由此可以减少来自衬底 100 一侧的光漏电流。

[0047] 另外,在图 1A 和 1B 所示的薄膜晶体管中,以层叠第一半导体层 106 和第二半导体层 108 的方式形成半导体层。为了减少截止电流,设置第二半导体层 108。设置第二半导体层 108 以使其接触于第一半导体层 106,并且优选地使用载流子迁移率低于第一半导体层 106 的材料形成第二半导体层 108。例如,可形成结晶性半导体层作为第一半导体层 106,并且形成后面将描述到的“包含非晶半导体的层”(能够缓和电场的半导体层)作为第二半导体层 108。当薄膜晶体管导通时,电流主要流过第一半导体层 106。当薄膜晶体管截止时,电流主要流过第二半导体层 108。另外,通过形成具有后面将描述到的“包含非晶半导体的层”的第二半导体层 108,可以防止因设置第二半导体层 108 而导致的导通电流的减少。因此,当形成结晶性半导体层作为第一半导体层 106 且形成后面将描述到的“包含非晶半导体的层”作为第二半导体层 108 时,可以得到开/关比高的薄膜晶体管。注意,第二半导体层 108 不局限于“包含非晶半导体的层”,例如也可以使用非晶半导体形成第二半导体层 108。

[0048] 在此,将描述包括在薄膜晶体管中的每一个层。

[0049] 衬底 100 并不局限于使用特定材料形成的衬底,只要其具有足以承受用于形成薄膜(晶体硅等)的工序的耐热性、耐化学性等即可,该薄膜形成在衬底 100 上。具体而言,例如,可以使用玻璃衬底、石英衬底、不锈钢衬底和硅衬底。注意,在将图 1A 和 1B 所示的薄膜晶体管用于显示装置的情况下,作为衬底 100,可以使用诸如玻璃衬底或石英衬底之类的透光性衬底。当衬底 100 是样品玻璃时,所述衬底可具有从第一代(例如,320mm×400mm)至第十代(例如,2950mm×3400mm)的任何尺寸;但是,所述衬底并不局限于此。

[0050] 可以通过使用诸如钼、钛、铬、钽、钨、铝、铜、钽或钷之类的金属材料或包含任何这些材料作为主要成分的合金材料来形成栅电极层 102。栅电极层 102 可以是这些材料的单层或叠层。注意,栅电极层 102 也构成栅极布线。

[0051] 栅极绝缘层 104 可以使用氧化硅、氮化硅、氧氮化硅或氮氧化硅形成。栅极绝缘层 104 可以是上述材料的单层或叠层。当第一半导体层 106 是结晶性半导体层时,采用氧化硅层来形成至少接触于第一半导体层 106 的栅极绝缘层 104,由此可以改进第一半导体层 106 的结晶性。氧化硅层优选使用作为源气体的正硅酸乙酯($\text{TEOS}:\text{Si}(\text{OC}_2\text{H}_5)_4$)来形成。

[0052] 如上所述,第一半导体层 106 优选地使用结晶性半导体形成。结晶性半导体包括多晶半导体、微晶半导体等。优选使用不需要晶化工序的微晶半导体来形成第一半导体层 106。

[0053] 第二半导体层 108 优选地具有非晶半导体和微小半导体晶粒,且与传统的非晶半导体相比,通过恒定光电流法(CPM)或光致发光光谱测量出的 Urbach 边缘的能量较低,且缺陷吸收光谱的量较少。换言之,与传统的非晶半导体相比,这种半导体层是晶序良好的半导体层,其具有较少的缺陷,且其在价电子带中的带边缘(迁移率边缘)处的能级的尾部倾斜是陡峭的。在本说明书中将这种半导体层称为“包含非晶半导体的层”。

[0054] 注意,第二半导体层 108 不局限于上述描述,而也可以使用非晶半导体形成。第二半导体层 108 可使用至少载流子迁移率比第一半导体层 106 的载流子迁移率低材料形成。

[0055] 以下将描述第一半导体层 106 和第二半导体层 108 中每一个的优选方式。

[0056] 第一半导体层 106 优选例如使用微晶半导体形成。在此,微晶半导体是指具有在非晶体和晶体结构(包括单晶结构和多晶结果)之间的中间结构的半导体。微晶半导体是具有自由能稳定的第三状态的半导体,并且是具有短程有序和晶格畸变的结晶性的半导体,其中晶粒大小是 2nm 以上且 200nm 以下,优选是 10nm 以上且 80nm 以下,更优选是 20nm 以上且 50nm 以下的柱状晶体或针状晶体相对于衬底表面在法线方向上生长。因此,在柱状晶体或针状晶体的界面有时形成晶粒边界。

[0057] 微晶半导体之一的微晶硅所具有的拉曼光谱峰值比表示单晶硅的 520cm^{-1} 更向低波数一侧移动。即,微晶硅的拉曼光谱峰值位于表示单晶硅的 520cm^{-1} 和表示非晶硅的 480cm^{-1} 之间。另外,微晶硅包括至少 1 原子%的氢或卤族元素,用以使悬空键(dangling bond)端接(termination)。再者,微晶硅包含如氦、氩、氦或氖等的稀有气体元素,以进一步促进晶格畸变,从而能够提高稳定性并可获得良好的微晶半导体。例如,在专利文献 1(美国专利 4,409,134 号)中公开了这种微晶半导体。

[0058] 另外,当包含在第一半导体层 106 中的氧及氮浓度(利用二次离子质谱分析法测量得到的值)低于 $1 \times 10^{18}\text{atoms}/\text{cm}^3$,可以改进第一半导体层 106 的结晶性。

[0059] 第二半导体层 108 优选使用“包含非晶半导体的层”、含有卤素的“包含非晶半导体的层”、含有氮的“包含非晶半导体的层”,最好含有 NH 基的“包含非晶半导体的层”来形成。但是,第二半导体层 108 并不局限于上述材料。

[0060] 第一半导体层 106 和第二半导体层 108 之间的界面区域具有微晶半导体区域以及设置在该微晶半导体区域之间的非晶半导体。具体而言,第一半导体层 106 和第二半导体层 108 之间的界面区域包括从第一半导体层 106 以凸状延伸的微晶半导体区域和与第二半导体层 108 相似的“包含非晶半导体的层”。

[0061] 当例如使用“包含非晶半导体的层”、含有卤素的“包含非晶半导体的层”、含有氮的“包含非晶半导体的层”或含有 NH 基的“包含非晶半导体的层”来形成第二半导体层 108 时,可以降低薄膜晶体管的截止电流。另外,因为上述界面区域具有圆锥形或棱锥形的微晶半导体区域,所以可以降低纵方向(膜厚度方向)的电阻,即第二半导体层 108 和由杂质半导体层 110 形成的源区或漏区之间的电阻,由此可以提高薄膜晶体管的导通电流。

[0062] 或者,也可以采用没有第二半导体层 108 的结构。在此情况下,可将上述界面区域设置在第一半导体层 106 和杂质半导体层 110 之间。在该界面区域具有微晶半导体区域和设置在该微晶半导体区域之间的非晶半导体区域。微晶半导体区域由从第一半导体层 106 延伸的微晶半导体形成。此时,优选该界面区域中微晶半导体区域相对于非晶半导体区域所占的比率小。并且,优选在一对杂质半导体层 110 之间(源区和漏区之间),即在载流子流过的区域中,微晶半导体区域所占的比率小。这是因为可以降低薄膜晶体管的截止电流。另外,因为在上述界面区域中纵方向(膜厚度方向)的电阻低,所以可以使薄膜晶体管的导通电流变大。

[0063] 注意,当第一半导体层 106 为薄时,导通电流降低,当第一半导体层 106 为厚时,第一半导体层 106 和源电极层及漏电极层 112 的接触面积增大,并且当源电极层及漏电极层 112 具有高的功函数时,如后面所述地,截止电流增大。

[0064] 优选上述微晶半导体区域的大部分包括具有头端从栅极绝缘层 104 向第二半导

体层 108 变窄的凸状的晶粒。或者,上述微晶半导体区域的大部分也可以包括具有头端从栅极绝缘层 104 向第二半导体层 108 变宽的凸状的晶粒。

[0065] 在上述界面区域中,当微晶半导体区域包括具有头端从栅极绝缘层 104 向第二半导体层 108 变窄的凸状的晶粒时,在第一半导体层 106 一侧与在第二半导体层 108 一侧相比,微晶半导体区域所占的比率高。微晶半导体区域从第一半导体层 106 的表面沿着膜厚度方向生长。当在原料气体中氢相对于硅烷的流量比减小(即,稀释率降低)时,或者当包含氮的原料气体的浓度增加时,抑制微晶半导体区域的结晶生长,并由此晶粒变成为圆锥形或棱锥形,并且通过沉积形成的半导体的大部分成为非晶。

[0066] 另外,上述界面区域优选包括氮、特别是 NH 基。这是因为如下缘故:当在包括于微晶半导体区域中的晶体之间的界面,或微晶半导体区域和非晶半导体区域之间的界面,氮、特别是 NH 基与硅原子的悬空键结合时,减少缺陷而使载流子容易流过。因此,通过将氮,优选是 NH 基的浓度设定为 $1 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$,容易使硅原子的悬空键与氮、优选是 NH 基进行交联,从而使载流子容易流过。其结果,在晶粒边界或缺陷中形成促进载流子移动的结合,由此上述界面区域的载流子迁移率上升。因此,薄膜晶体管的场效应迁移率得到了改进。

[0067] 另外,通过降低上述界面区域的氧浓度,可以减少微晶半导体区域和非晶半导体区域之间的界面或晶粒之间的界面处的缺陷以及阻碍载流子移动的结合。

[0068] 当将从栅极绝缘层 104 的界面到第二半导体层 108 的凸部的头端的距离设定为 3nm 以上且 80nm 以下时,优选设定为 5nm 以上且 30nm 以下时,可以有效地减少薄膜晶体管的截止电流。

[0069] 杂质半导体层 110 是以使半导体层和源电极层及漏电极层 112 实现互相欧姆接触为目的而设置的层,并且可以通过使用包含赋予一种导电型的杂质元素的源气体来形成该杂质半导体层 110。在形成 n- 沟道薄膜晶体管的情况下,代表性地,可添加磷作为杂质元素;例如,可将诸如磷化氢 (PH_3) 之类的包含赋予 n 型导电型的杂质元素的气体添加进氢化硅。在形成 p- 沟道薄膜晶体管的情况下,代表性地,可添加硼作为杂质元素;例如,可将诸如乙硼烷 (B_2H_6) 之类的包含赋予 p 型导电型的杂质元素的气体添加进氢化硅。对杂质半导体层 110 的结晶性没有特别的限制。可以使用结晶性半导体或非晶半导体来形成杂质半导体层 110,但是优选使用结晶性半导体来形成。这是因为:当使用结晶性半导体来形成杂质半导体层 110 时,导通电流会增大。

[0070] 源电极层及漏电极层 112 可以由使用导电材料的单层或层叠的多个层来形成,但是如后面所描述地,需要使用具有的低功函数至少在一部分上接触于第一半导体层 106 的材料来形成。

[0071] 保护层 114 可以以与栅极绝缘层 104 相似的方式形成,且优选使用氮化硅形成。特别地,优选采用致密的氮化硅层作为保护层 114,从而可防止包含在大气中的诸如有机物、金属或水蒸气之类的污染物杂质元素的侵入。例如,可以通过利用频率大于等于 1GHz 的等离子体的等离子体 CVD 法来形成致密的氮化硅层。

[0072] 像素电极层 118 可以使用包含具有透光性的导电高分子(也称为导电聚合物)的导电组成物。作为导电高分子,可以使用所谓的 π 电子共轭导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物以及这些材料中的两种或两种

以上的共聚物。

[0073] 或者,也可以例如使用如下材料形成像素电极层 118:包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物(以下记载为 ITO)、铟锌氧化物、添加氧化硅的铟锡氧化物等。

[0074] 为了进行比较,参照图 2A 和 2B 说明利用栅电极只对半导体层的一部分进行遮光的薄膜晶体管。

[0075] 图 2A 和 2B 所示的薄膜晶体管包括:栅电极层 202、半导体层(第一半导体层 206 及第二半导体层 208)、设置在栅电极层 202 和半导体层之间且与它们相接触的栅极绝缘层 204、接触于半导体层设置的杂质半导体层 210、以及其一部分接触于杂质半导体层 210 及半导体层设置的源电极层及漏电极层 212。栅电极层只重叠于半导体层的一部分。另外,与图 1A 和 1B 所示的薄膜晶体管相类似地,图 2A 和 2B 所示的薄膜晶体管由保护层 214 覆盖,并且设置像素电极层 218 以使其通过形成在保护层 214 中的开口 216 连接到源电极层或漏电极层 212。设置第二半导体层 208 以使其接触于第一半导体层 206,并且优选地使用载流子迁移率低于第一半导体层 206 的材料来形成第二半导体层 208。

[0076] 如图 2A 和 2B 所示,当只有薄膜晶体管中半导体层的一部分重叠于栅电极层 202 时,半导体层的不重叠于栅电极层 202 的一部分暴露于光(主要从衬底 200 一侧入射的光),从而无法减少光漏电流。

[0077] 图 3A 和 3B 示出表示图 4A 和 4B 所示的薄膜晶体管的漏电流相对于栅极电压(以下,记载为 I-V 曲线)的电流-电压特性的曲线。图 3A 表示图 4A 所示的薄膜晶体管的 I-V 曲线,而图 3B 表示图 4B 所示的薄膜晶体管的 I-V 曲线。如图 3A 和 3B 所示,截止电流没有大的差异,这意味着在图 4A 所示的薄膜晶体管和图 4B 所示的薄膜晶体管之间截止电流没有大的差异。图 1A 和 1B 所示的薄膜晶体管和图 4A 所示的薄膜晶体的不同之点是:是否形成第一半导体层,该第一半导体层优选由接触于源电极层及漏电极层的结晶性半导体形成。该不同可能导致截止电流的差异。

[0078] 参照图 5A 和 5B,对图 1A 和 1B 所示的薄膜晶体管和图 2A 和 2B 所示的薄膜晶体管进行比较。

[0079] 图 5A 是图 1A 和 1B 所示薄膜晶体管的一部分的放大图。图 5B 是图 2A 和 2B 所示的薄膜晶体管的一部分的放大图。图 5A 和 5B 中的箭头分别指示截止电流的主要路径。

[0080] 如上所述,当第一半导体层 106 为薄时,导通电流下降,当第一半导体层 106 为厚时,第一半导体层 106 和源电极层及漏电极层 112 的接触面积增大,并当源电极层及漏电极层 112 具有高的功函数时,截止电流上升。在本发明一个实施方式的薄膜晶体管中,由于使用功函数低的材料来形成源电极层及漏电极层 112,所以第一半导体层 106 具有的厚度能够足以使薄膜晶体管获得充分的导通电流。因此,可以使导通电流相比传统的薄膜晶体管被增大。

[0081] 在图 5A 中,存在有第一半导体层 106 的一部分和源电极层或漏电极层 112(漏电极一侧)的一部分互相接触的部分 130。从该部分 130 注入空穴,而电流流过第一半导体层 106。可以想象的到,该电流大致分为向用作源区的杂质半导体层 110 流过部分 131 的电流和流向部分 132 的电流,在该部分 132 中,第一半导体层 106 的一部分与源电极层或漏电极层 112 的一部分互相接触,主要是这两种电流流过。此外,可能在部分 131 中,从部分 130

注入的空穴和从源极注入的电子重新结合。

[0082] 在图 5B 中,可以想象的到,在第二半导体层 208 的漏极附近的部分 230 中产生载流子,而且主要是由于该载流子导致的截止电流流过。在部分 230 中,产生空穴和电子并由此形成耗尽层,且电子流向漏极,空穴流向第一半导体层 206,由此电流流过。可能的是,空穴流过第一半导体层 206 而在部分 231 中与来自源极的电子重新结合。

[0083] 考虑第一半导体层 106 的一部分和源电极层或漏电极层 112 的一部分相接触的部分 130 的能带结构。图 6 是部分 130 的能带结构的示意图。

[0084] 在图 6 中, ϕ 是用于形成源电极层及漏电极层 112 的材料的功函数。 x 是第一半导体层 106 的电子亲和势(真空能级和第一半导体层 106 的迁移率边缘的底部之间的差异)。 E_g 是第一半导体层 106 的禁带宽度。第一半导体层 106 和源电极层及漏电极层 112 之间的边界处的势垒的级别为 E 。它们满足如下的等式(1)。

[0085] 等式(1)

$$[0086] \quad E = x + E_g - \phi$$

[0087] 边界处的势垒的等级 E 越小,越多的空穴容易注入到第一半导体层 106,而电流越容易流过。因此,当第一半导体层 106 的禁带宽度 E_g 宽的时候,第一半导体层 106 的电子亲和势 x 就大,并且用于形成源电极层及漏电极层 112 的材料的功函数 ϕ 就低,边界处的势垒的等级 E 增大,这意味着不容易发生通过部分 130 的传导,在部分 130 中,第一半导体层 106 的一部分和源电极层或漏电极层 112 的一部分互相接触。

[0088] 因此,为了使流过第一半导体层 106 的一部分和源电极层或漏电极层 112 的一部分互相接触的部分 130 的电流减小,优选功函数 ϕ 低的材料形成源电极层及漏电极层 112。为了确认这一点,在如下条件下进行计算,即:将图 5A 结构中的用于形成源电极层及漏电极层 112 的材料的功函数 ϕ 设定为 3.9eV、4.2eV 和 4.5eV。其他参数不变。图 7A 和 7B 及图 8 示出该结果。注意,在此,沟道长度 L (用一对杂质半导体层 110 形成的源区和漏区之间的距离)为 $4 \mu\text{m}$,沟道宽度 W (杂质半导体层 110 的宽度)为 $20 \mu\text{m}$,并且将漏极电压 V_d 设定为 1V 和 10V。

[0089] 图 7A 示出 $\phi = 3.9\text{eV}$ 时的 I - V 曲线。图 7B 示出 $\phi = 4.2\text{eV}$ 时的 I - V 曲线。图 8 示出 $\phi = 4.5\text{eV}$ 时的 I - V 曲线。由图 7A 和 7B 及图 8 可清楚地知道,有如下的趋势:功函数 ϕ 越高,截止电流就越大。

[0090] 图 9A 和 9B 分别示出 $E_g = 1.1\text{eV}$ 至 1.3eV 时相对于势垒(也称为肖特基势垒) E (横轴)的截止电流 I_{off} (纵轴)。在此,漏极电压 $V_d = 10\text{V}$,栅极电压 V_g 是 $V_{\text{th}} - 10\text{V}$ 。图 9A 是在 27°C 下的图表,图 9B 是在 85°C 下的图表。根据图 9A 和 9B,无论温度如何,势垒 E 大于等于 0.5eV ,就足以减少截止电流。注意,在此,沟道长度 L (用一对杂质半导体层 110 形成的源区和漏区之间的距离)为 $4 \mu\text{m}$,沟道宽度 W (杂质半导体层 110 的宽度)为 $20 \mu\text{m}$ 。图 9A 和 9B 中的 1.1eV 至 1.3eV 的 E_g 与微晶半导体的能隙大致相对应。

[0091] 在表 1 中示出多种材料的功函数,但不局限于这些。

[0092] 表 1

[0093]

元素	功函数 (eV)	元素	功函数 (eV)
铝	4.25	铋	3.3
硅	4.8	钼	4.3
钛	3.45	钽	4.12
铬	4.58	钨	4.54
镍	4.5	铊	4.4
铜	4.4	氮化钛	2.92

[0094] 作为用于源电极层及漏电极层 112 的至少一部分的材料,在表 1 所列的材料中优选铋、钛或作为钛的氮化物的氮化钛。或者可以使用它们的混合物。特别优选包含稀土元素的钛。最优选的是使用包含 0.2 重量%以上且 20 重量%以下的铋及铈中一方或双方的钛。这是因为:铋具有极低的功函数,铈具有低的功函数,且其物理特性和化学特性类似于钛。通过将铋及铈的一方或双方混合到钛,与只使用铋及铈的一方或双方的情况相比,可以降低成本。

[0095] 通过使用这种功函数低的材料,可以使薄膜晶体管的导通电流增大。这并不仅仅应用于图 1A 和 1B 所示的薄膜晶体管。在图 2A 和 2B 及图 4A 和 4B 所示的薄膜晶体管中,也可以通过使用功函数低的材料使薄膜晶体管的导通电流增大。

[0096] 图 10A 和 10B 及图 11A 和 11B 分别示出使用钛或钼来形成源电极层及漏电极层的薄膜晶体管的 I-V 曲线。就是说,图 10A 示出图 2A 和 2B 所示的薄膜晶体管的 I-V 曲线,其中使用钼来形成源电极层及漏电极层 212。图 10B 示出图 1A 和 1B 所示的薄膜晶体管的 I-V 曲线,其中使用钼来形成源电极层及漏电极层 112。图 11A 示出图 2A 和 2B 所示的薄膜晶体管的 I-V 曲线,其中使用钛来形成源电极层及漏电极层 212。图 11B 示出图 1A 和 1B 所示的薄膜晶体管的 I-V 曲线,其中使用钛来形成源电极层及漏电极层 112。

[0097] 比较图 10A 和 10B 可知,在使用钼来形成源电极层及漏电极层的情况下,图 1A 和 1B 所示的薄膜晶体管的截止电流大于图 2A 和 2B 所示的薄膜晶体管的截止电流。

[0098] 比较图 11A 和 11B 可知,在使用钛来形成源电极层及漏电极层的情况下,图 1A 和 1B 所示的薄膜晶体管的截止电流与图 2A 和 2B 所示的薄膜晶体管的截止电流之间没有大的差异。因此,即使在能够将半导体层进行遮光的图 1A 和 1B 所示的薄膜晶体管中,也可以抑制截止电流。就是说,可以获得光漏电流小且截止电流小的薄膜晶体管。

[0099] 如上所述,当通过使用功函数低的金属材料来形成源电极层及漏电极层 112(具体而言,接触于第一半导体层 106 的源电极层或漏电极层 112 的一部分)时,可以防止在用栅电极层重叠半导体层整个表面的情况下发生的泄漏电流,该泄漏电流通过第一半导体层 106 的一部分和源电极层或漏电极层 112 的一部分互相接触的部分 130。而且,因为通过用栅电极层 102 重叠半导体层的整个表面,可以减少光漏电流,可以获得光漏电流小且截止电流小的薄膜晶体管。

[0100] 接着,将描述分别用于制造第一半导体层 106 及第二半导体层 108 的优选方式的方法。

[0101] 通过在混合氢和包含硅的沉积气体(诸如硅烷(SiH_4))的等离子体 CVD 装置的反应室内使用辉光放电等离子体,来形成将成为第一半导体层 106 的半导体膜。或者,借助于混合包含硅的沉积气体、氢和如氦、氖、氩等稀有气体,通过使用辉光放电等离子体,来形成所述半导体膜。氢的流量为包含硅的沉积气体的流量的 10 倍至 2000 倍,优选为 10 倍至 200 倍。形成将成为第一半导体层 106 的半导体膜,使其厚度为 1nm 以上且 20nm 以下,优选 3nm 以上且 10nm 以下。

[0102] 或者,也可以使用如锗烷(GeH_4)或乙锗烷(Ge_2H_6)等的沉积气体,且可使用锗来形成将成为第一半导体层 106 的半导体膜。

[0103] 在形成将成为第一半导体层 106 的半导体膜之前,通过导入包含硅或锗的沉积气体,对等离子体 CVD 装置的反应室内进行排气,从而去除反应室内的杂质元素,由此可以减少形成的膜的界面处的杂质元素。因此,可以提高薄膜晶体管的电特性。

[0104] 通过在混合氢和包含硅的沉积气体的等离子体 CVD 装置的反应室内使用辉光放电等离子体,来形成将成为第二半导体层 108 的半导体膜。此时,与将成为第一半导体层 106 的半导体膜的沉积条件相比,相对于包含硅的沉积气体,氢的流量减少了(即,降低了稀释率)。因此,抑制了结晶生长,并且随着膜的沉积,形成将成为不包含微晶半导体区域的第二半导体层 108 的半导体膜。

[0105] 在将成为第二半导体层 108 的半导体膜的沉积初期,与将成为第一半导体层 106 的半导体膜的沉积条件相比,氢相对于包含硅的沉积气体,的流量减少了(即,降低了稀释率),由此微晶半导体区域可保留在将成为第二半导体层 108 的半导体膜中。另外,与上述条件相比,进一步减少了氢相对于包含硅的沉积气体的流量(即,进一步降低稀释率),从而将成为第二半导体层 108 的半导体膜可以为是“包含非晶半导体的层”的半导体膜。此外,与上述条件相比,进一步减少了氢相对于包含硅的沉积气体的流量(即,进一步降低稀释率),且混合包含氦的气体,从而可以将第二半导体层 108 中的非晶半导体区域扩大。将成为第二半导体层 108 的半导体膜也可以使用锗形成。

[0106] 另外,在将成为第二半导体层 108 的半导体膜的沉积初期,将要成为第一半导体层 106 的半导体膜用作为晶种,在整个表面上沉积膜。然后,部分地抑制结晶生长,而圆锥形或棱锥形的微晶半导体区域生长(沉积中期)。进而,抑制圆锥形或棱锥形的微晶半导体区域的结晶生长,而在上层中形成将成为不包含微晶半导体区域的第二半导体层 108 的半导体膜(沉积后期)。

[0107] 注意,第一半导体层 106 不局限于结晶性半导体层,例如,只要采用载流子迁移率高于第二半导体层 108 的载流子迁移率的半导体层即可。

[0108] 有这样的趋势:栅电极层 102 和源电极层及漏电极层 112 互相重叠的区域的宽度越大,截止电流越增加。

[0109] 接着,将参照附图描述图 1A 和 1B 所示的薄膜晶体管的制造方法。

[0110] 首先,在衬底 100 上形成栅电极层 102。作为衬底 100,可以使用以下衬底中的任何一种:由钡硼硅酸盐玻璃、铝硼硅酸盐玻璃、铝硅酸盐玻璃等通过熔化法或浮标法(float method)形成的无碱玻璃衬底;陶瓷衬底;具有足以承受本制造工序处理温度的耐热性的

塑料衬底等。或者,还可以使用在表面上设置有绝缘层的不锈钢合金等的金属衬底。换言之,将具有绝缘表面的衬底用作衬底 100。当衬底 100 是样品玻璃时,该衬底可以具有第一代(例如,320mm×400mm)至第十代(例如,2950mm×3400mm)中的任何尺寸。

[0111] 可通过使用钼、钛、铬、钽、钨、铝、铜、钽或铈等的金属材料或包含这些材料中任何作为主要成分的合金材料,以单层或多个层叠的层来形成栅电极层 102。例如,优选采用在铝层上层叠有钼层或钛层的两层结构。当在由低电阻材料形成的层上层叠用作阻挡层的金属层时,可以降低电阻,并且可以防止来自金属层的金属元素扩散到半导体层。例如,当在 Al-Nd 合金层上层叠钼层时,可以形成具有优异耐热性且电阻低的导电层。或者,也可以采用三层或三层以上的叠层结构。

[0112] 通过利用溅射法或真空蒸镀法在衬底 100 上形成导电膜,利用光刻法或喷墨法等在该导电膜上形成抗蚀剂掩模,并且随后使用该抗蚀剂掩模对导电膜进行蚀刻,由此可以形成栅电极层 102(参照图 12A)。另外,也可以通过利用喷墨法将银、金、铜等的导电纳米膏排放到衬底上且焙烧该导电纳米膏,来形成栅电极层 102。注意,作为提高栅电极层 102 和衬底 100 之间的附着性且/或防止用于栅电极层 102 的材料的扩散的阻挡层金属,也可以将上述金属材料中任何的氮化物层设置在衬底 100 和栅电极层 102 之间。在此,通过在衬底 100 上形成导电膜且利用使用光掩模形成的抗蚀剂掩模对该导电膜进行蚀刻,来形成栅电极层 102。

[0113] 因为在后面的工序中在栅电极层 102 上形成半导体层以及源极布线(信号线),所以优选将该栅电极层 102 的侧面形成为锥形形状,由此所述半导体层和在其上的源极布线不会在台阶部分断开连接。此外,在该工序可以同时形成栅极布线(扫描线)。再者,也可以形成像素部中所包括的电容线。注意,“扫描线”是指选择像素的布线。

[0114] 接着,形成栅极绝缘层 104 以覆盖栅电极层 102,并且在栅极绝缘层 104 上依次层叠将成为第一半导体层 106 的第一半导体膜 150、将成为第二半导体层 108 的第二半导体膜 152 及将成为杂质半导体层 110 的杂质半导体膜 154。注意,优选至少连续形成栅极绝缘层 104、第一半导体膜 150 及第二半导体膜 152。更优选连续形成直到杂质半导体膜 154 为止的膜。通过至少连续形成栅极绝缘层 104、第一半导体膜 150 及第二半导体膜 152 而不使其暴露于空气,可以在不受到因大气成分或包含在大气中的杂质元素导致的对这些层的污染的情况下,形成叠层膜的各个界面。因此,可以降低薄膜晶体管的电特性的多变性,从而可以以高成品率制造可靠性高的薄膜晶体管。

[0115] 通过利用 CVD 法、溅射法等使用氧化硅、氮化硅、氧氮化硅或氮氧化硅,可以形成栅极绝缘层 104。优选使用氧化硅形成栅极绝缘层 104。特别地,当利用氧化硅层形成栅极绝缘层 104 且接触于栅极绝缘层 104 形成的半导体层具有结晶性时,可以提高该半导体层的结晶性,使用正硅酸乙酯 (TEOS) ($\text{Si}(\text{OC}_2\text{H}_5)_4$) 作为源气体来形成所述氧化硅层。栅极绝缘层 104 可以具有上述材料的单层结构或层叠层的结构。例如,形成所述栅极绝缘层 104 以具有厚度大于等于 50nm,优选 50nm 以上且 400nm 以下,更优选 150nm 以上且 300nm 以下。使用氮氧化硅层可以防止包含在衬底 100 中的碱金属等进入到第一半导体层 106。另外,使用氧氮化硅层可以防止在将铝用作栅电极层 102 的情况下产生的小丘,也可以防止栅电极层 102 的氧化。优选使用频率大于等于 1GHz 的等离子体 CVD 装置来形成栅极绝缘层 104。

[0116] 可以在形成栅极绝缘层 104 之后且在形成第一半导体膜 150 之前,在栅极绝缘层

104 上形成用于提高附着性和 / 或防止氧化的层。作为这种用于防止氧化和 / 或等的层, 例如可以举出在氮化硅层之间插入氧氮化硅层的叠层结构的层。

[0117] 第一半导体层 106 用作薄膜晶体管的沟道形成区域。在此, 第一半导体层 106 是结晶性半导体层。换言之, 在此, 第一半导体膜 150 是结晶性半导体膜。结晶性半导体膜可以通过使用等离子体 CVD 法等利用微晶硅来形成。

[0118] 本实施方式中, 结晶性半导体层的载流子迁移率是非晶半导体层的载流子迁移率的大约 2 倍到 20 倍。因此, 与使用非晶半导体层形成的薄膜晶体管相比, 由结晶性半导体层形成的薄膜晶体管的 I-V 曲线的上升点处的倾斜更陡峭。在此, “栅极电压”是指源电极的电位与栅电极的电位之间的电位差, 并且“漏电流”是指流过源电极和漏电极之间的电流。因此, 将结晶性半导体层用于沟道形成区域的薄膜晶体管有高的作为开关元件的响应特性, 并且其能够进行高速工作。由此, 通过作为显示装置的开关元件而使用的将结晶性半导体层用于沟道形成区域的薄膜晶体管, 可以缩小沟道形成区域的面积, 即, 薄膜晶体管的面积。另外, 当将驱动电路的一部分或全部形成在与像素部相同的衬底上时, 可获得系统型面板 (system-on-panel)。

[0119] 另外, 即使当不添加用于控制价电子的杂质元素, 结晶性半导体层经常也显示低 n 型导电型。由此, 可以在形成用作薄膜晶体管的沟道形成区域的结晶性半导体层的同时或之后, 通过向该结晶性半导体层添加赋予 p 型导电型的杂质元素 (例如, 硼) 来控制薄膜晶体管的阈值电压 V_{th} 。赋予 p 型导电型杂质元素的典型例子是硼, 并且可将诸如乙硼烷 (B_2H_6) 或三氟化硼 (BF_3) 之类的杂质气体以 1ppm 至 1000ppm, 优选以 1ppm 至 100ppm 的比率混合进氢化硅中。优选将结晶性半导体层中的硼浓度设定为 1×10^{14} atoms/cm³ 至 6×10^{16} atoms/cm³。

[0120] 以 2nm 以上且 60nm 以下, 优选以 10nm 以上且 30nm 以下的厚度形成结晶性半导体层。例如, 用形成结晶性半导体膜的工序中的硅烷流量和沉积时间, 可以控制结晶性半导体层的厚度。具体而言, 减少以氧或氮为代表的阻碍晶化的成分, 且相对于硅烷等的沉积气体的流量, 氢等的稀释气体的流量增多了。此时, 稀释气体的流量为沉积气体流量的 10 倍到 2000 倍, 优选为 50 倍到 200 倍。以这种方式, 形成所谓的微晶半导体层。

[0121] 第二半导体层 108 用作减少截止电流的缓冲层。在此, 将说明采用“包含非晶半导体的层”形成第二半导体层 108 的情况, 该“包含非晶半导体的层”即晶序良好的半导体, 且相比传统的非晶半导体, 其具有较少的缺陷且其价电子带中带边缘 (迁移率边缘) 处的能级的尾部的倾斜是陡峭的。这种半导体膜以如下方法形成: 例如, 与第一半导体膜 150 的沉积条件相比, 在用于形成结晶性半导体膜的源气体中, 降低相对于沉积气体的氢流量 (即, 降低稀释率), 并且使用等离子体 CVD 法, 从而抑制结晶生长。另外, 当在结晶性半导体膜的源气体中包含氮时, 可以容易地形成这种半导体膜。优选在第二半导体膜 152 中包含 1×10^{20} cm⁻³ 至 1×10^{21} cm⁻³ 的氮。此时, 氮优选以 NH 基的状态存在。这是因为如下缘故: 利用氮或 NH 基容易对半导体原子的悬空键进行交联, 而容易使载流子流过。其结果, 在晶粒界面或缺陷中形成促进载流子移动的结合, 从而提高了第二半导体层 108 的载流子迁移率。因此, 薄膜晶体管的场效应迁移率和导通电流可以充分高。注意, 氮不仅可以以 NH 基的状态存在, 而且可以以 NH₂ 基的状态存在。此时, 稀释气体的流量为沉积气体流量的 10 倍到 2000 倍, 优选为 50 倍到 200 倍。优选使稀释气体的流量小于形成第一半导体层 106 时

的稀释气体的流量。

[0122] 优选第二半导体膜 152 的氧浓度为低。通过降低第二半导体膜 152 中的氧浓度,可以减少微晶半导体区域和非晶半导体区域之间的界面或微晶半导体区域间的界面处阻碍载流子移动的结合。

[0123] 可以通过如下的方式来形成杂质半导体层 110:形成杂质半导体膜 154,并且对杂质半导体膜 154 进行蚀刻。在形成 n 沟道薄膜晶体管的情况下,可添加磷作为典型的杂质元素,例如可以对氢化硅添加包含磷化氢 (PH_3) 的气体来形成杂质半导体层 110。为了形成 p 沟道薄膜晶体管,可将硼用作典型的杂质元素,例如可以对氢化硅添加包含乙硼烷 (B_2H_6) 的气体。此外,作为杂质半导体膜 154,既可以使用结晶性半导体,又可以使用非晶半导体,但是优选使用结晶性半导体。将成为杂质半导体层 110 的杂质半导体膜 154 可具有的厚度使第二半导体层 108 和源电极层及漏电极层 112 之间实现欧姆接触,而以大约 2nm 以上且 60nm 以下的厚度形成杂质半导体膜 154。当将杂质半导体膜 154 设定得尽可能地薄,可以提高处理能力。当使用结晶性半导体形成杂质半导体层 110 时,减少了以氧或氮为代表的阻碍晶化的成分,并且相对于硅烷等沉积气体的流量,氢等稀释气体流量增大了。此时,当使用非晶半导体形成杂质半导体层 110 时,稀释气体的流量为沉积气体流量的 1 倍到 10 倍,优选为 1 倍到 5 倍,而当使用结晶性半导体形成杂质半导体层 110 时,稀释气体的流量为沉积气体流量的 10 倍到 2000 倍,优选为 50 倍到 200 倍。以这样的方式,形成了所谓的微晶半导体层。

[0124] 如上所述,优选连续形成栅极绝缘层 104 至杂质半导体膜 154 的层(参照图 12B)。通过使用具备多个反应室的多室型 CVD 装置,可以为每种沉积膜设置反应室,且可以不暴露于空气地连续形成多个不同膜。

[0125] 图 13 是具备多个反应室的多室型等离子体 CVD 装置的一个例子的俯视截面示意图。该装置具备公共室 272、装载/卸载室 270、第一反应室 250a、第二反应室 250b、第三反应室 250c 及第四反应室 250d。当在装载/卸载室 270 的卡匣中设置衬底 100 之后,用公共室 272 的传送单元 276 将衬底 100 转移出或转移入各反应室。在公共室 272 和各反应室之间以及公共室 272 和装载/卸载室之间配备有闸门阀 274,以避免在各反应室中进行的处理彼此干扰。可根据所形成的薄膜的种类使用各反应室,用于不同的用途。例如,在第一反应室 250a 中形成绝缘膜;在第二反应室 250b 及第四反应室 250d 中形成半导体膜;并且在第三反应室 250c 中形成添加有赋予一种导电型的杂质元素的半导体膜。因为最佳沉积温度根据所形成的薄膜而变化,所以将反应室分开,以便于控制沉积温度,而且由此可以以最佳温度形成各薄膜。此外,可以重复沉积相同种类的膜,因此可以避免由先前形成的膜所带来的残留杂质的影响。既可以采用一个反应室形成一个膜,又可以采用一个反应室形成如结晶性半导体膜和非晶半导体膜那样其组成彼此相似的多个膜。

[0126] 涡轮分子泵 264 和干燥泵 266 连接于各反应室作为排气单元。排气单元不局限于这些真空泵的组合,而可以使用其他真空泵,只要它们能够将反应室排气到大约 10^{-5}Pa 至 10^{-1}Pa 的真空度。注意,第二反应室 250b 优选连接有低温泵 268,以便使反应室内的压力减小到大约 10^{-5}Pa 或更小。在这些排气单元和各反应室之间设置有蝶阀 260 和/或导气阀 262。蝶阀 260 可以阻断排气单元和反应室之间的路径。并且,导气阀 262 可以控制抽气速度并调节各反应室中的压力。

[0127] 连接到第二反应室 250b 的低温泵 268 也可以将反应室内的压力降低到低于 10^{-5} Pa (例如超高真空)。在本实施方式中,将反应室 250b 排气到低于 10^{-5} Pa 的压力,由此防止在半导体膜中混入氧等的大气成分。其结果,可以使半导体膜中的氧浓度等于或低于 $1 \times 10^{16} \text{cm}^{-3}$ 。

[0128] 气体供给单元 258 包括填充有原料气体的汽缸、停止阀、质量流量控制器等。气体供给单元 258a 连接到第一反应室 250a 且供给用于形成绝缘膜的气体。气体供给单元 258b 连接到第二反应室 250b 且供给用于形成半导体膜的气体。气体供给单元 258c 连接到第三反应室 250c 且供给例如添加有赋予 n 型导电型的杂质元素的半导体原料气体。气体供给单元 258d 连接到第四反应室 250d,且供给用于形成半导体膜的气体。气体供给单元 258e 供给氩。气体供给单元 258f 供给用于反应室内的清洗的蚀刻气体(在此例子中为 NF_3 气体)。因为在所有反应室中使用氩气体和用于清洗的蚀刻气体,所以优选气体供给单元 258e 和气体供给单元 258f 连接到所有反应室。

[0129] 各反应室连接有用于产生等离子体的高频电力供给单元。高频电力供给单元包括高频电源 252 和匹配箱 254。但是不局限于此,各反应室也可以连接有微波产生器。例如,产生 RF (13.56MHz) 等离子体、VHF (30MHz 至 300MHz) 等离子体或微波 (2.45GHz) 等离子体。注意,通过同时产生 RF 等离子体和 VHF 等离子体(双频激励),可以提高沉积率。

[0130] 在此使用的等离子体优选是脉冲调制等离子体。通过使用脉冲调制等离子体,成膜时的沉积率可被提高,且可抑制成膜时微粒的产生,而且可以提高所形成的半导体膜的质量及厚度的均匀性。另外,可以抑制产生等离子体时的紫外线的产生量,而且可以减少形成的半导体膜中的缺陷数。

[0131] 可以在一个反应室内连续形成结晶性半导体膜、非晶半导体膜及添加有赋予一种导电型的杂质元素的杂质半导体膜。具体而言,将设置有栅极绝缘膜的衬底放入到反应室内,并且在反应室中连续形成结晶性半导体膜、非晶半导体膜及添加有赋予一种导电型的杂质元素的半导体膜(杂质半导体膜)。通过在一个反应室内连续形成结晶性半导体膜及非晶半导体膜,可以形成结晶畸变少的界面。因此,可以防止界面处预期能级的形成。另外,可以减少有可能混入到界面中的大气成分。

[0132] 另外,虽然未示出,但是也可以将备用室连接到图 13 所示的多室型等离子体 CVD 装置。当在进行成膜之前在备用室中预热衬底时,可以缩短各反应室中在膜沉积之前所需要的加热时间,从而可以提高处理能力。

[0133] 通过如上所述的连续沉积,可以在没有污染物杂质元素对其界面造成污染的情况下层叠多个膜。因此,可以降低薄膜晶体管电特性的变化。

[0134] 当使用上述等离子体 CVD 装置时,可以在各反应室中连续形成一种膜或其组成相似的多种膜,且可以不使其暴露于空气。因此,可以在没有已形成的膜的残留物或包含在大气中的杂质元素对其界面进行污染的条件下层叠多个膜。

[0135] 可使用氟自由基对等离子体 CVD 装置的反应室内进行清洗。另外,优选在形成膜之前在反应室内形成保护膜。

[0136] 可以使用的装置不局限于上述图 13 所示的装置。例如,也可以使用设置有两个反应室的 CVD 装置。在这种情况下,可使用一个反应室(第一反应室)来形成使用正硅酸乙酯 ($\text{TEOS} : \text{Si}(\text{OC}_2\text{H}_5)_4$) 作为源气体的氧化硅膜,并且使用另一反应室(第二反应室)来形成

氮化硅膜、硅膜及包含赋予一种导电型的杂质元素的硅膜。或者,也可以使用只设置有一个反应室的装置。

[0137] 接着,在将成为杂质半导体层 110 的杂质半导体膜 154 上形成抗蚀剂掩模 156(参照图 12C)。通过光刻法,可以形成抗蚀剂掩模 156。或者,也可以使用喷墨法等形成抗蚀剂掩模 156。还或者,为了降低成本,可以通过印刷法形成抗蚀剂掩模 156,也可以在通过印刷法形成抗蚀剂掩模 156 之后对其进行激光加工。

[0138] 接着,使用抗蚀剂掩模 156 对第一半导体膜 150、第二半导体膜 152 及杂质半导体膜 154 进行蚀刻。通过该蚀刻,可对应于每个元件分离这些膜,而形成第一半导体层 106、第二半导体层 158 及杂质半导体层 160(参照图 14A)。然后,去除抗蚀剂掩模 156。

[0139] 优选进行该蚀刻处理,以使包括有第一半导体层 106、第二半导体层 158 及杂质半导体层 160 的叠层体 162 的侧面具有锥形的形状。锥形角为 30° 以上且 90° 以下,优选为 40° 以上且 80° 以下。当叠层体 162 的侧面为锥形的时候,可以提高在后面的工序中形成在这些层上的膜(例如,导电膜 164)的覆盖性,且可以防止布线断裂等。

[0140] 接着,在叠层体 162 上形成导电膜 164(参照图 14B)。在此形成的导电膜 164 成为源电极层及漏电极层 112,并由此,至少接触于第一半导体层 106 的部分通过使用功函数低的金属材料形成。就是说,当导电膜 164 为单层时,使用功函数低的金属材料形成导电膜 164。当通过层叠多个层来形成导电膜 164 时,至少导电膜 164 的最下层通过使用功函数低的金属材料形成。

[0141] 可使用溅射法、真空蒸镀法等形成导电膜 164。另外,也可以通过使用丝网印刷法、喷墨法等排放银、金、铜等的导电纳米膏并对其进行焙烧,从而形成导电膜 164。

[0142] 接着,在导电膜 164 上形成抗蚀剂掩模 166(参照图 14C)。可以以与抗蚀剂掩模 156 相似的方式,通过光刻法或喷墨法形成抗蚀剂掩模 166。或者,为了降低成本,可通过印刷法形成抗蚀剂掩模 166,或可以在通过印刷法形成抗蚀剂掩模 166 之后对其进行激光加工。另外,也可以通过氧等离子体进行灰化,以便控制抗蚀剂掩模的尺寸。

[0143] 接着,使用抗蚀剂掩模 166 对导电膜 164 进行蚀刻以对导电膜 164 进行图案形成,从而形成源电极层及漏电极层 112。在本实施方式中,蚀刻例如可以是湿蚀刻。通过使用湿蚀刻,对没有用抗蚀剂掩模 166 覆盖的导电膜 164 的部分进行各向同性蚀刻。其结果,导电层退回到比抗蚀剂掩模 166 更内侧,而由此形成源电极层及漏电极层 112。该源电极层及漏电极层 112 不仅作为源电极及漏电极,而且还作为信号线。注意,不局限于湿蚀刻,也可以使用干蚀刻。

[0144] 接着,在其上形成有抗蚀剂掩模 166 的状态下,对第二半导体层 158 及杂质半导体层 160 进行蚀刻,从而形成背沟道部。通过该蚀刻,第二半导体层 158 的一部分被蚀刻掉,以形成第二半导体层 108 及杂质半导体层 110。

[0145] 在此时,作为蚀刻工艺,优选采用干蚀刻,特别地,采用使用包含氧的气体进行的干蚀刻。通过使用包含氧的气体,可通过蚀刻形成杂质半导体层 110 和第二半导体层 108,而同时使抗蚀剂在尺寸上减小,从而可以将杂质半导体层 110 的侧面和作为非晶半导体层的第二半导体层 108 的侧面形成为锥形。作为蚀刻气体,例如使用使四氟甲烷(CF_4)被混合入氧的蚀刻气体或使氯被混合入氧的蚀刻气体。杂质半导体层 110 的侧面和作为非晶半导体层的第二半导体层 108 的侧面的锥形形状可以防止电场的集中且可以减少截止电流。

[0146] 第二半导体层 108 具有一凹部,当第二半导体层 108 的一部分被蚀刻掉时形成了该凹部。优选形成第二半导体层 108 的厚度以使第二半导体层 108 至少重叠于凹部的一部分在蚀刻后保留。在形成源区及漏区的工序中,重叠于杂质半导体层 110 的第二半导体层 108 的部分不受到蚀刻,并且该部分的厚度可大约为 80nm 以上且 500nm 以下,优选是 150nm 以上且 400nm 以下,更优选是 200nm 以上且 300nm 以下。如上所述,通过形成第二半导体层 108 具有充分的厚度,可以防止杂质元素等混入到第一半导体层 106。如此,第二半导体层 108 也用作第一半导体层 106 的保护层。

[0147] 接着,去除抗蚀剂掩模 166。

[0148] 在上述工序中产生的在背沟道部中的残渣及用于去除抗蚀剂掩模 166 的抗蚀剂剥离液的成分等经常对电特性造成不良影响。因此,为了去除这种成分、残渣等,在去除抗蚀剂掩模 166 之后进一步进行蚀刻、等离子体处理及清洗中的一个或多个工序,从而可以制造高电特性(例如,截止电流小)的薄膜晶体管。

[0149] 或者,也可以在形成源电极层及漏电极层 112 之后,去除抗蚀剂掩模 166,并可以通过将源电极层及漏电极层 112 用作掩模来进行蚀刻,从而可形成第二半导体层 108 和杂质半导体层 110。

[0150] 通过上述工序,可以制造图 1A 和 1B 所示的底栅型薄膜晶体管(图 15A)。图 2A 和 2B 所示的底栅型薄膜晶体管也可通过与上述制造工序类似的工序进行制造。

[0151] 接着,形成保护层 114 以覆盖如上所述那样制造的薄膜晶体管(图 15B)。保护层 114 可以以与栅极绝缘层 104 相类似的方式形成。优选使用氮化硅形成保护层 114。特别地,该保护层 114 优选为致密的氮化硅层,以便能够防止诸如包含在大气中的有机物、金属或水蒸气之类的污染物杂质元素的侵入。

[0152] 注意,可以将图 1A 和 1B 所示的薄膜晶体管用作像素晶体管,且由此,源电极和漏电极中的一方连接到像素电极。在图 1A 和 1B 所示的薄膜晶体管中,源电极和漏电极中的一方通过设置在保护层 114 中的开口部 116 连接到像素电极层 118。

[0153] 通过使用溅射法等利用包含具有透光性的导电高分子(也称为导电聚合物)的导电组成物,可以形成像素电极层 118。在该实施例中,可通过溅射法形成 ITO。

[0154] 可以与源电极层及漏电极层 112 等相类似的方式来形成像素电极层 118,换言之,在整个表面上形成导电膜并使用抗蚀剂掩模等对其进行蚀刻,从而对其进行图案形成(图 15C)。

[0155] 虽然未图示,但是也可以利用旋涂法等保护层 114 和像素电极层 118 之间形成有机树脂层,从而使形成像素电极层 118 的表面为平坦的。

[0156] 注意,在上述描述中,在相同工序中形成栅电极和扫描线,且在相同工序中形成源电极及漏电极和信号线。但是,本发明并不局限于此。也可以在不同工序中形成电极和连接到该电极的布线。

[0157] 在本实施方式中,描述了具有叠层结构的半导体层,但是本发明并不局限于此。半导体层也可以是一个结晶性半导体层。

[0158] 在以上的方式中,可以得到光漏电流小且截止电流小的薄膜晶体管。而且,也可以获得光漏电流小且开/关比高的薄膜晶体管。

[0159] 实施方式 2

[0160] 在本实施方式中,参照附图对包括根据本发明一个实施方式的实施方式 1 中所描述的薄膜晶体管的显示装置或发光装置进行描述。

[0161] 在根据本实施方式的显示装置或发光装置中,信号线驱动电路及扫描线驱动电路可以形成在不同的衬底(例如,半导体衬底或者 SOI 衬底)上并随后连接到像素部,或可以在与像素电路相同的衬底上形成。

[0162] 注意,对于另行形成的衬底的连接方法没有特别的限制:可以使用诸如 COG 法、引线键合法或 TAB 法之类的已知方法。此外,连接位置并不局限于特定的位置,只要可以实现电连接就行。另外,也可以另行形成控制器、CPU、存储器等并将其连接到像素电路。

[0163] 图 16 是本实施方式中显示装置的框图的一个例子。图 16 所示的显示装置包括:包括多个分别具备显示元件的像素的像素部 400、选择像素部 400 中包括的各像素的扫描线驱动电路 402 以及控制视频信号对被选择像素的输入的信号线驱动电路 403。

[0164] 注意,本实施方式中的显示装置不局限于图 16 所示的方式。换言之,信号线驱动电路不局限于只包括移位寄存器和模拟开关的方式。除了移位寄存器和模拟开关以外,还可以包括缓冲器、电平转移器或源极跟随器等的其他电路。此外,不必设置移位寄存器及模拟开关。例如,可以使用如译码电路那样能够选择信号线的其他电路来代替移位寄存器,也可以使用锁存器等代替模拟开关。

[0165] 图 16 所示的信号线驱动电路 403 包括移位寄存器 404 和模拟开关 405。对移位寄存器 404 输入时钟信号 (CLK) 和起始脉冲信号 (SP)。当输入时钟信号 (CLK) 和起始脉冲信号 (SP) 时,在移位寄存器 404 中产生时序信号,并将该时序信号输入到模拟开关 405。

[0166] 对模拟开关 405 提供视频信号。模拟开关 405 根据从移位寄存器 404 输入的时序信号对视频信号进行采样,然后将该采样的信号提供给后级的信号线。

[0167] 图 16 所示的扫描线驱动电路 402 包括移位寄存器 406 以及缓冲器 407。此外,也可以包括电平转移器。在扫描线驱动电路 402 中,当对移位寄存器 406 输入时钟信号 (CLK) 及起始脉冲信号 (SP) 时,产生选择信号。产生的选择信号被缓冲器 407 缓冲并放大,且该被缓冲并放大的信号被提供给对应的扫描线。一线的所有像素晶体管的栅极连接到一个扫描线。并且,由于在工作中需要使一线的所有像素晶体管同时导通,因此使用能够提供大电流的缓冲器 407。

[0168] 在全彩色的显示装置中,当对对应于 R(红)、G(绿)和 B(蓝)的视频信号按顺序进行采样而供应给对应的信号线时,用于连接移位寄存器 404 和模拟开关 405 的端子数相应于用于连接模拟开关 405 和像素部 400 的信号线的端子数的 1/3 左右。因此,与将模拟开关 405 和像素部 400 形成在不同衬底上的情况相比,当将模拟开关 405 和像素部 400 形成在一个衬底上时,可以抑制用于连接另行形成的衬底的端子数。由此,可以抑制坏连接的产生,并提高成品率。

[0169] 注意,虽然图 16 中的扫描线驱动电路 402 包括移位寄存器 406 和缓冲器 407,但是本发明不局限于此。可以只利用移位寄存器 406 来形成扫描线驱动电路 402。

[0170] 注意,信号线驱动电路和扫描线驱动电路的结构并不局限于图 16 所示的结构,其只是显示装置的一个方式。

[0171] 接着,将参照图 17A 和 17B 以及图 18A 和 18B 来描述分别为显示装置的一个方式的液晶显示装置及发光装置的外观。图 17A 是如下显示装置的俯视图:利用密封剂 415 将

形成在第一衬底 411 上的包括结晶性半导体层的薄膜晶体管 420 及液晶元件 423 密封在第一衬底 411 和第二衬底 416 之间。图 17B 是沿着图 17A 中线 K-L 的截面图。图 18A 和 18B 示出发光装置。在图 18A 和 18B 中,只对与图 17A 和 17B 不同的部分标上附图标记。

[0172] 在图 17A 和 17B 以及图 18A 和 18B 中,围绕设置在第一衬底 411 上的像素部 412 和扫描线驱动电路 414 来设置密封剂 415。在像素部 412 及扫描线驱动电路 414 上设置有第二衬底 416。因此,像素部 412 及扫描线驱动电路 414,与液晶层 418(或在图 18A 和 18B 中的填充料 431)一起,用第一衬底 411、密封剂 415 以及第二衬底 416(进行密封。另外,在与第一衬底 411 上的由密封材料 415 围绕的区域不同的区域中安装有信号线驱动电路 413。此外,在第一衬底 411 上的区域安装设置信号线驱动电路 413,其与被密封剂 415 围绕的区域不同。注意,利用在另行准备的衬底上形成的具有结晶性半导体层的薄膜晶体管来形成信号线驱动电路 413,但是不局限于此。注意,虽然在本实施方式中描述了将包括使用结晶性半导体层的薄膜晶体管的信号线驱动电路 413 贴合到第一衬底 411 的例子,但是优选采用使用单晶半导体的薄膜晶体管来形成信号线驱动电路,并且将其贴合到第一衬底 411。图 17B 示出了包括在信号线驱动电路 413 中的使用结晶性半导体层形成的薄膜晶体管 419。

[0173] 设置在第一衬底 411 上的像素部 412 包括多个薄膜晶体管,并且在图 17B 中,例示了包括在像素部 412 中的薄膜晶体管 420。此外,信号线驱动电路 413 也包括多个薄膜晶体管,并且在图 17B 中,例示了包括在信号线驱动电路 413 中的薄膜晶体管 419。在本实施方式的发光装置中,薄膜晶体管 420 可以是驱动晶体管、电流控制晶体管或擦除晶体管。薄膜晶体管 420 相应于实施方式 1 中所说明的包括结晶性半导体层的薄膜晶体管。

[0174] 此外,液晶元件 423 的像素电极 422 通过布线 428 电连接到薄膜晶体管 420。液晶元件 423 的对置电极 427 形成在第二衬底 416 上。液晶元件 423 对应于像素电极 422、对置电极 427 以及液晶层 418 互相重叠的部分。

[0175] 在图 18A 和 18B 中,发光元件 430 所包括的像素电极通过布线电连接到薄膜晶体管 420 的源电极或漏电极。而且,在本实施方式中,发光元件 430 的公共电极和具有透光性的导电层互相电连接。发光元件 430 的结构不局限于本实施方式所示的结构。可以根据从发光元件 430 取出的光的方向、薄膜晶体管 420 的极性等,决定发光元件 430 的结构。

[0176] 第一衬底 411 以及第二衬底 416 可以使用玻璃、金属(典型的例子是不锈钢)、陶瓷、塑料等来形成。作为塑料,可以使用玻璃纤维增强塑料(FRP)板、聚氟乙烯(PVF)膜、聚酯膜、丙烯酸树脂膜等。此外,也可以采用使用 PVF 膜或聚酯膜夹住铝箔的薄片。

[0177] 隔离物 421 是珠状隔离物,并且设置隔离物 421 以控制像素电极 422 和对置电极 427 之间的距离(单元间隙)。此外,也可以使用通过选择性地对绝缘层进行蚀刻来得到的隔离物(支柱隔离物)。

[0178] 提供给另行形成的信号线驱动电路 413、扫描线驱动电路 414 以及像素部 412 的各种信号(电位)从 FPC(柔性印刷电路)417 通过引导布线 424 以及引导布线 425 提供。

[0179] 在图 17A 和 17B 中,连接端子 426 使用与液晶元件 423 中所包括的像素电极 422 相同的导电层来形成。此外,引导布线 424 以及引导布线 425 使用与布线 428 相同的导电层来形成。但是,本发明不局限于此。

[0180] 连接端子 426 通过各向异性导电层 429 电连接到 FPC417 中所包括的端子。

[0181] 虽然未图示,但是本实施方式中所描述的液晶显示装置包括取向膜以及偏振片,

还可以包括滤色器、遮光层等。

[0182] 在图 18A 和 18B 中,连接端子 426 使用与发光元件 430 中所包括的像素电极相同的导电层来形成。另外,引导布线 425 通过使用与布线 428 相同的导电层来形成。但是,本发明不局限于此。

[0183] 作为位于在从发光元件 430 提取光的方向上的第二衬底,使用透光衬底。在此情况下,使用通过采用玻璃板、塑料板、聚酯膜或丙烯酸膜等的具有透光性的材料形成的衬底。当从发光元件 430 以第一衬底的方向提取光时,使用透光衬底作为第一衬底。

[0184] 作为填充料 431,除了可以使用氮或氩等的惰性气体,还可以使用紫外线固化树脂、热固化树脂等。例如,可以使用聚氯乙烯(PVC)、丙烯酸、聚酰亚胺、环氧树脂、硅酮树脂、聚乙烯醇缩丁醛(PVB)或者乙烯-醋酸乙烯酯(EVA)。在本实施方式中,例如可以使用氮。

[0185] 可以在发光元件的发射表面上适当地设置偏振片、圆偏振片(包括椭圆偏振片)、延迟板(四分之一波板或半波板)或者滤色器等的光学膜。此外,也可以在偏振片或圆偏振片上设置反射防止层。

[0186] 如上所述,通过使用在实施方式 1 中描述的薄膜晶体管,可以制造显示装置。

[0187] 实施方式 3

[0188] 在本实施方式中,将参照附图描述安装有实施方式 2 中所描述的显示装置的电子设备。这种电子设备的例子包括电视机(也称为电视或电视接收机)、计算机的监视器、电子纸、诸如数码照相机或数码摄像机的摄影机、数码相框、移动电话机(也称为移动电话或移动电话装置)、便携式游戏机、便携式信息终端、音频再现装置、诸如弹珠机之类的大型游戏机等。

[0189] 作为电子设备的例子,可以举出电子纸。电子纸可以用于各种领域的电子设备,只要它们能显示数据。例如,能够将电子纸应用于电子书设备(电子书)、招贴、火车等交通工具中的广告、信用卡等各种卡片上的数据显示等。图 19A 示出电子设备的一例。

[0190] 图 19A 示出电子书设备的一个例子。图 19A 所示的电子书设备包括两个框体 500 及 501。框体 500 及 501 由铰链 504 连接,从而使电子书设备可以进行开闭。通过采用这种结构,可以如纸的书籍那样运用电子书设备。

[0191] 框体 500 和框体 501 分别组装有显示部 502 和显示部 503。显示部 502 及显示部 503 可以显示一个图像或多个图像。在显示部显示彼此不同图像的结构中,例如在右边的显示部(图 19A 中的显示部 502)能够显示文字,而在左边的显示部(图 19A 中的显示部 503)能够显示图像。可以将实施方式 2 中所描述的显示装置应用于显示部 502 及 503。

[0192] 此外,图 19A 示出框体 500 具备操作部等的例子。例如,框体 500 设置有电源输入端子 505、操作键 506、扬声器 507 等。利用操作键 506 例如能够翻页。注意,也可以在其上设置有显示部的框体的表面上设置键盘及定位装置等。另外,也可以在框体的背面或侧面设置外部连接用端子(耳机端子、USB 端子及可以与 USB 电缆等各种电缆连接的端子等)、记录介质插入部等。再者,图 19A 所示的电子书设备也可以具有电子词典的功能。

[0193] 此外,图 19A 所示的电子书设备也能够以无线方式收发数据。通过无线通信,可从电子书服务器购买并下载所希望的书籍数据等。

[0194] 图 19B 示出数码相框的一个例子。例如,在图 19B 所示的数码相框中,框体 511 组装有显示部 512。显示部 512 可以显示各种图像。例如,显示部 512 可显示由数码相机等拍

摄的图像的数据,从而发挥一般相框的功能。可以将实施方式 2 中所描述的显示装置应用于显示部 512。

[0195] 注意,图 19B 所示的数码相框具备操作部、外部连接用端子、记录介质插入部等。虽然这些结构可以设置在与显示部相同的面,但是优选将它们设置在侧面或背面,以用于数码相框的设计。例如,对数码相框的记录介质插入部插入储存有由数码相机拍摄的图像的数据的存储器,由此可下载图像数据,并将其显示在显示部 512 上。

[0196] 图 19B 所示的数码相框可以被配置为以无线方式收发数据。通过无线通信,可下载所希望的图像数据用于显示。

[0197] 图 19C 示出电视机的一个例子。在图 19C 所示的电视机中,框体 521 组装有显示部 522。图像可显示在显示部 522 上。在此,利用支架 523 支撑框体 521。实施方式 2 中所描述的显示装置可应用于显示部 522。

[0198] 通过框体 521 的操作开关或遥控器可对图 19C 中所示的电视机进行操作。通过遥控器的操作键能够对频道及音量进行控制,由此能够在显示部 522 上显示的图像。此外,也可以在遥控器中设置用于显示从该遥控器输出的数据的显示部。可以将实施方式 2 中所描述的显示装置应用于该遥控器的显示部。

[0199] 注意,图 19C 所示的电视机具备接收机及调制解调器等。通过利用接收机,可接收一般的电视广播。再者,当经调制解调器通过有线或无线连接连接到通信网络时,可以进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间等)的数据通信。

[0200] 图 19D 示出移动电话机的一个例子。图 19D 所示的移动电话机设置有安装在框体 531 中的显示部 532、操作按钮 533 和 537、外部连接端口 534、扬声器 535 及麦克风 536 等。实施方式 2 中所描述的显示装置可应用于显示部 532。

[0201] 图 19D 所示的移动电话机的显示部 532 也可以是触摸面板。当用手指等触摸显示部 532 时,可控制显示部 532 上显示的内容。在此情况下,通过用手指等触摸显示部 532,能够进行打电话或撰写邮件等。

[0202] 显示部 532 主要有三种屏幕模式。第一种模式是以显示图像为主的显示模式。第二种模式是以输入文字等数据为主的输入模式。第三种模式是混合有显示模式和输入模式这两种模式的显示与输入模式。

[0203] 例如,在打电话或撰写邮件的情况下,为显示部 532 选择以文字输入为主的文字输入模式,由此可输入在屏幕上显示的文字。在此情况下,优选的是,在显示部 532 的屏幕的大部分区域上显示键盘或号码按钮。

[0204] 当在图 19D 所示的移动电话机的内部设置包括陀螺仪或加速度传感器等检测倾斜度的传感器的检测装置时,通过判断移动电话机的方向(移动电话机是水平放置用于风景画模式还是竖直放置用于描写模式),能够对显示部 532 的显示数据进行自动切换。

[0205] 通过触摸显示部 532 或操作框体 531 的操作按钮 537 可对屏幕模式进行切换。此外,可根据显示在显示部 532 上的图像种类切换屏幕模式。例如,当显示在显示部上的图像的信号为一种动态图像数据时,将屏幕模式切换成显示模式。当所述信号为一种文字数据时,将屏幕模式切换成输入模式。

[0206] 另外,在输入模式中,当在检测出显示部 532 中的光学传感器所检测的信号的同时在一定期间中没有通过触摸显示部 532 来进行输入时,可以控制屏幕模式以从输入模式

切换成显示模式。

[0207] 还能够将显示部 532 用作图像传感器。例如,通过用手掌或手指触摸显示部 532,利用图像传感器获得掌纹、指纹等的图像,由此能够进行个人认证。此外,通过为显示部提供发射近红外光的背光灯或感测光源,也能获得手指静脉、手掌静脉等的图像。

[0208] 例 1

[0209] 在本例中,将描述根据实施方式 1 那样制造的薄膜晶体管的电特性的测量结果等。

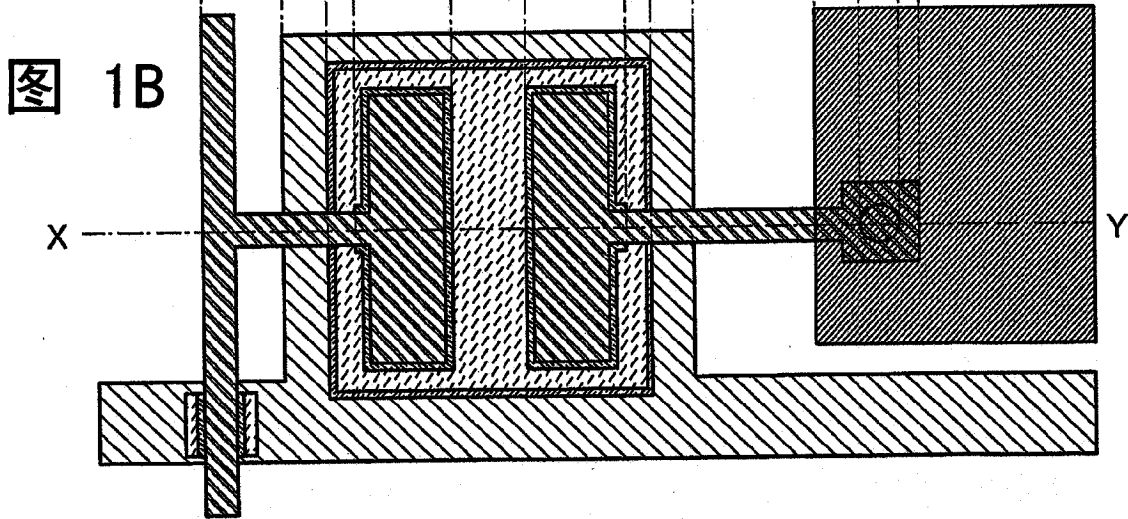
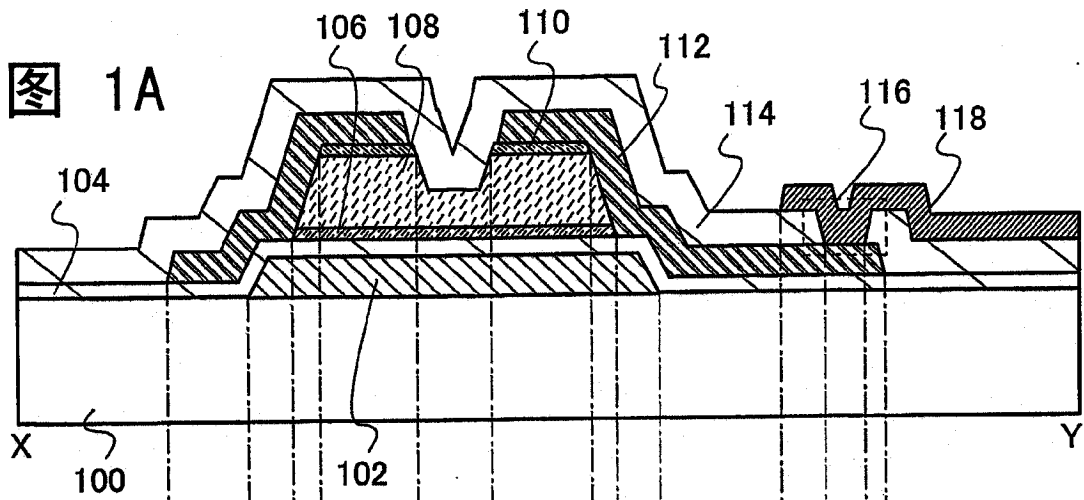
[0210] 图 10A 和 10B 表示如下曲线(以下,记载为 I-V 曲线):示出图 1A 和 1B 以及图 2A 和 2B 所示的薄膜晶体管的漏电流相对于栅极电压的电流-电压特性。如在上述实施方式中说明地,使用为高功函数材料的钼形成源电极层及漏电极层。图 10A 表示图 2A 和 2B 所示的薄膜晶体管的 I-V 曲线,而图 10B 表示图 1A 和 1B 所示的薄膜晶体管的 I-V 曲线。薄膜晶体管的尺寸为图 20A 和 20B 所示的。

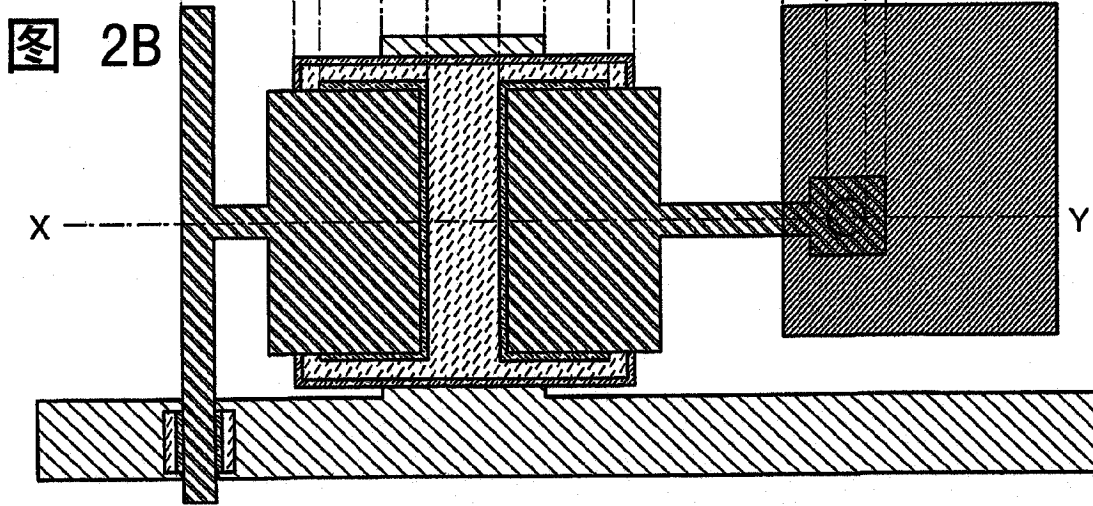
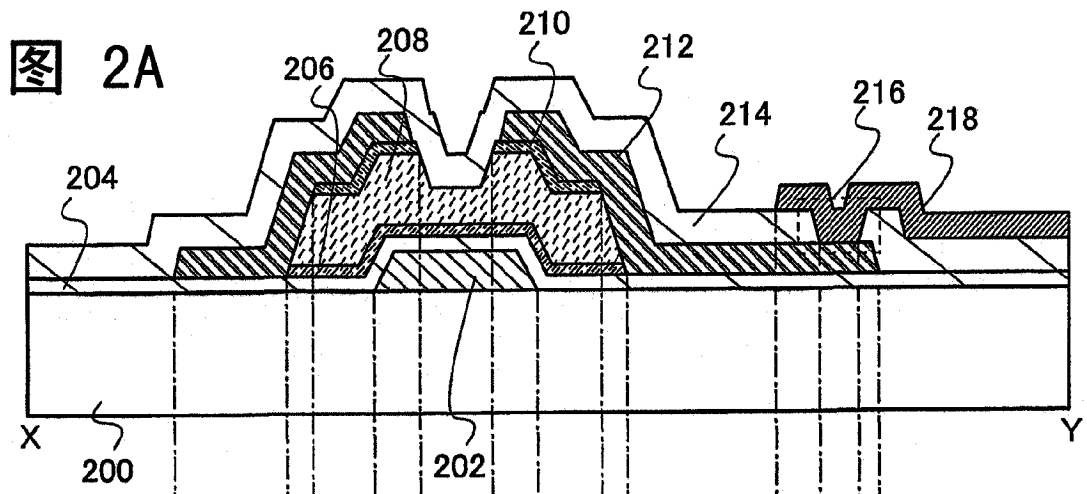
[0211] 如上述实施方式所说明地,对图 10A 和 10B 进行的比较说明,在使用钼形成源电极层及漏电极层的情况下,图 1A 和 1B 所示的薄膜晶体管的截止电流比图 2A 和 2B 所示的薄膜晶体管的截止电流大很多,由此使薄膜晶体管作为开关元件进行正常工作是很困难的。当对图 11A 和 11B 进行比较时,图 1A 和 1B 所示的薄膜晶体管的截止电流与图 2A 和 2B 所示的薄膜晶体管的截止电流之间没有大的差异。因此,使用功函数低的材料形成图 1A 和 1B 所示的薄膜晶体管的源电极层及漏电极层是特别有效的。

[0212] 图 3A 和 3B 表示图 4A 和 4B 所示的薄膜晶体管的 I-V 曲线。图 4A 所示的薄膜晶体管没有包括第一半导体层 106,但其其他组成与图 1A 和 1B 所示的薄膜晶体管类似。注意,第二半导体层 108 使用非晶半导体形成。图 4B 的薄膜晶体管没有包括第一半导体层 206,但其其他组成与图 2A 和 2B 所示的薄膜晶体管类似。注意,第二半导体层 208 使用非晶半导体形成。就是说,图 4A 和 4B 所示的薄膜晶体管分别是沟道形成区使用非晶半导体层形成的薄膜晶体管。如图 10A 和 10B 那样,使用钼形成源电极层及漏电极层。薄膜晶体管的尺寸如图 20A 和 20B 所示。

[0213] 根据图 3A 和 3B,在使用非晶半导体层形成沟道形成区的薄膜晶体管中,栅电极层重叠于半导体层整个表面的结构(图 4A 所示的结构)和栅电极层仅重叠于半导体层一部分的结构(图 4B 所示的结构)之间,I-V 曲线中没有大的差异。因此,在第一半导体层使用结晶性半导体层形成的情况下,使用功函数低的材料形成源电极层及漏电极层是特别有效的。

[0214] 本申请基于 2008 年 12 月 11 日在日本专利局提交的日本专利申请序列号 2008-316196 及 2009 年 5 月 28 日在日本专利局提交的日本专利申请序列号 2009-128675,在此引用其全部内容作为参考。





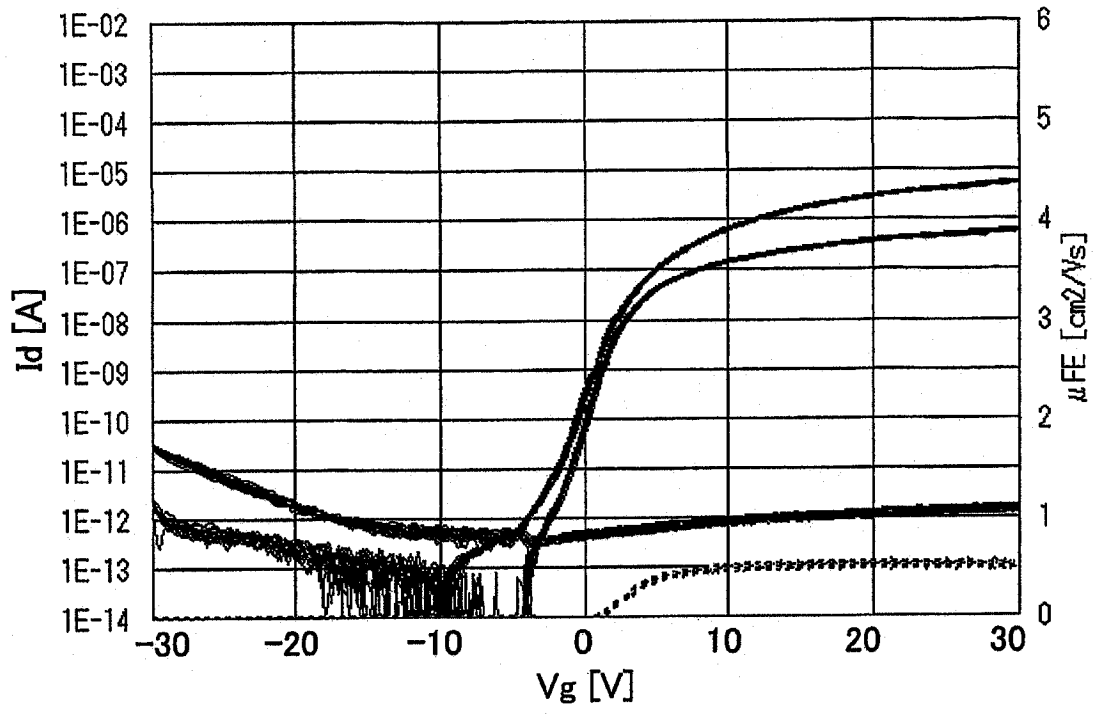


图 3A

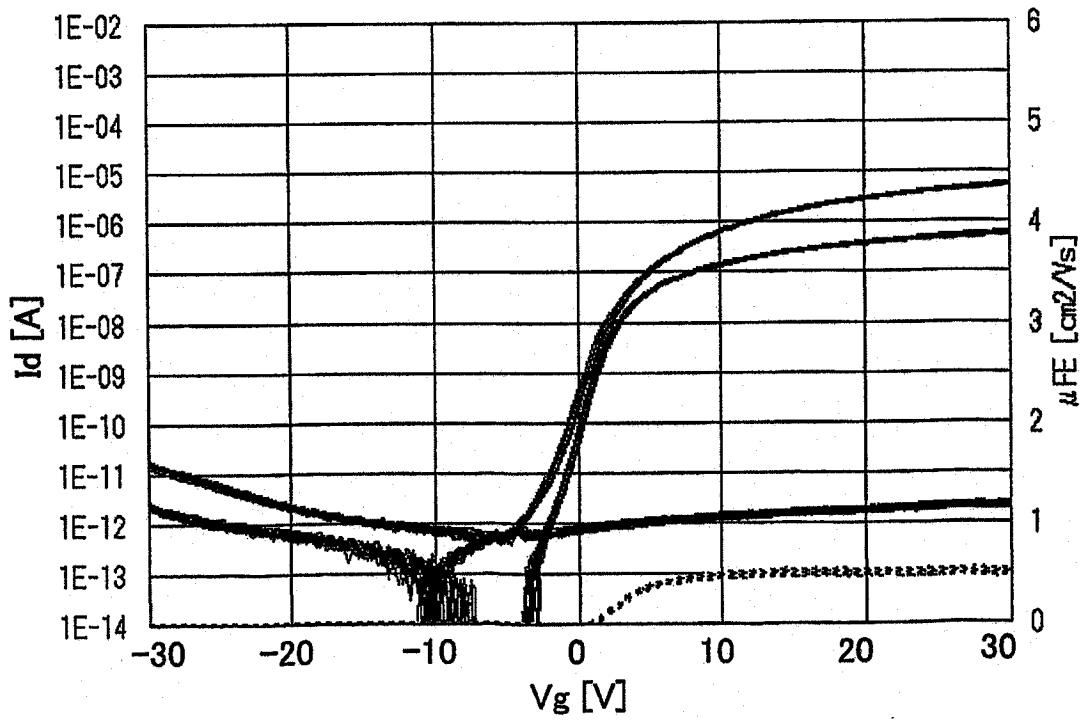


图 3B

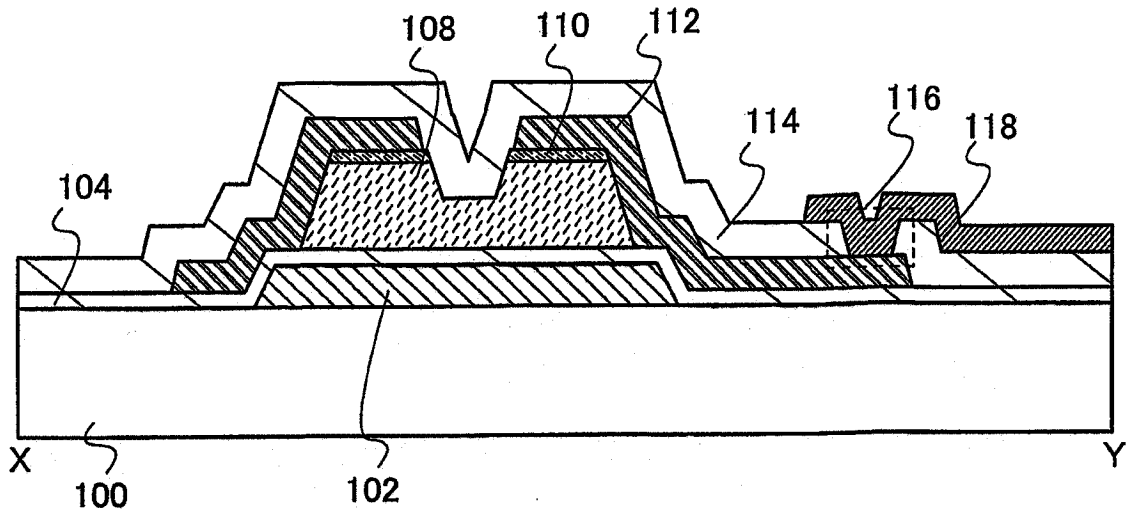


图 4A

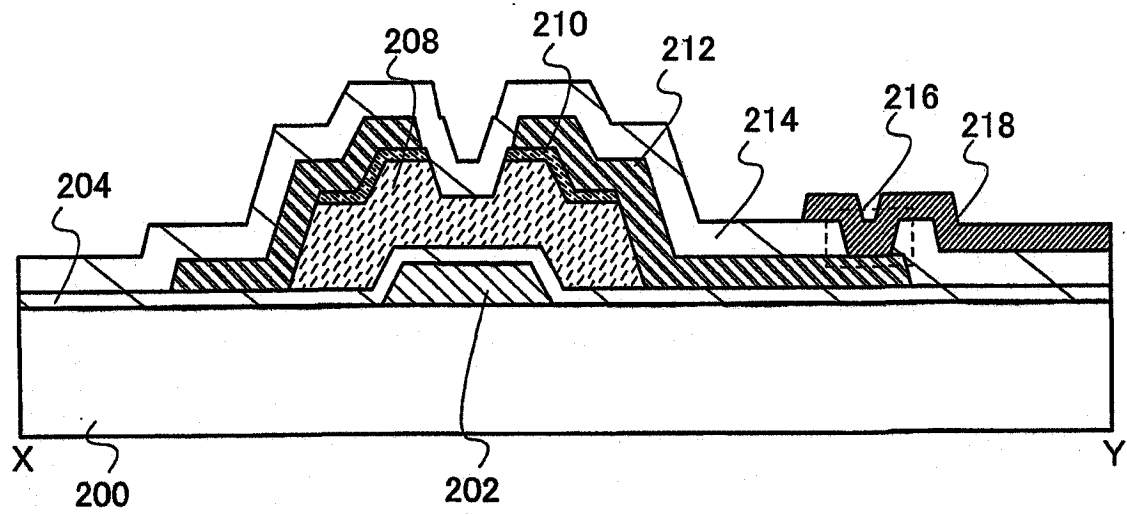


图 4B

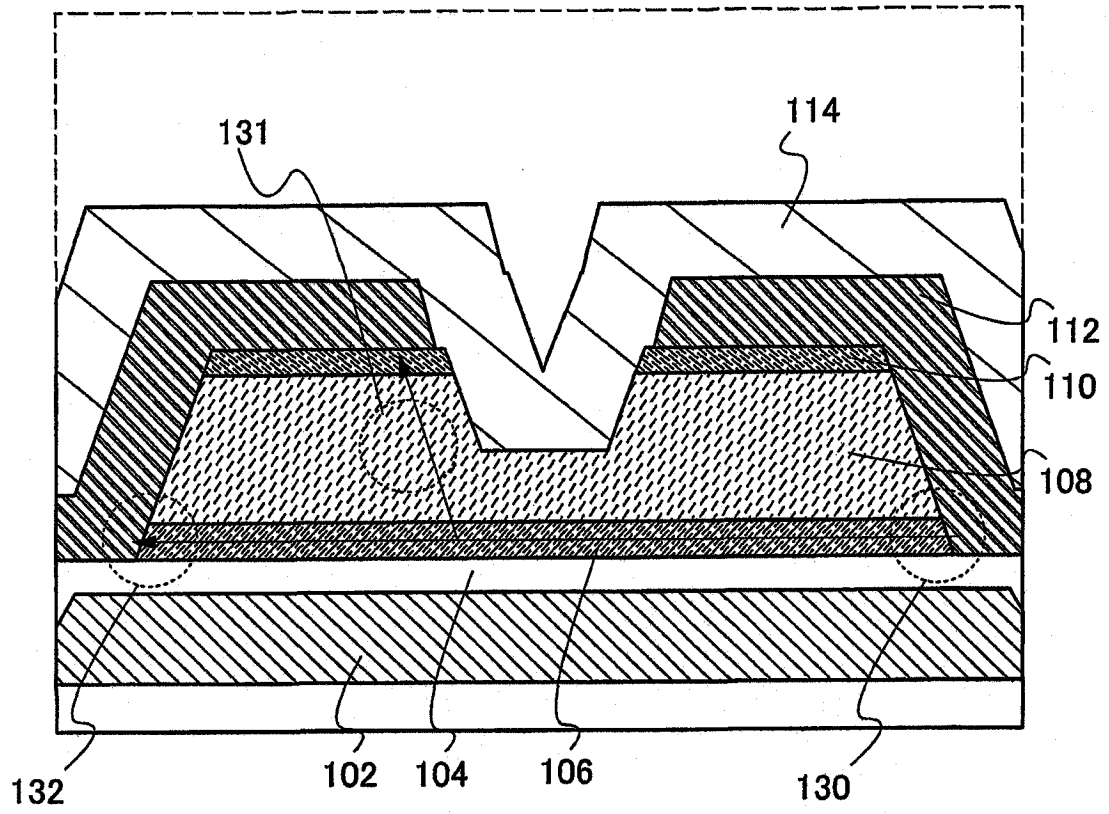


图 5A

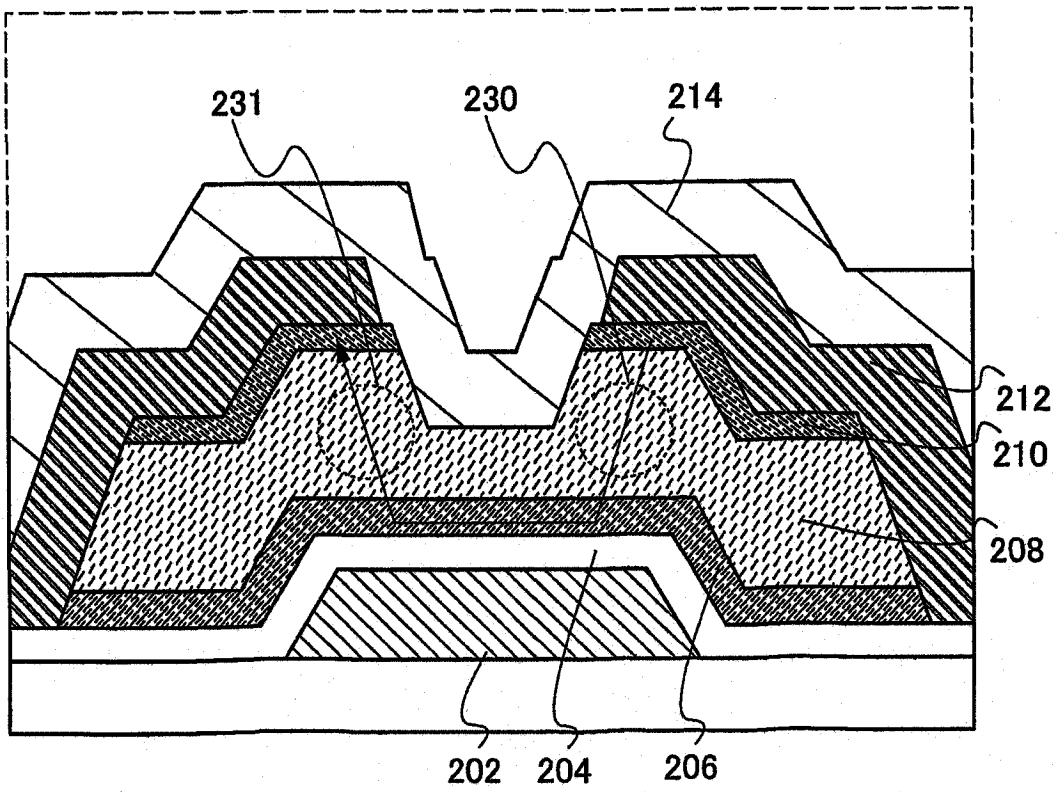


图 5B

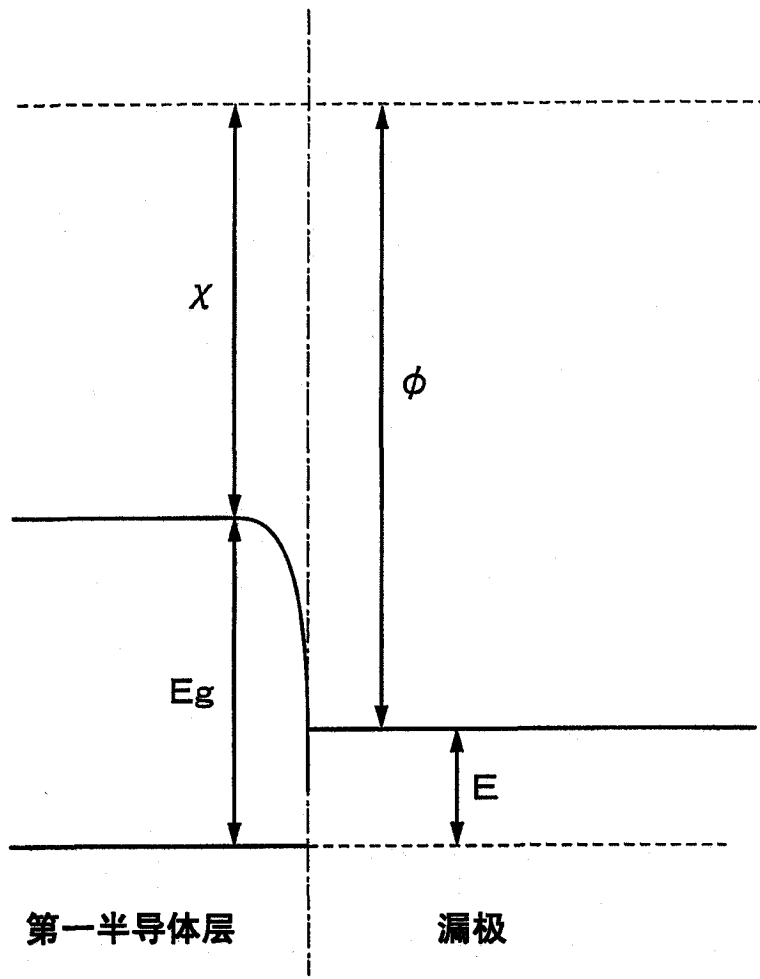


图 6

$\phi = 3.9\text{eV}$

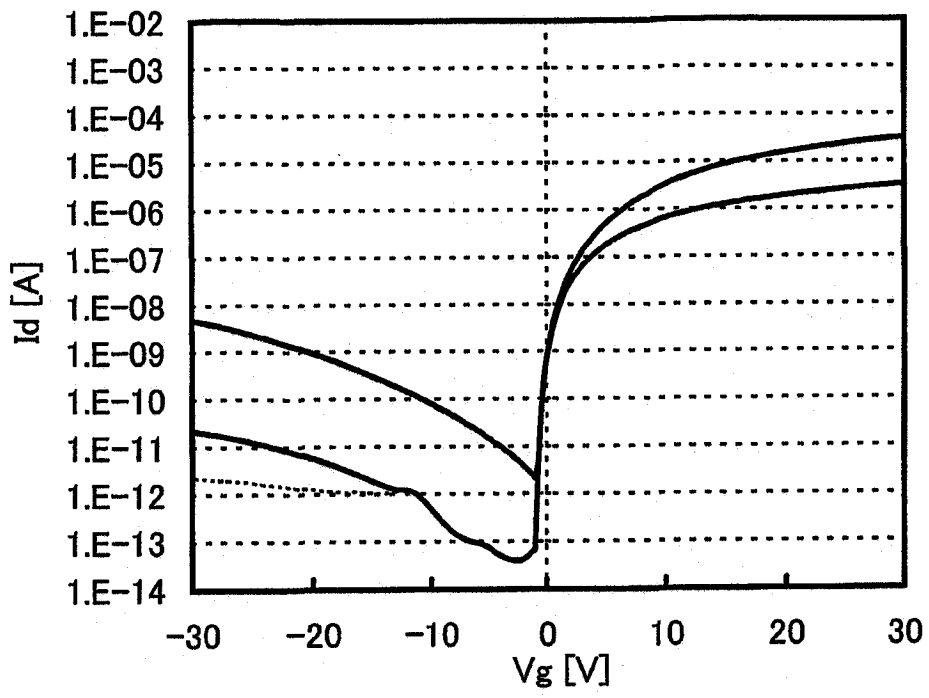


图 7A

$\phi = 4.2\text{eV}$

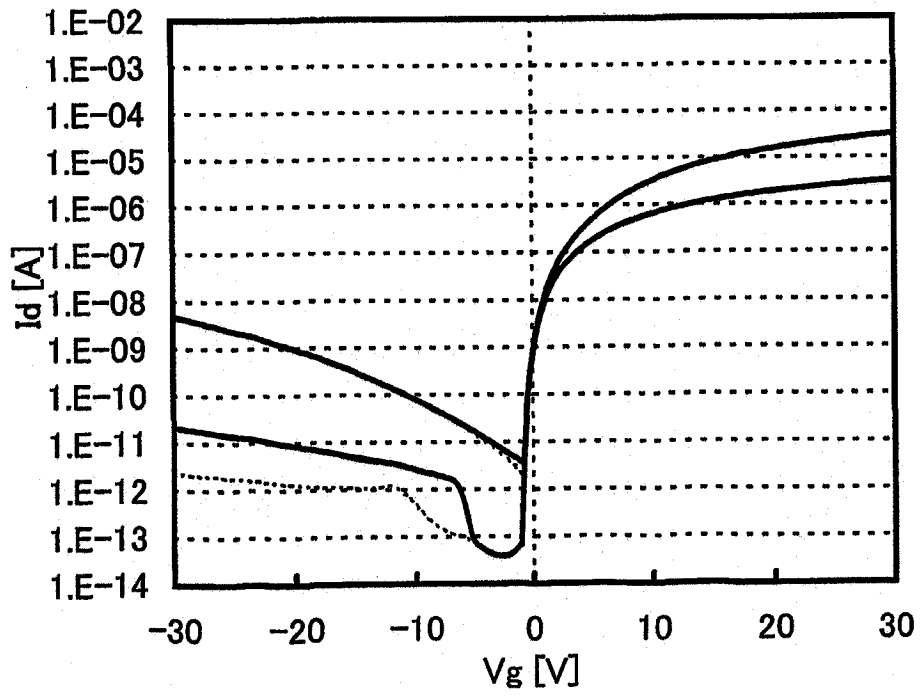


图 7B

(A) $\phi = 4.5\text{eV}$

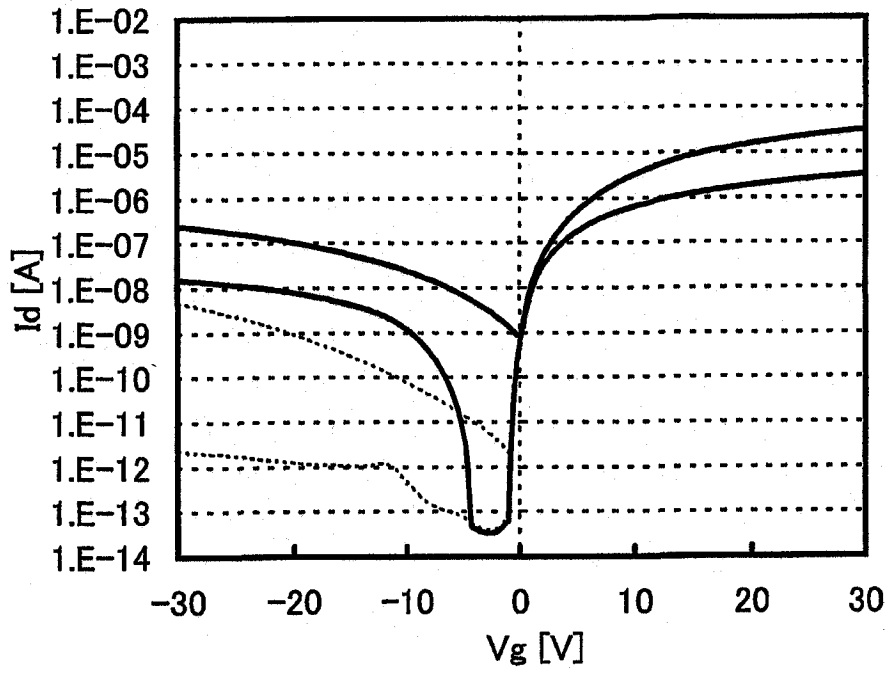


图 8

T=27°C

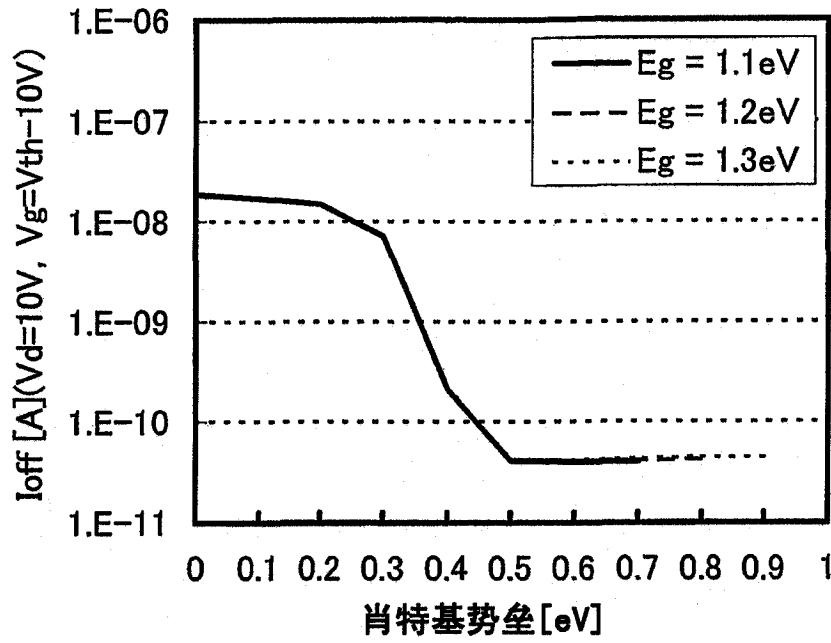


图 9A

T=85°C

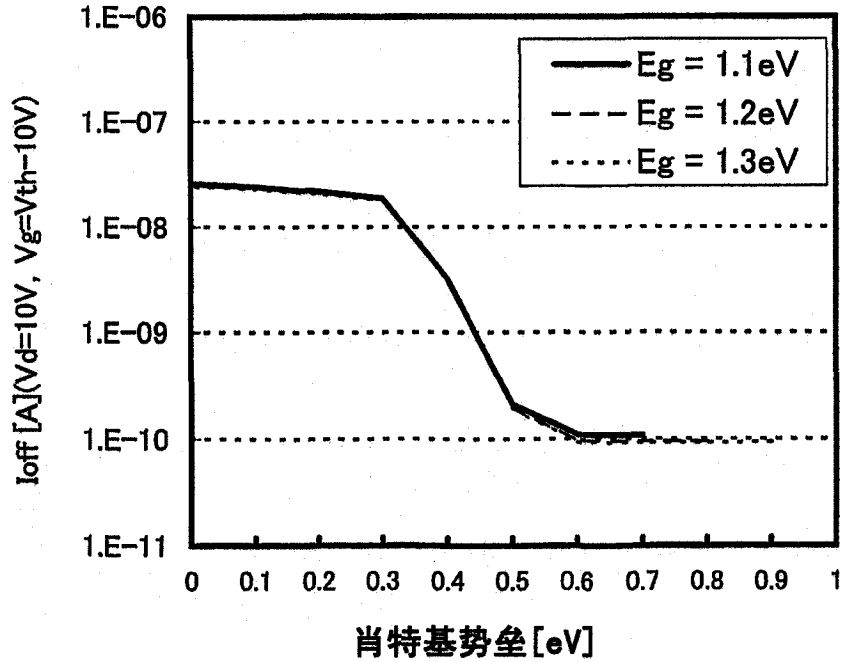


图 9B

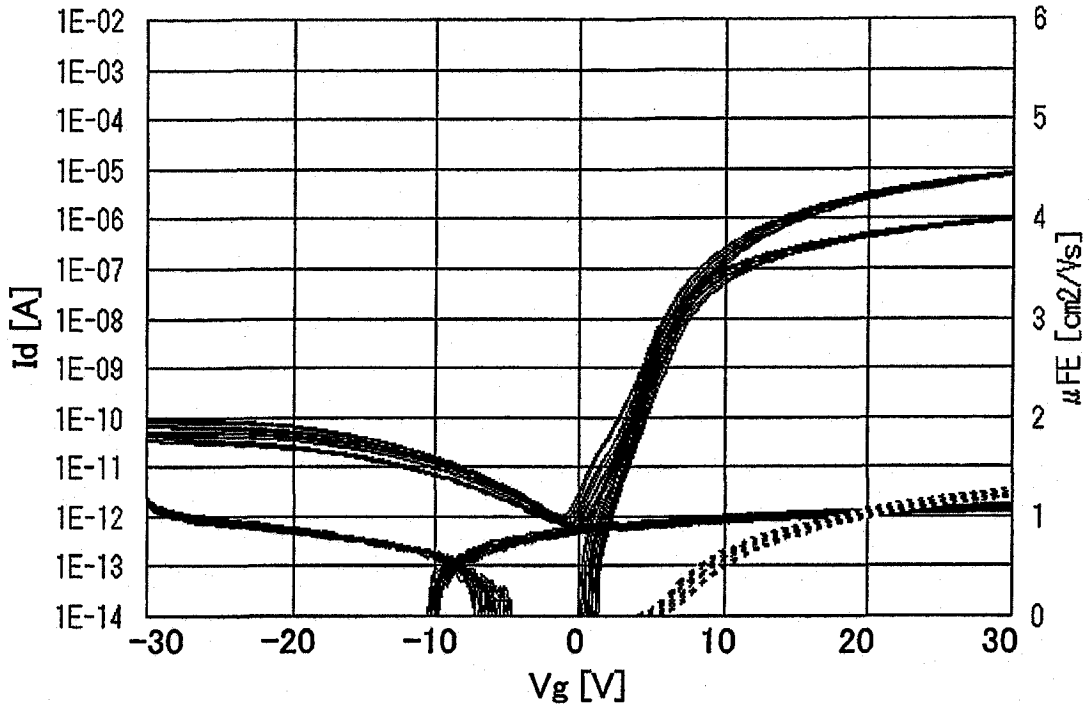


图 10A

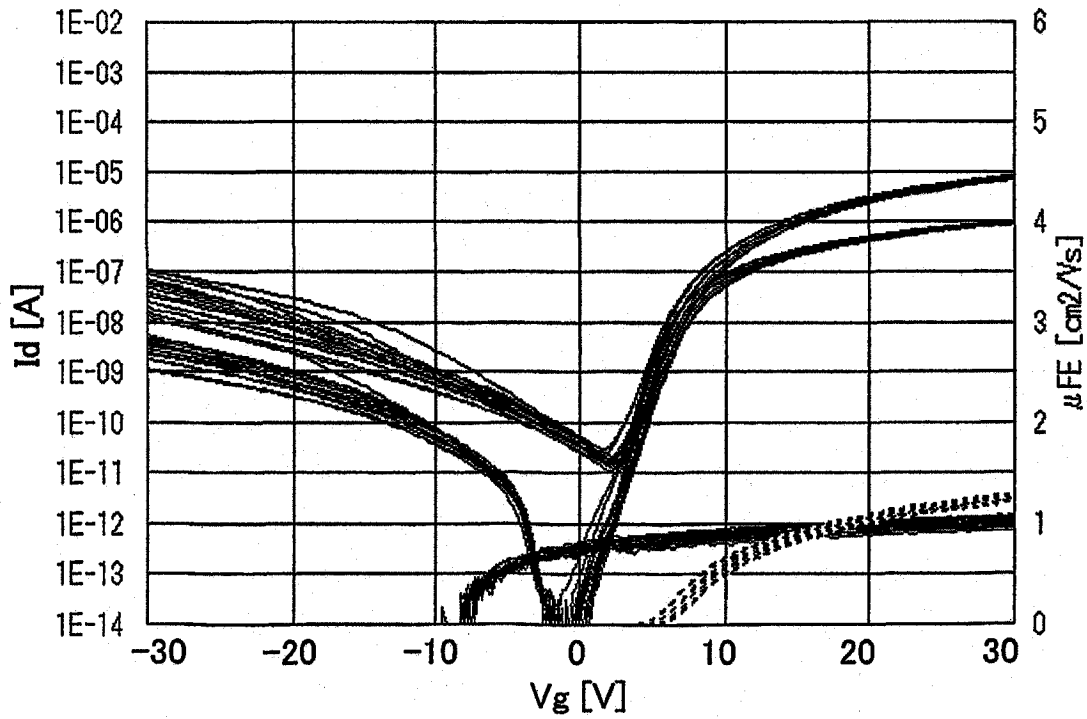


图 10B

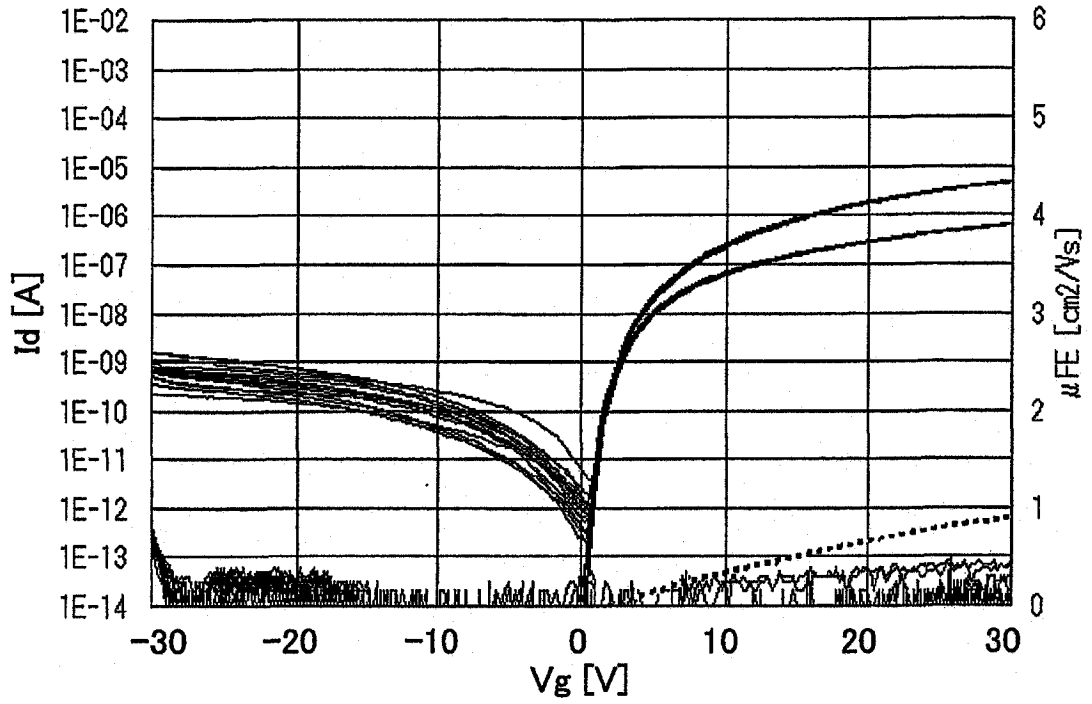


图 11A

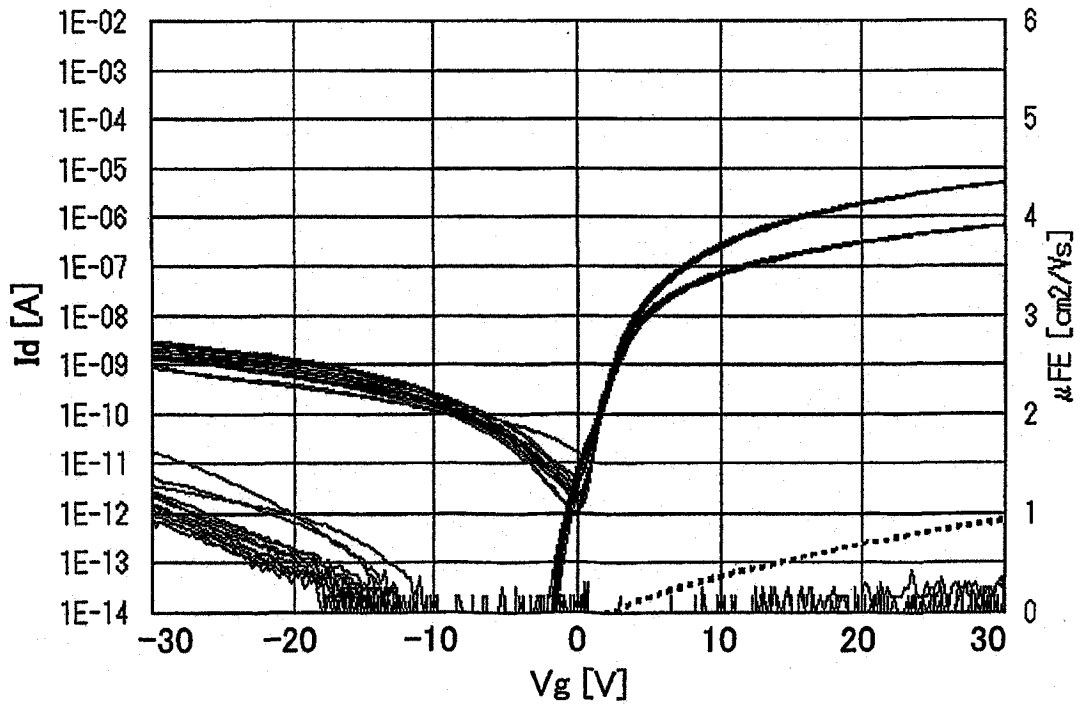


图 11B

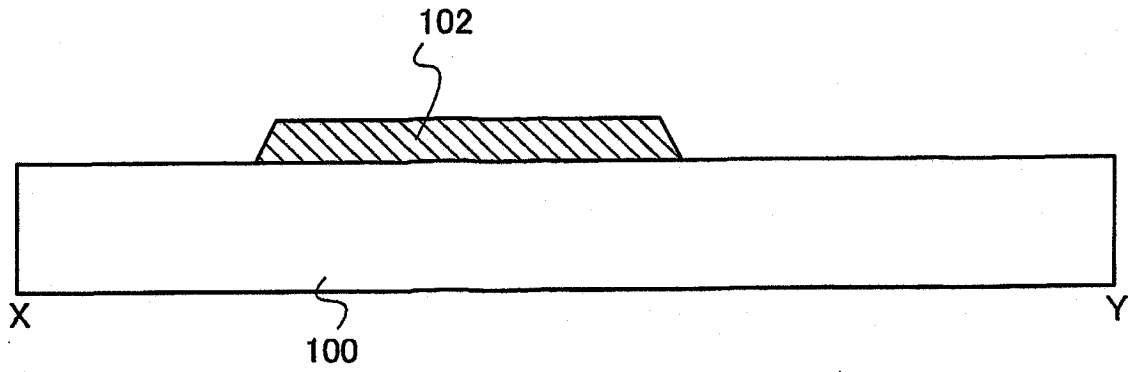


图 12A

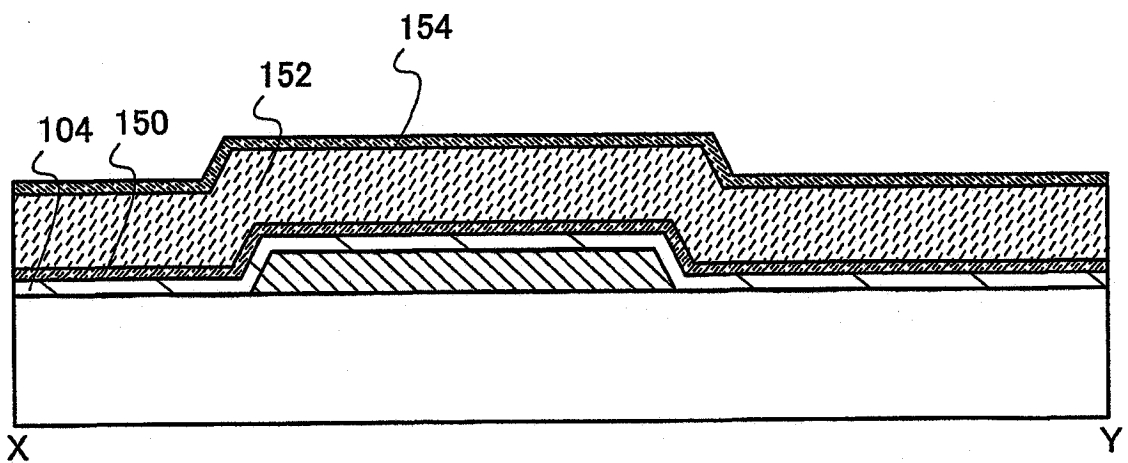


图 12B

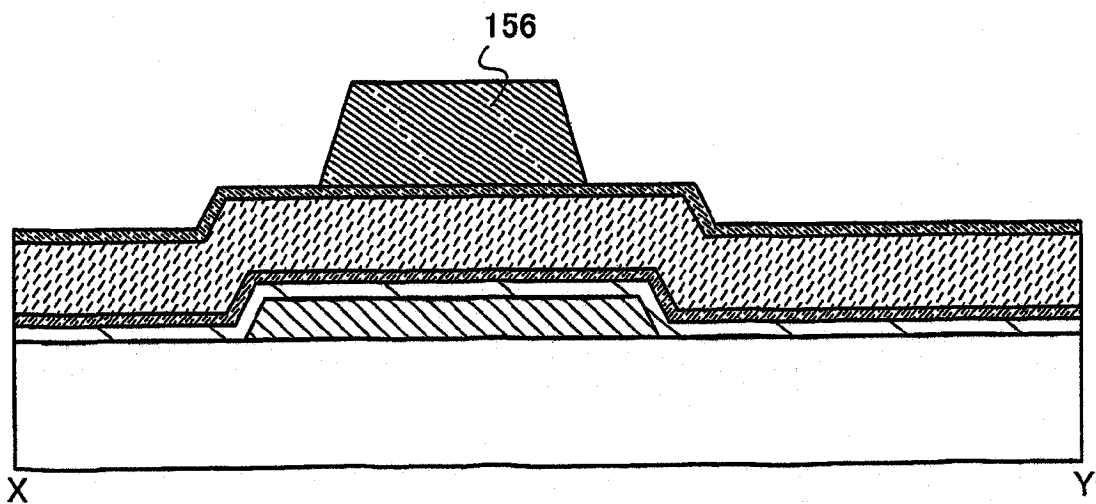


图 12C

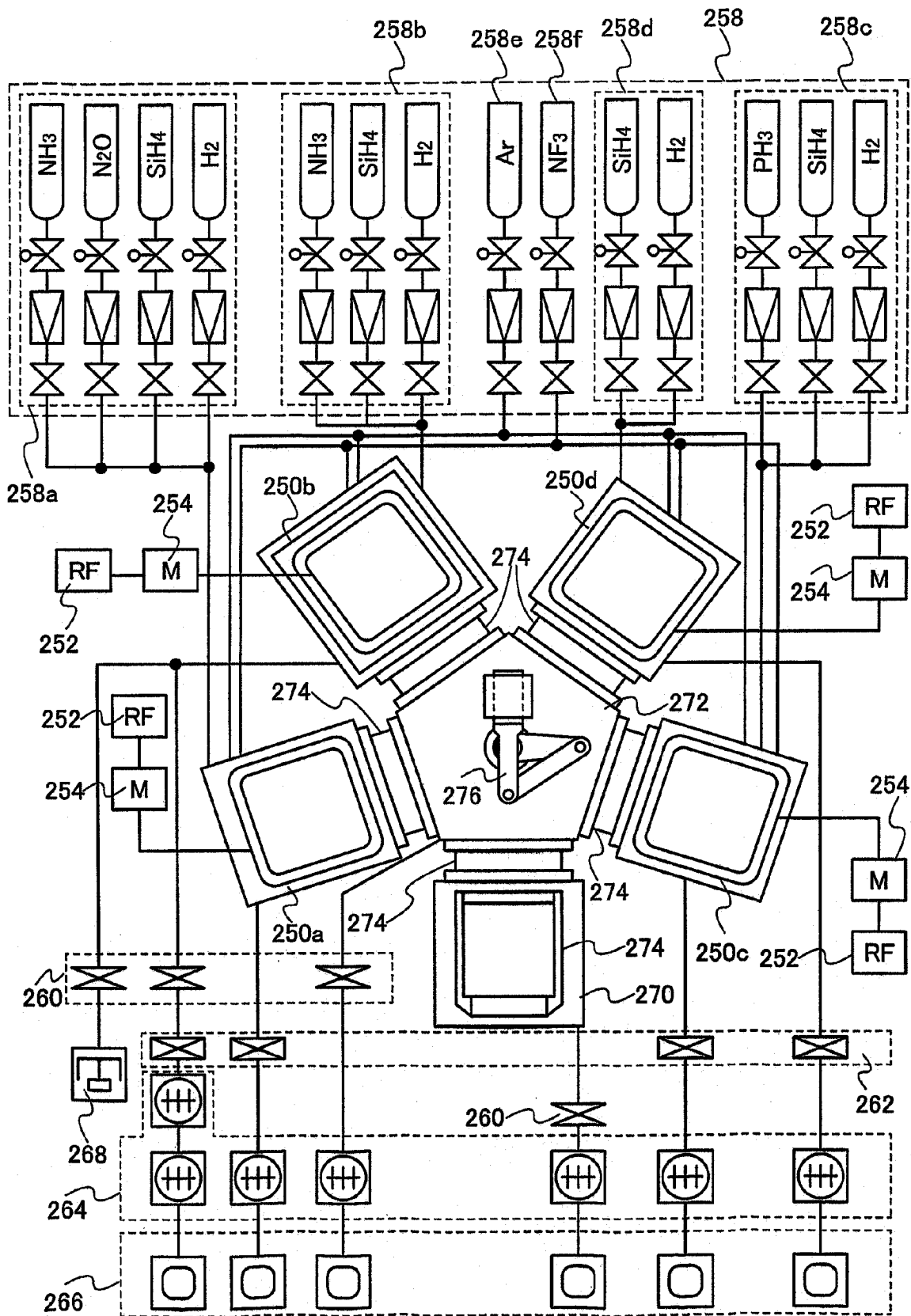


图 13

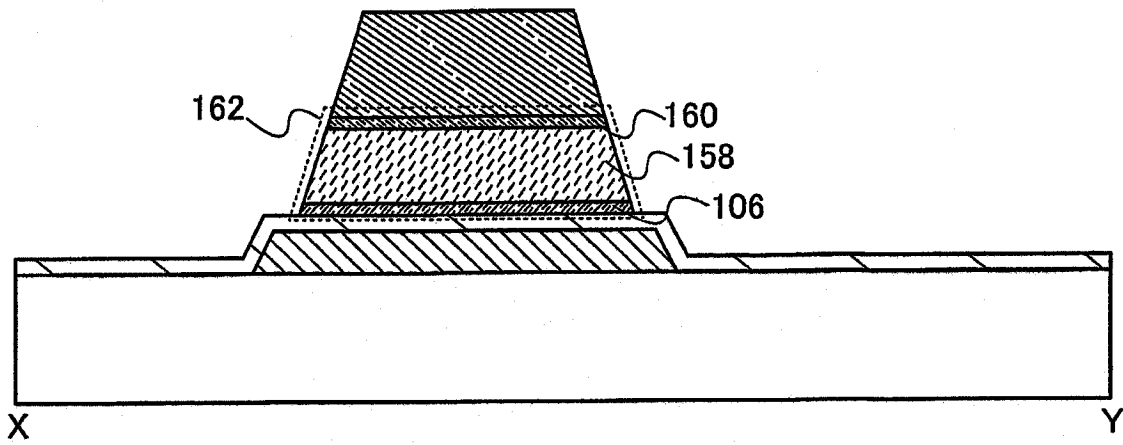


图 14A

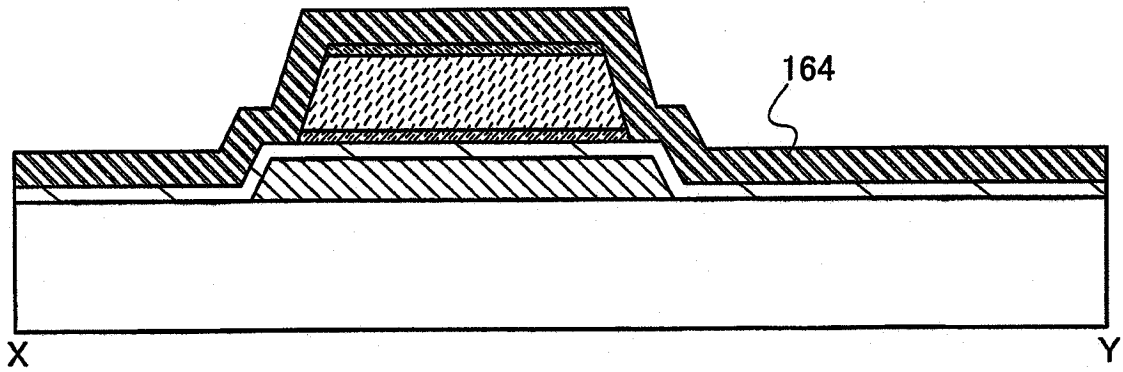


图 14B

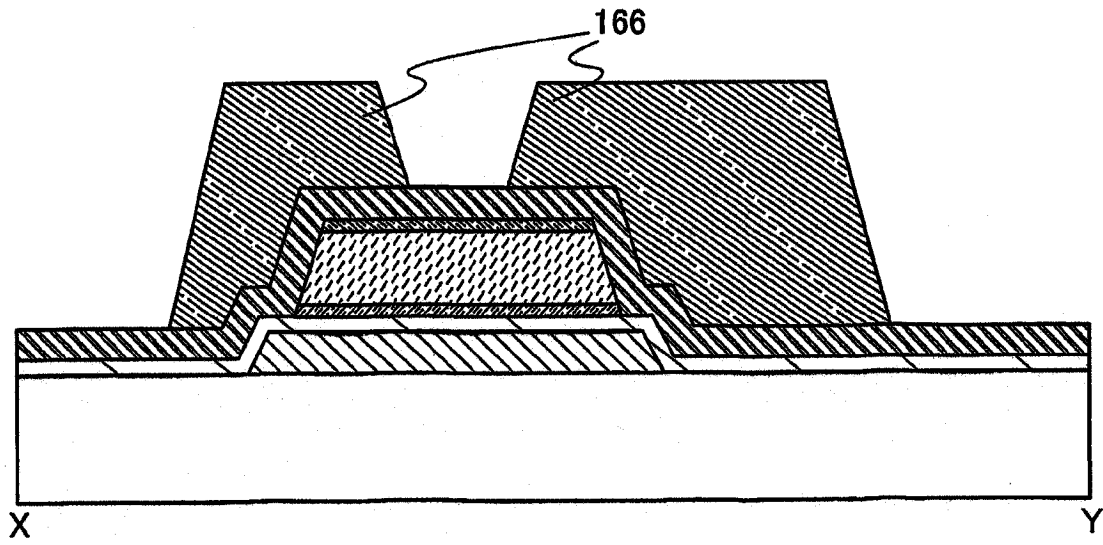


图 14C

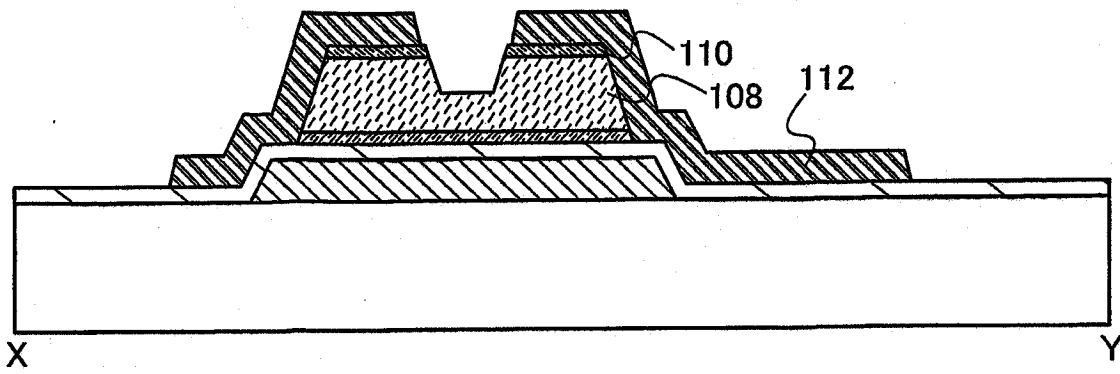


图 15A

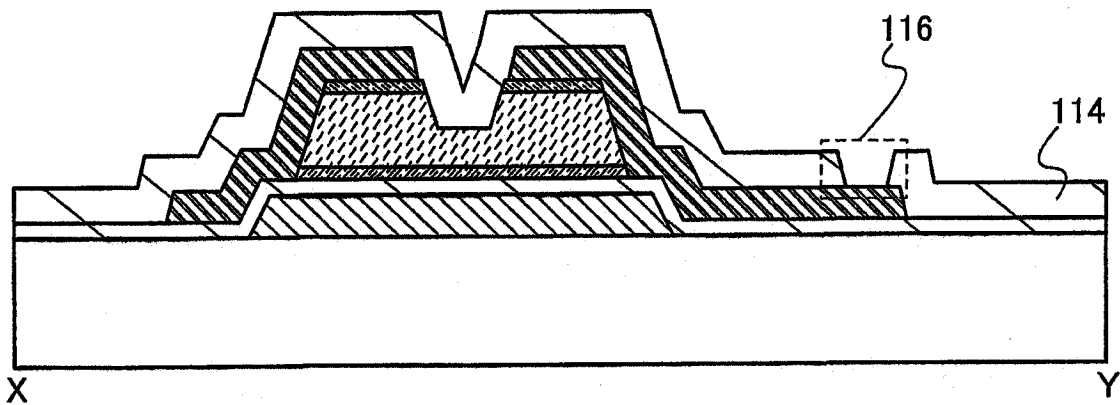


图 15B

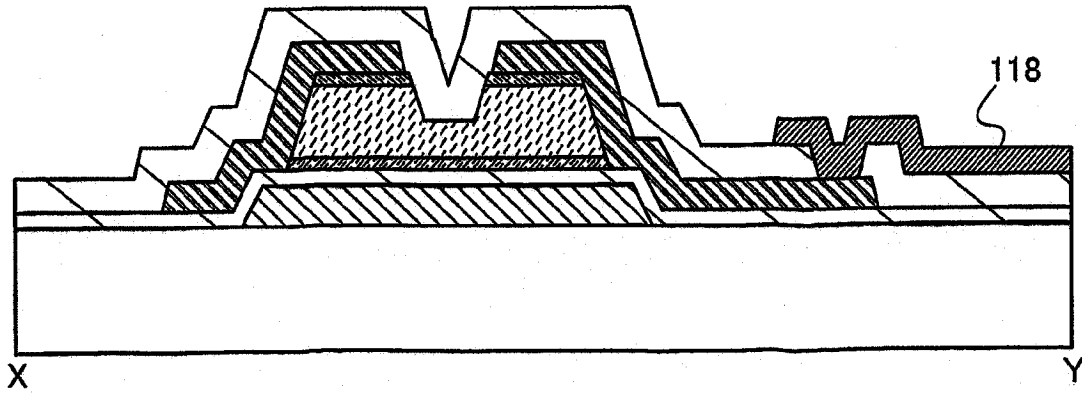


图 15C

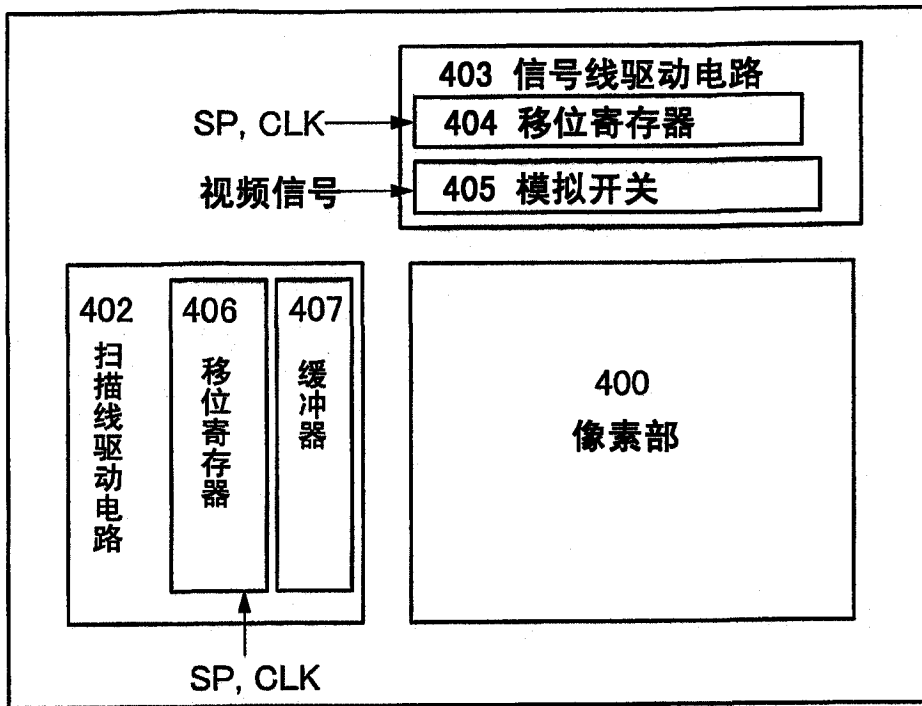


图 16

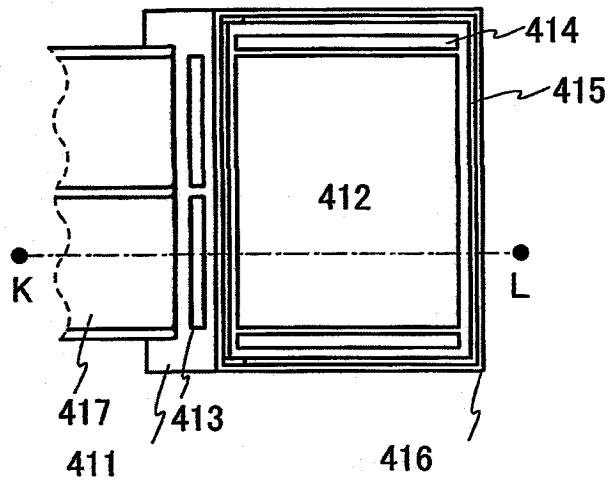


图 17A

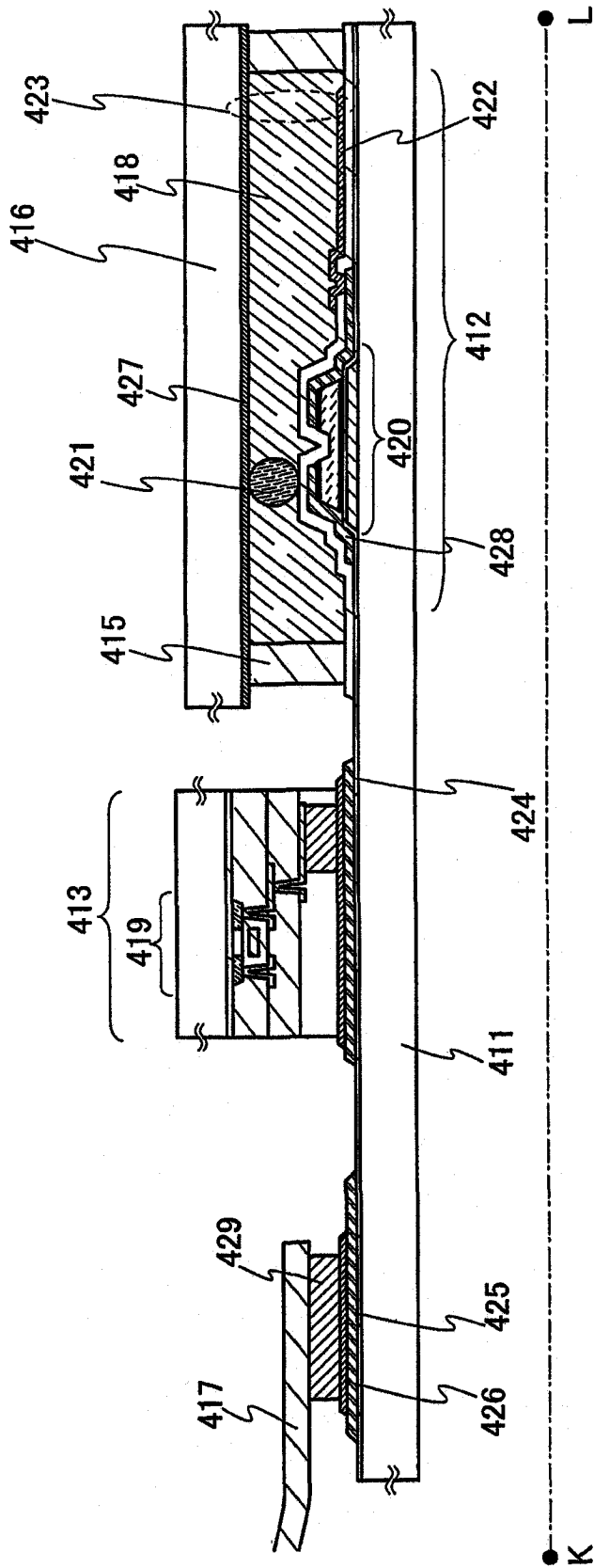


图 17B

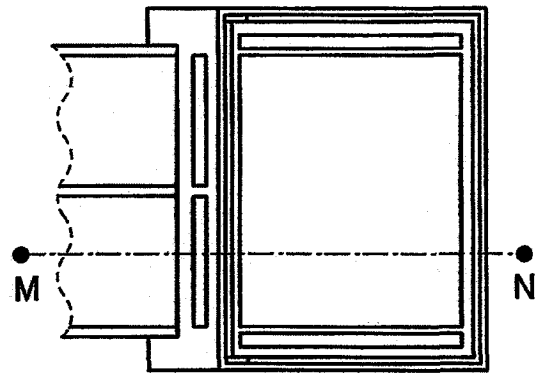


图 18A

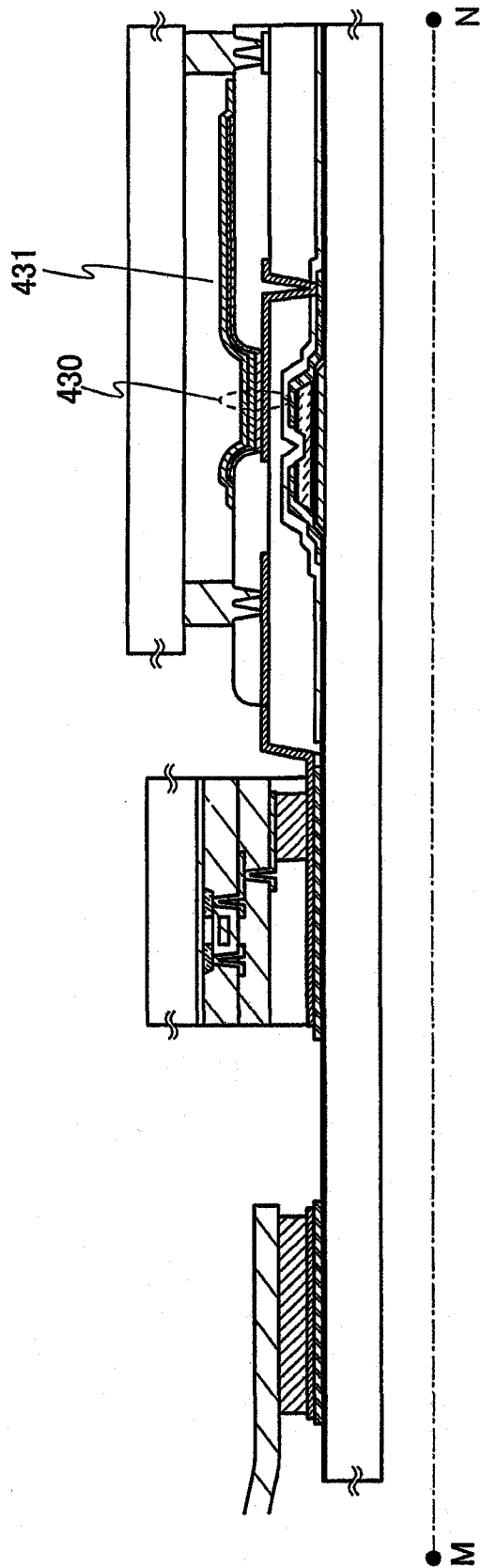


图 18B

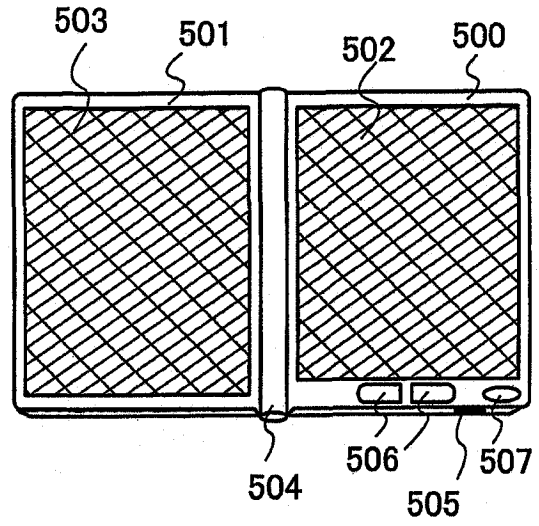


图 19A

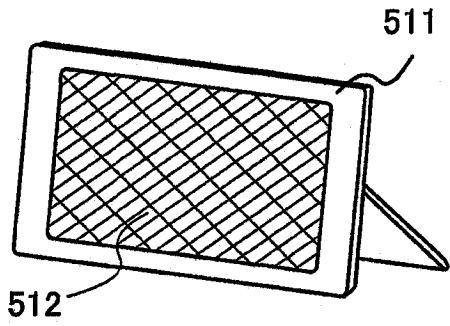


图 19B

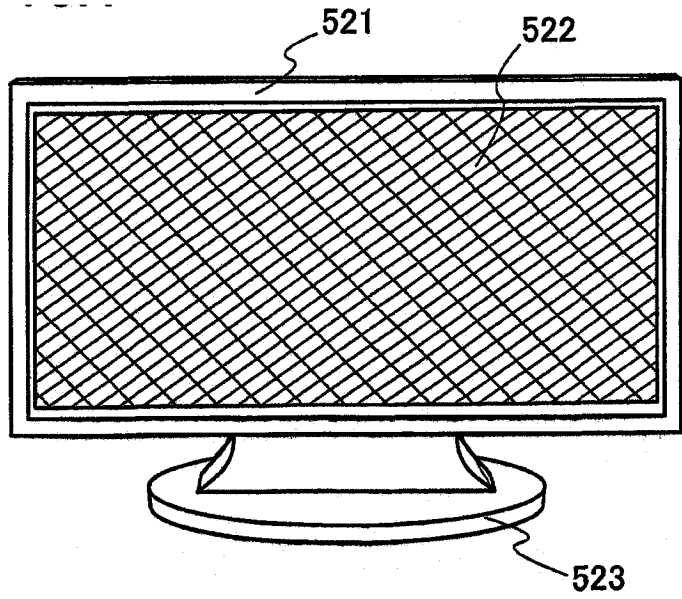


图 19C

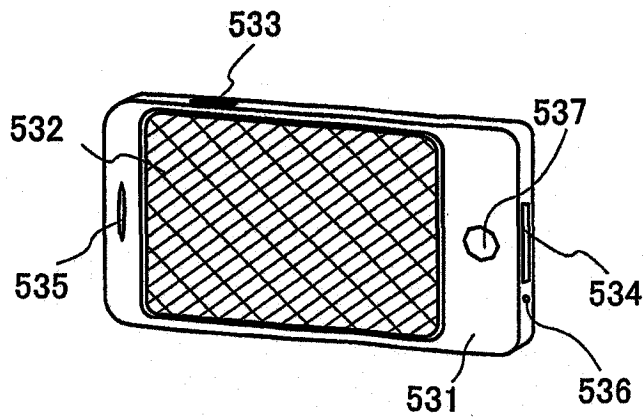


图 19D

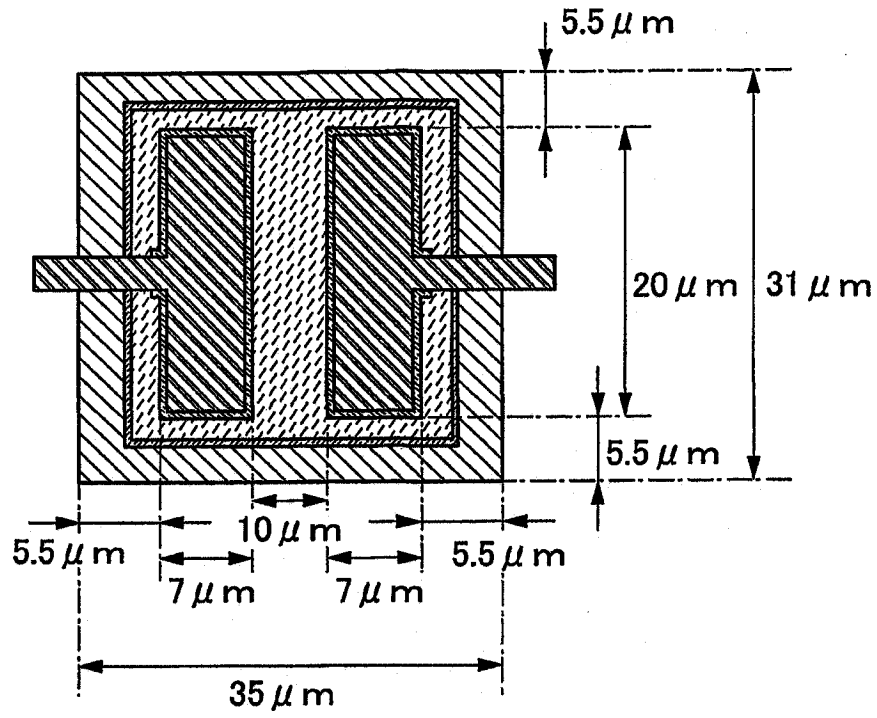


图 20A

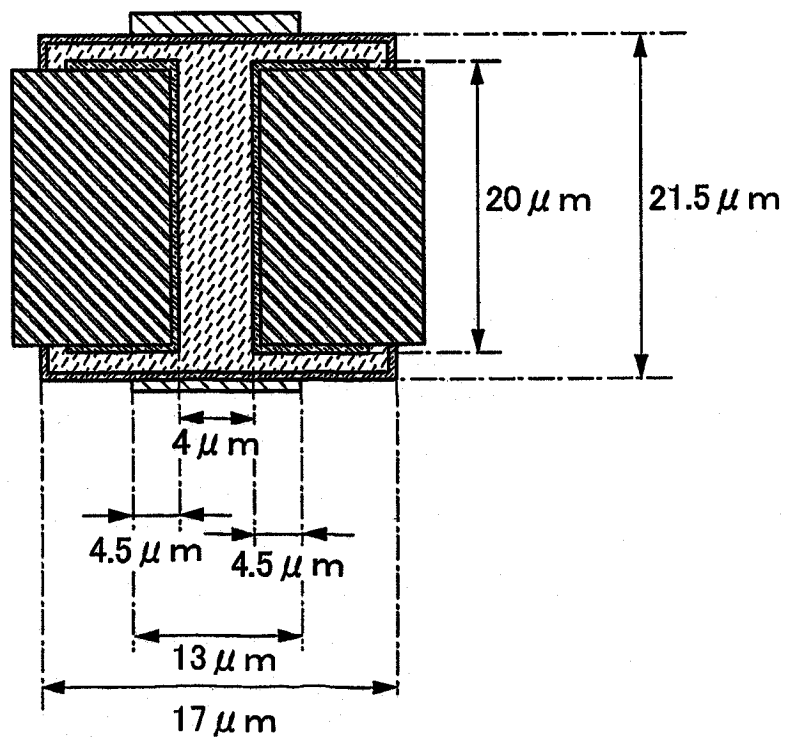


图 20B

100	衬底	210	杂质半导体层
102	栅电极层	212	源电极及漏电极层
104	栅极绝缘层	214	保护层
106	第一半导体层	216	开口
108	第二半导体层	218	像素电极层
110	杂质半导体层	230	部分
112	源电极层及漏电极层	231	部分
114	保护层	250a	反应室
116	开口	250b	反应室
118	像素电极层	250c	反应室
130	部分	250d	反应室
131	部分	252	高频电源
132	部分	254	匹配箱
150	第一半导体膜	258	气体供给单元
152	第二半导体膜	258a	气体供给单元
154	杂质半导体膜	258b	气体供给单元
156	抗蚀剂掩模	258c	气体供给单元
158	第二半导体层	258d	气体供给单元
160	杂质半导体层	258e	气体供给单元
162	叠层体	258f	气体供给单元
164	导电膜	260	蝶阀
166	抗蚀剂掩模	262	导气阀
200	衬底	264	涡轮分子泵
202	栅电极层	266	干燥泵
204	栅极绝缘层	268	低温泵
206	第一半导体层	270	装载/卸载室
208	第二半导体层	272	公共室

- | | | | |
|-----|---------|-----|---------|
| 274 | 闸门阀 | 429 | 各向异性导电层 |
| 276 | 传送单元 | 430 | 发光元件 |
| 400 | 像素部 | 431 | 填充料 |
| 402 | 扫描线驱动电路 | 500 | 框体 |
| 403 | 信号线驱动电路 | 501 | 框体 |
| 404 | 移位寄存器 | 502 | 显示部 |
| 405 | 模拟开关 | 503 | 显示部 |
| 406 | 移位寄存器 | 504 | 铰链 |
| 407 | 缓冲器 | 505 | 电源输入端子 |
| 411 | 衬底 | 506 | 操作键 |
| 412 | 像素部 | 507 | 扬声器 |
| 413 | 信号线驱动电路 | 511 | 框体 |
| 414 | 扫描线驱动电路 | 512 | 显示部 |
| 415 | 密封剂 | 521 | 框体 |
| 416 | 衬底 | 522 | 显示部 |
| 417 | FPC | 523 | 支架 |
| 418 | 液晶层 | 531 | 框体 |
| 419 | 薄膜晶体管 | 532 | 显示部 |
| 420 | 薄膜晶体管 | 533 | 操作按钮 |
| 421 | 隔离物 | 534 | 外部连接端口 |
| 422 | 像素电极 | 535 | 扬声器 |
| 423 | 液晶元件 | 536 | 麦克风 |
| 424 | 布线 | 537 | 操作按钮 |
| 425 | 布线 | | |
| 426 | 连接端子 | | |
| 427 | 对置电极 | | |
| 428 | 布线 | | |