

公告本

申請日期	88.8.30
案 號	88114803
類 別	H01L 23/495

A4
C4

594964

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	多晶片的封裝結構
	英 文	
二、發明 人	姓 名	劉洪民
	國 籍	中華民國
	住、居所	新竹市大學路 81 巷 2 弄 3 之 2 號 1 樓
三、申請人	姓 名 (名稱)	1 聯華電子股份有限公司 2 聯嘉積體電路股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 姓 名	曹興誠

裝

訂

線

五、發明說明 (/)

本發明是有關於一種半導體的封裝結構，且特別是有關於一種多晶片的封裝結構。

在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為三個階段：矽晶片的製造、積體電路的製作以及積體電路的封裝(Package)等。就積體電路的封裝而言，此即是完成積體電路成品的最後步驟。封裝之目的在於提供晶片(Die)與印刷電路板(Printed Circuit Board, PCB)或其他適當元件之間電性連接的媒介及保護晶片。

在完成半導體製程後，晶片係由晶圓(Wafer)切割形成。一般晶片上會具有焊墊(Bonding Pad)，其作用為提供晶片檢測之測試點，並作為晶片與其他元件間連接之端點。為了連接晶片和其他元件，通常會使用導線(Wire)或凸塊(Bump)作為連接之媒介。

第 1 圖繪示習知一種晶片的封裝結構示意圖。晶片 100 配置於一晶片座 102 上，晶片座 102 裝設於導線架 104 的中心。晶片 100 其中一面上有金屬製的焊墊 106，焊墊 106 的作用係用以作為晶片 100 對外的接點，常以鋁做成。而晶片 100 係以沒有焊墊的一面，利用晶片接合材料(adhesive)固定在一起。在固定之後，再利用導線(wire)108，將晶片 100 上的各個焊墊一個一個的電性連接至與各個焊墊相對應的接腳 110。之後，再利用封裝材料(packaging material)112 將晶片 100、導線 108、以及接腳 110 的部分位置封住，除了可以固定各元件彼此之間的相對位置外，保護晶片及晶片與導線連接的部分，並且隔絕外界對晶片操作的影響因

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

素包括濕氣等。接腳 110 由封裝材料 112 的側面伸出，並向下彎折，連接到印刷電路板(printed circuit board, PBC)(未繪示)。

然而，隨著晶片愈來愈高的積集度，業界對於封裝的要求也日益提高。傳統的封裝結構，內部僅有一個晶片，在今日高度情報化的社會，多媒體應用的市場不斷急速地擴張，其元件積極度與效能(performance)均受限於單一晶片，而無法提升，造成成本價格無法降低。因此如何增加積體電路的元件積極度與效能，進而降低成本已是刻不容緩的課題。

因此，本發明提供一種多晶片的封裝結構，其結構包括一第一晶片，包括一第一表面與一第二表面，第一表面具有複數個第一錫墊；一第二晶片，包括一第三表面與一第四表面，第三表面具有複數個第二錫墊；一導線架，包括一晶片座與複數隻接腳，晶片座具有一第五表面與一第六表面，第五表面貼附該第二表面，第六表面貼附第三表面，且晶片座之第六表面暴露出第三表面上之錫墊，接腳均具有一內腳部分與一外腳部分；複數條導線，分別對應連接第一錫墊與第二錫墊至接腳的內腳部分；以及一封裝材料，包覆第一晶片、第二晶片、與接腳的內腳部分。

本發明所提出的多晶片封裝結構，以現有的封裝技術即可做到，極適合廠商的生產安排。

本發明改變對導線架的設計，使用面積較晶片為小的晶片座，如此不需對晶片本身作任何其他的處理，僅需使

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明(3)

用同一規格的晶片，成本花費低。

本發明之多晶片封裝結構將兩片以上的晶片封裝在一起，當應用於動態隨機存取記憶體時，可使其記憶體的密度倍增。同時不需對晶圓重新設計、製作，而可將二晶片整合於一封裝中，縮短晶片間距離，使記憶體的效能提高。而且由於不需重新設計、製作晶圓，因此本發明可快速的切入市場。

藉由本發明所提出的多晶片封裝結構，可在增加有限的成本中增強晶片的密度與效能，並進而增加元件的積極度。

本發明亦可用於邏輯元件上，如此可將具有不同功能的晶片封裝在一起，不僅增加其密度，而且增強其功能。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示習知一種晶片的封裝結構示意圖；以及

第 2 圖繪示依照本發明一較佳實施例之一種多晶片封裝結構示意圖。

圖式之標記說明：

100、210、222：晶片

102、202：晶片座

104、200：導線架

106、214、223：焊墊

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (4)

- 108、220、225：導線
- 110、204：接腳
- 112、230：封裝材料
- 206、208：平面
- 212：第一晶片 210 之表面
- 216、226：晶片座 202 的表面
- 218、228：晶片接合材料
- 224：第二晶片 222 之表面
- 232：接腳 204 之內腳部分
- 234：接腳 204 之外腳部分
- 236：印刷電路板

實施例

舊式的晶片封裝結構，其內部僅有一個晶片，其功能將受到限制，爲了因應積極度的需求，本發明提出一種多晶片的封裝結構，其藉由改變導線架的設計，採用比晶片表面面積小的晶片座，將兩片以上的晶片封裝在一起，提升其效能(performance)及密度。爲讓本發明之特徵和優點能更清楚，以下將以封裝兩個晶片爲例，對本發明的封裝結構作詳細說明。

第 2 圖繪示依照本發明一較佳實施例之一種多晶片封裝結構示意圖。

請參照第 2 圖，首先，提供一導線架 200，作爲承載器之用，其包括一晶片座 202 與接腳 204。部分接腳 204 向下折彎，形成一表面高度較低之第一平面 206 與一表面

五、發明說明(5)

高度較高之第二平面 208。將部分接腳 204 下凹可利於晶片的打導線步驟，當然熟習該技術者應知此下凹結構並非絕對必要。

第一晶片 210 之正面 212 具有金屬製的鐳墊 214，鐳墊 214 的作用係用以作為第一晶片 210 對外的接點，典型係以鋁做成。第一晶片 210 以具有鐳墊 214 的一面 212 與晶片座 202 的表面 216 黏合在一起。本發明改變對導線架的設計，晶片座 202 之表面 216 的面積小於第一晶片 210 之表面 212 的面積，因此，黏合後第一晶片 210 表面 212 上的鐳墊 214 將會暴露出來。其黏合例如是使用晶片接合材料(adhesive)218 固定在一起，典型係採用環氧樹脂(epoxy)來黏合，亦可利用接合膠帶(adhesive tape)來固定。

在固定之後，利用導線(wire)220，將第一晶片 210 上的各個鐳墊 214 一個一個的電性連接至與各個鐳墊 214 相對應並具有較低之第一平面 206 的接腳 204 上。

第二晶片 222 則以沒有鐳墊 223 的一面 224，與晶片座 202 的另一表面 226 黏合在一起，其例如是使用晶片接合材料 228 固定在一起，典型係採用環氧樹脂來黏合，或利用接合膠帶來固定。第一晶片與第二晶片 210、222 可以為相同功能之晶片，比如 DRAM 晶片；亦可以為不同的晶片，比如記憶體晶片、邏輯元件晶片、快閃記憶體晶片等。

同樣的，在固定之後，利用導線 225，將第二晶片 222 上的各個鐳墊 223 一個一個的電性連接至與各個鐳墊 223

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (C)

相對應且具有較低之第一平面 206 的接腳 204 上。

將部分接腳 204 下凹除了可使第一晶片 210 打導線時更容易連接，且使整個的晶片組能固定於封裝結構的中間部分。

接著，利用封裝材料(packaging material)230，將第一晶片 210、第二晶片 222、導線 220、225、以及部分接腳 204 封住，其中具有第一平面 206 的接腳 204 與部分具有第二平面 208 的接腳 204 均被包覆住。如此，除了可以固定各元件彼此之間的相對位置外，亦可以防止濕氣進入。被封裝材料 230 包覆的部分內腳 204 即為接腳 204 之內腳部分 232，而未被包覆的為接腳 204 之外腳部分 234。

接腳 204 之外腳部分 234 由封裝材料 230 的側面伸出，並向下彎折，連接到印刷電路板(printed circuit board, PBC)236 上。

本發明之多晶片封裝結構係將兩片以上的晶片封裝在一起，可在增加有限的成本中增強晶片的效能。以動態隨機存取記憶體(dynamic random access memory, DRAM)為例，一顆 64 百萬位元的 DRAM 的價格約為一顆 128 百萬位元的 DRAM 的價格的三分之一，甚至不到三分之一。因此，將兩顆 64 百萬位元的 DRAM 封裝在同一個封裝結構中，則不但可以具有 128 百萬位元的 DRAM 的效能，且價格增加極為有限。

而且，本發明較佳實施例中將兩片晶片封裝在一起，若應用於 DRAM 產品時，其記憶體的密度倍增，即 64 百

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

萬位元直接升級為 128 百萬位元，如此不僅提升了元件的積極度，而且可於不需對晶元重新設計、製作的情況下，使記憶體達到雙倍的效能。由於不需重新設計、製作晶元，因此本發明可快速的切入市場。同時由於縮短晶片間的距離，可以提高訊號傳輸速率，提高元件效能。

本發明的晶片封裝結構也可應用於邏輯元件、快閃記憶體或其他元件上，將具有不同功能的晶片封裝在一起，可增強其功能。

再者，由於本發明使用比晶片面積小的晶片座作為承載器，當第一晶片固定於晶片座上時，第一晶片可以以具有錫墊之表面與晶片座之表面黏合，且將錫墊暴露出來，如此，僅需將第一與第二晶片以相同的方向擺放，便不會有連接用的導線纏繞在一起的情形發生，因此晶片上的錫墊不需做鏡像重新排列(mirror re-distribution)，或者增加 interposer，亦即晶片本身不需作任何其他的處理，僅需使用同一規格的晶片，成本花費低。

此外，本發明之多晶片封裝結構，以現有的封裝技術即可做到，極適合廠商的生產安排。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 多晶片的封裝結構)

一種多晶片的封裝結構，其改變對導線架的設計，將兩片以上的晶片封裝在一起，採用比晶片表面面積小的晶片座，使晶片均以相同的方向擺放時，可暴露出其表面上的錫墊，因此打導線時不會有導線纏繞的情形發生，且不需對晶片本身作任何的處理，在使用有限的成本下，提升封裝結構的效能與晶片密度，進而提升元件的積極度。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫此頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種多晶片的封裝結構，包括：

一第一晶片，包括一第一表面與一第二表面，該第一表面具有複數個第一鐳墊；

一第二晶片，包括一第三表面與一第四表面，該第三表面具有複數個第二鐳墊；

一導線架，包括一晶片座與複數隻接腳，該晶片座具有一第五表面與一第六表面，該第五表面貼附該第二表面，該第六表面貼附該第三表面，且該晶片座之面積小於該第二晶片，以暴露出該第三表面上之該些第二鐳墊，該些接腳均具有一內腳部分與一外腳部分；

複數條導線，分別對應連接該些第一鐳墊與該些第二鐳墊至該些接腳的內腳部分；以及

一封裝材料，包覆該第一晶片、該第二晶片、與該些接腳的內腳部分。

2. 如申請專利範圍第 1 項所述之多晶片的封裝結構，其中該第一晶片與該第二晶片相同。

3. 如申請專利範圍第 1 項所述之多晶片的封裝結構，其中該些接腳的內腳部分均經折彎使其尖端位於一第一平面該第一平面接近第四表面，且該些導線係分別對應連接該些第一鐳墊與該些第二鐳墊至該些接腳之內腳部分位於該第一平面的尖端。

4. 如申請專利範圍第 1 項所述之多晶片的封裝結構，其中該第一晶片與該第二晶片及該晶片座間更包括一晶片接合材料層，用以固定該第一晶片與該第二晶片及該晶片

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

座。

5.如申請專利範圍第 4 項所述之多晶片的封裝結構，其中該晶片接合材料層包括環氧樹脂。

6.如申請專利範圍第 1 項所述之多晶片的封裝結構，其中該第一晶片與該第二晶片及該晶片座間更包括一接合膠帶，用以固定該第一晶片與該第二晶片及該晶片座。

7.如申請專利範圍第 1 項所述之多晶片的封裝結構，其中該些接腳之外腳部分用以連接至一印刷電路板上。

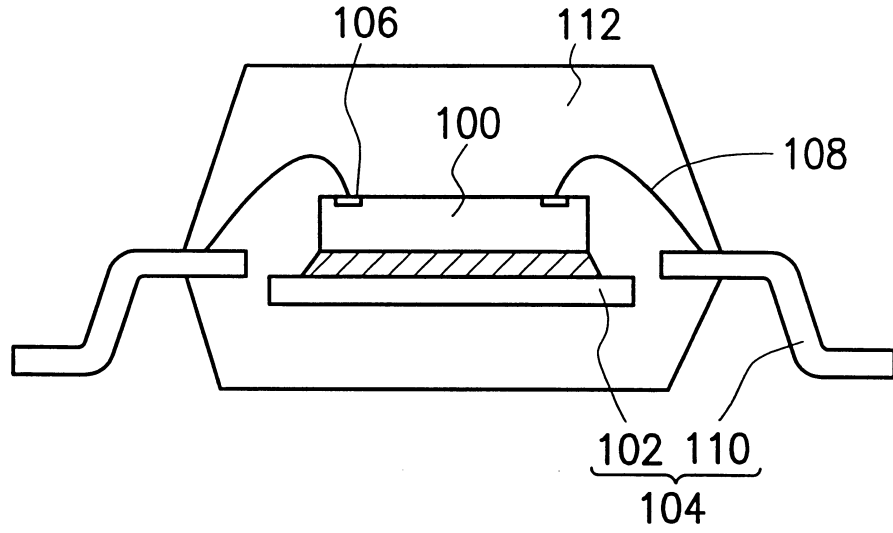
(請先閱讀背面之注意事項再填寫本頁)

裝

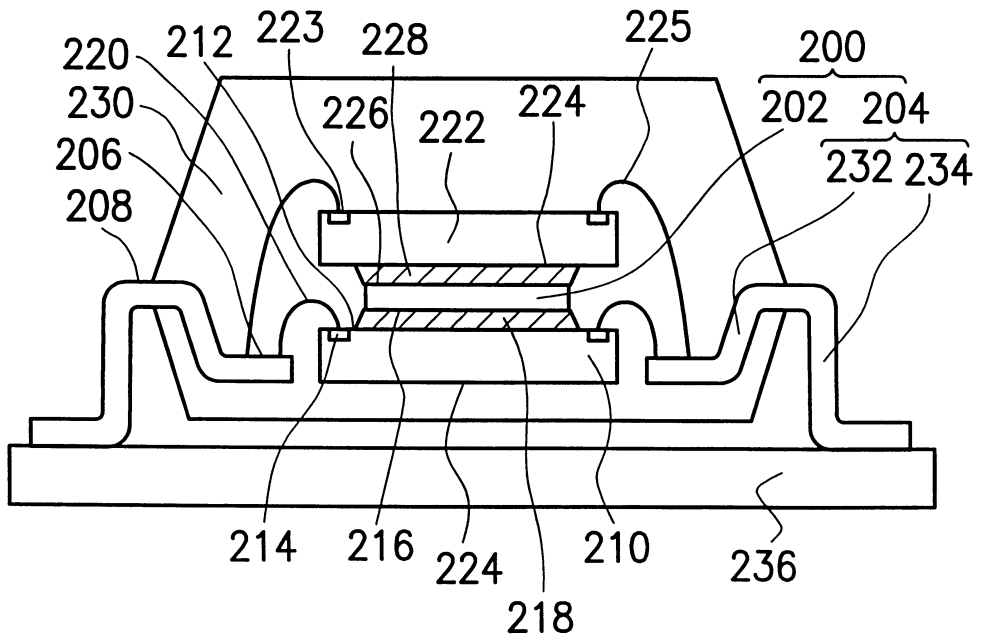
訂

線

4966TW



第 1 圖



第 2 圖