



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0093573
(43) 공개일자 2010년08월25일

(51) Int. Cl.

H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

- (21) 출원번호 10-2010-7013660
- (22) 출원일자(국제출원일자) 2008년10월27일
 심사청구일자 2010년06월21일
- (85) 번역문제출일자 2010년06월21일
- (86) 국제출원번호 PCT/US2008/012176
- (87) 국제공개번호 WO 2009/067140
 국제공개일자 2009년05월28일
- (30) 우선권주장
 11/942,513 2007년11월19일 미국(US)

(71) 출원인

마이크론 테크놀로지, 인크.

미국 83716-9632 아이다호주 보이스 피.오. 박스 6 사우스 페드럴 웨이 8000

(72) 발명자

엘-카레, 바디

미국 78613 텍사스주 세다 파크 벤 도란 코트 2507

포베스, 레오나르드

미국 97330-9113 오레곤주 코발리스 노쓰웨스트 마운틴 뷰 드라이브 7340

(74) 대리인

양영준, 백만기

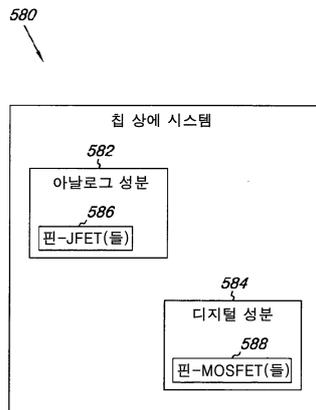
전체 청구항 수 : 총 25 항

(54) 핀-J F E T

(57) 요약

핀(Fin)-JFET들 및 핀-MOSFET들을 집적하는 방법들, 장치들, 및 시스템들이 제공된다. 방법의 일실시예는 기판 상에 적어도 핀-MOSFET를 형성하는 단계 및 기판 상에 적어도 한 핀-JFET를 형성하는 단계를 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

트랜지스터들을 형성하는 방법에 있어서,
 기판(105, 205) 상에 적어도 한 핀(Fin)-MOSFET(100)를 형성하는 단계; 및
 상기 기판(105, 205) 상에 적어도 한 핀-JFET(200)를 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 2

제 1 항에 있어서, 상기 적어도 한 핀-JFET(200)를 형성하는 단계는 CMOS 공정에 따라 핀 구조들(200)을 갖는 다수의 nJFET 장치들 및 pJFET 장치들을 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 3

제 1 항에 있어서, 상기 적어도 한 핀-JFET(200)에 연관된 핀 구조(200)는 상기 적어도 한 핀-MOSFET(100)에 연관된 핀 구조(128)보다 큰 폭으로 형성되는 것인, 트랜지스터 형성방법.

청구항 4

제 1 항에 있어서, 상기 적어도 한 핀-MOSFET(100)를 형성하는 단계는 CMOS 공정에 따라 핀 구조들(128)을 갖는 다수의 NMOS 및 PMOS FET들을 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 5

제 1 항에 있어서, 상기 방법은,
 CMOS 공정에 따라 다수의 핀-MOSFET들(100) 및 핀-JFET들(200)을 형성하는 단계를 포함하고;
 핀-MOSFET들(100) 및 핀-JFET들(200)의 n형 반도체 핀 구조들(128, 200)이 동시에 도핑되고, 핀-MOSFET들(100) 및 핀-JFET들(200)의 p형 반도체 핀 구조들(128, 200)이 다른 단계에서 동시에 도핑되는 것인, 트랜지스터 형성방법.

청구항 6

제 1 항에 있어서, 핀-pMOSFET들(100) 및 핀-nJFET들(200)의 핀 구조들(128)이 동시에 도핑되고, 핀-nMOSFET들(100) 및 핀-pJFET들(200)의 핀 구조들(200)이 동시에 도핑되는, 트랜지스터 형성방법.

청구항 7

제 1 항에 있어서, 상기 적어도 한 핀-JFET(200) 및 상기 적어도 한 핀-MOSFET(100)를 형성하는 단계는;
 상기 기판(105, 205) 상에 적어도 한 핀-JFET 반도체 핀(200) 및 적어도 한 핀-MOSFET 반도체 핀(128)을 동시에 형성하는 단계;
 상기 핀-JFET(200) 및 핀-MOSFET(100) 핀들 상에 확장하는 유전층(108, 208)을 동시에 형성하는 단계; 및
 상기 핀-JFET(200) 및 핀-MOSFET(100) 핀들 상에 확장하는 제 1 도전층(110)을 동시에 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 8

제 7 항에 있어서, 상기 적어도 한 핀-JFET(200)를 형성하는 단계는,
 소스(B), 드레인(F) 및 게이트(D) 영역들에 연관된 상기 유전층(208)을 선택적으로 제거하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 9

제 8 항에 있어서, 상기 제 1 도전층(100)을 형성하는 단계는 핀-MOSFET(100) 게이트 및 적어도 한 핀-JFET(200) 단자를 동시에 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 10

제 9 항에 있어서, 상기 제 1 도전층(110)을 형성하는 단계는 n형 NMOS 게이트 및 pJFET 게이트(217)를 동시에 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 11

제 9 항에 있어서, 상기 제 1 도전층(110)을 형성하는 단계는 n형 NMOS 게이트 및 nJFET 소스(213) 및 드레인(215)를 동시에 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 12

제 9 항에 있어서, 상기 제 1 도전층(110)을 형성하는 단계는 p형 PMOS 게이트 및 nJFET 게이트(217)를 동시에 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 13

제 9 항에 있어서, 상기 제 1 도전층(110)을 형성하는 단계는 p형 PMOS 게이트 및 pJFET 소스(213) 및 드레인(215)를 동시에 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 14

제 9 항에 있어서, 상기 방법은, 상기 제 1 도전층(110)과는 다르게 도핑된 제 2 도전층을 사용하여 적어도 한 핀-JFET(200) 단자를 형성하는 단계를 포함하는, 트랜지스터 형성방법.

청구항 15

제 1 항에 있어서, 상기 적어도 한 핀-MOSFET(100) 및 적어도 한 핀-JFET(200)은 준-평면(quasi-planar) 토포그래피를 갖게 형성되는, 트랜지스터 형성방법.

청구항 16

적어도 한 핀-JFET(200)를 형성하는 방법에 있어서,
 적어도 한 반도체 핀 구조(202)를 형성하는 단계;
 상기 적어도 한 핀 구조(202) 상에 유전층(208)을 형성하는 단계;
 소스(B), 드레인(F) 및 게이트(D) 영역들에 연관된 상기 적어도 한 핀 구조(202)의 부분들로부터 상기 유전층(208)을 선택적으로 제거하는 단계;
 소스(213) 및 드레인(215) 영역들 상에 제1 도전층을 형성하는 단계;
 게이트(217) 영역 상에 제 2 도전층을 형성하는 단계를 포함하고,
 상기 제 2 도전층은 상기 제 1 도전층과는 다른 유형의 도핑을 갖는 것인, 핀-JFET 형성방법.

청구항 17

제 16 항에 있어서, 제 1 개수의 반도체 핀들(202)이 제 1 세트의 치수들로 형성되고;
 제 2 개수의 반도체 핀들(202)이 제 2 세트의 치수들로 형성되고;
 상기 제 1 및 제 2 세트들의 치수들은 상이한 핀-JFET(200) 동작전압들 및 선형성을 달성하기 위해서 적어도 상이한 드레인-게이트간 및 소스-게이트간 간격을 갖는 것인, 핀-JFET 형성방법.

청구항 18

칩 상에 시스템(508)에 있어서,

핀-JFET(200)를 구비하는 적어도 한 아날로그 회로 성분(582);

프로세서(310) 및 상기 프로세서(310)에 결합된 메모리 장치(320)를 포함하는 디지털 회로 성분들(584)을 포함하고,

적어도 한 디지털 회로 성분(584)은 핀-MOSFET(100)을 구비하며, 상기 핀-JFET(200) 및 상기 핀-MOSFET(100)은 CMOS 공정에 따라 공통 기판(105, 205) 상에 형성된, 시스템.

청구항 19

집적회로에 있어서,

기판(105, 205) 상에 적어도 한 핀-JFET(200);

상기 기판(105, 205) 상에 적어도 한 핀-MOSFET(100)를 포함하고,

상기 적어도 한 핀-JFET(200) 및 상기 적어도 한 핀-MOSFET(100)은 준-평면 토포그래피를 갖는, 집적회로.

청구항 20

제 19 항에 있어서, 상기 준-평면 토포그래피는,

소스 및 드레인 높이를 초과하지 않는 높이로 함몰된 게이트 도전층 콘택 랜딩 패드(111); 및

스페이서 유전체(112)로 채워진 반도체 구조들 사이에 영역들을 포함하는, 집적회로.

청구항 21

제 19 항에 있어서,

직렬저항을 감소시키기 위해서 게이트 유전층(108)에 인접하게, 상기 기판(105, 205)에서 가장 멀리 위치한 반도체 핀(128) 표면 상에 핀-MOSFET(100) 소스 및 드레인 확장부들이 형성되고;

상기 기판(105, 205)에서 가장 멀리 위치한 상기 반도체 핀(128) 표면 상에 소스 및 드레인 콘택들이 형성된 것인, 집적회로.

청구항 22

전계효과 트랜지스터를 형성하는 방법에 있어서,

기판(105, 205) 상에 다수의 MOSFET들(100)을 형성하는 단계;

상기 기판(105, 205) 상에 다수의 JFET들(200)을 형성하는 단계; 및

공통으로 적어도 한 제조공정 단계에 의해 반도체 핀들(102, 202) 상에 상기 MOSFET(128) 및 JFET(200)을 형성하는 단계를 포함하는, 전계효과 트랜지스터 형성방법.

청구항 23

제 22 항에 있어서, 상기 방법은 JFET 반도체 핀들(202) 상에 MOSFET 게이트 유전층(108, 208)을 형성하는 단계를 포함하는, 전계효과 트랜지스터 형성방법.

청구항 24

제 22 항에 있어서, 상기 방법은 JFET(200)의 소스(B), 드레인(B) 및 게이트(D) 영역들에 연관된 반도체 핀들의 부분들을 노출시키기 위해서 상기 게이트 유전층(208)을 선택적으로 제거하는 단계를 포함하는, 전계효과 트랜지스터 형성방법.

청구항 25

제 24 항에 있어서, 상기 방법은

NMOS 게이트들 상에, 그리고 pJFET 소스(213) 및 드레인(215) 영역들에 연관된 반도체 핀들(202)의 노출된 부분들 상에 n형 도전층을 형성하는 단계; 및

PMOS 게이트들 상에, 그리고 nJFET 게이트(217) 영역들에 연관된 반도체 핀들(202)의 노출된 부분들 상에 p형 도전층을 형성하는 단계를 포함하는, 전계효과 트랜지스터 형성방법.

명세서

배경 기술

- [0001] 반도체 업계에서 나노 크기의 집적도를 달성하려는 지속적인 과제는 수가 날로 늘어가는 장치들로서 예를 들어 트랜지스터들을 고수율 및 신뢰도는 유지하면서 장치의 풋프린트를 줄임으로써 날로 감소하는 영역에 제조하는 것이다. 이것은 주로, 연관된 단(short)-채널 효과들, 예를 들어 게이트 영역과 소스/드레인 확산 영역들간에 공유하는 전하에 기인한 임계전압(V_t)의 감소를 관리하면서 트랜지스터 채널길이들을 축소시킴으로써 디지털 응용들에서 달성되었다. 이것은 감소된 두께의 게이트 절연체, 예를 들어, 산화물, 층들, 증가된 채널-도핑 농도들, 및 다양한 3차원 구조물 구축 기술들의 사용에 이르게 하였다.
- [0002] 이전의 수법들에서 트랜지스터들은 수평면에 제조되었다. 위에 언급된 나노 크기의 과제를 해결하는 이전의 한 수법은 수직면에 트랜지스터들을 구축하는 것으로, 수평면에 트랜지스터 당 요구되는 면적을 감소시키기 위해 근본적으로 이들을 가장자리에 놓이게 하는 것인데, 예를 들면 얇은 절연막을 갖는 얇은 벽과 같은 형태, 예를 들어 핀(Fin) 형태로 제공되는, 예를 들어 실리콘(Si)인 얇은 수직 반도체층 상에 전계효과 트랜지스터들(FET)을 형성하는 것이다. 복수의 게이트들은 예를 들어 수직 방위로 놓인 자립 핀의 두 측면의 각 측면 상에 하나씩 형성될 수 있고 게이트들은 이들 사이에 채널을 협조적으로 변조시키기 위해 전기적으로 연결된다. 이들 핀 형태의 구조물들 상에 형성되는 FET들을 핀-FET들 혹은 복수-게이트 FET 구조들(MuGFET)이라 한다.
- [0003] 금속-산화물-반도체(MOS) FET, 즉 MOSFET 및 접합 FET, 즉 JFET의 기본 구성은 공지되어 있다. MOSFET 게이트는 게이트에 전압을 인가하여 반도체의 표면에 전계를 야기시켜 전류를 제어하며, 게이트 밑에 웨이퍼에 도핑 도전형 및 게이트 전압의 극성에 따라, 게이트 밑에 웨이퍼 표면에 전하의 축적 혹은 공핍을 제어한다. 전하의 이러한 축적 혹은 공핍은 소스영역을 드레인 영역에 연결하는 게이트 밑에 전기적으로 도통하는 채널을 생성한다. n 채널 MOS 트랜지스터, 즉 NMOS는 p형 웨이퍼에 형성되는 n형 소스 영역 및 드레인 영역을 갖는다. 양의 게이트-소스 전압(V_{GS})이 인가될 때, 정공들의 채널영역을 공핍시키고 전자들을 표면으로 이끌어냄으로써 절연층 바로 밑에 p형 영역의 표면에 n 채널이 생성된다. 반대로, p 채널 MOS 트랜지스터, 즉 PMOS는 n형 바디에 형성된 p형 소스 영역 및 드레인 영역을 갖는다. 게이트와 소스 간에 음의 전압, 예를 들어 V_{GS} 가 인가될 때 전자들의 채널영역을 공핍시키고 정공들을 표면에 이끌어내어 n형 채널 영역의 표면에 p 채널이 생성된다.
- [0004] JFET 구성은 게이트 도체 밑에 형성된 접합(junction)을 갖는다. MOSFET들의 경우와 같이, JFET들은 n 채널을 갖게, 즉 nJFET이, 혹은 p 채널을 갖게, 즉 pJFET이 형성될 수 있다. 또한, JFET들은 공핍 모드 장치(제로 게이트 전압에서 통상시 온(on) 하여 도통하고, nJFET에 대해선 음이고 pJFET에 대해선 양인, 대략 1.2 볼트 내지 1.8 볼트의 범위의 크기를 갖는 역바이어스 전압을 게이트에 인가함으로써 턴 오프 된다), 혹은 인헨스먼트 모드 장치(제로 게이트 전압에서 통상시 오프되고, nJFET에 대해선 양이고 pJFET에 대해선 음인 작은 순방향 바이어스 전압을 게이트에 인가함으로써 턴 온 된다)로서 동작하게 제조될 수 있다.
- [0005] 절연된 게이트가 아니라, 게이트로서 작용하는 접합에 의해 필드가 인가된다. 예를 들어 nJFET의 동작시, 게이트 밑에 도핑된 실리콘 영역에 소스에서 드레인으로 전류가 흐른다. nJFET 게이트 전압이 증가됨에 따라, 전하가 공핍된 영역(공핍 영역)이 확산하여 도통 경로가 핀치-오프(pinch-off) 된다. 가용한 이동성 전하가 없기 때문에, 공핍영역은 절연체처럼 거동하고, 이에 따라 핀치-오프 효과를 갖는데, 즉 전류가 깊이로 증가할 때 전류를 제약하게 된다. nJFET는 인헨스먼트-모드 MOSFET와는 반대로 동작할 수 있다. 인헨스먼트-모드 nMOSFET에서, 게이트 전압 증가는 채널을 통하는 전류를 증가시킨다. 그러나, nJFET에서, 게이트 전압 증가는 채널을 통하는 전류를 감소시킨다.
- [0006] 상보 MOS 로직, 즉 CMOS는 구축 블록들로서 p 및 n 채널 MOSFET들을 사용한다. 인버터에서, 각각의 n형 MOSFET, 즉 nMOSFET는 게이트들 및 드레인들을 함께 연결함으로써 p형 MOSFET, 즉 pMOSFET와 상보가 된다. 게이트들에 고전압은 nMOSFET가 도통하게 하고 pMOSFET를 도통하지 않게 할 것이다. 게이트에 저전압은 역 도전성을 야기한다. MOSFET들은 주로 디지털, 메모리, 및 아날로그 회로 응용들에서 사용된다. 그러나, JFET들은 고 신호 대 잡음비, 저 파라미터 미스매치, 선형성, 및 낮은 플리커 잡음을 갖는 아날로그 성분들을 요구하는 아날로그 요건

들을 더 잘 충족시키는 것으로 알려져 있다.

[0007]

지금까지 핀-MOSFET들의 개발은 저전압 디지털 및 메모리 응용들을 위한 성능 및 밀도를 강조하였다. 특히, 단 채널 효과의 감소, 부-임계(subthreshold) 기울기(감소된 임계전압 및 트랜지스터를 완전히 턴 오프시키지 못하는 무능에 연관된), 및 주어진 채널 폭에 대한 유효 면적의 감소에 중점을 두었다. 핀-MOSFET들을 형성하는 이전의 수법에서 몇개의 비-평면 구조들이 제시되었다. 초기에, MOSFET 채널은 실리콘 트렌치 측벽 상에 형성되었다. 그후에, 실리콘 필라(pillar)를 형성하기 위해 지향성 에칭 기술을 사용하여 "주변-게이트" 수직 MOSFET가 구축되었으며, 이 필라는 유전체에 의해 둘러싸이고 필라의 상부엔 소스, 하부엔 드레인, 및 이들 사이에 게이트를 구비한다. 또 다른 이전의 수법에서, 실리콘-온-인슐레이터(SOI) 구성을 사용한 횡형 핀-MOSFET가 제시되었으며, 이에 의해서 SOI는 단일-결정 실리콘 필라 밑에 횡방향 산화에 의해 SOI가 형성되었으며, 이에 따라 필라를 지지 웨이퍼로부터 분리하고, 소스, 채널, 및 드레인은 핀을 따라 형성된다. 성능 및 복잡성 정도가 다양한 핀-MOSFET 구조들의 다른 변형예들이 제조되었다.

도면의 간단한 설명

[0008]

도 1a는 본 개시의 하나 이상의 실시예들에 따른 반도체 제조공정에서 한 특정 시점에서의 핀-MOSFET 구조들의 평면도이다.

도 1b는 본 개시의 하나 이상의 실시예들에 따라, 1B-1B 선을 따라 취한 도 1a에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-MOSFET 구조의 단면도이다.

도 1c는 본 개시의 하나 이상의 실시예들에 따라, 1C-1C 선을 따라 취한 도 1a에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-MOSFET 구조의 단면도이다.

도 1d는 본 개시의 하나 이상의 실시예들에 따른 반도체 제조공정에서 또 다른 한 특정 시점에서의 핀-MOSFET 구조들의 평면도이다.

도 1e는 본 개시의 하나 이상의 실시예들에 따라, 1E-1E 선을 따라 취한 도 1d에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-MOSFET 구조들의 단면도이다.

도 1f는 본 개시의 하나 이상의 실시예들에 따라, 1F-1F 선을 따라 취한 도 1d에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-MOSFET 구조들의 단면도이다.

도 1g는 본 개시의 하나 이상의 실시예들에 따른 반도체 제조공정에서 제 3의 한 특정 시점에서의 핀-MOSFET 구조들의 평면도이다.

도 1h는 본 개시의 하나 이상의 실시예들에 따라, 1H-1H 선을 따라 취한 도 1g에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-MOSFET 구조들의 단면도이다.

도 1i는 본 개시의 하나 이상의 실시예들에 따라, 1I-1I 선을 따라 취한 도 1g에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-MOSFET 구조들의 단면도이다.

도 1j는 본 개시의 하나 이상의 실시예들에 따른 반도체 제조공정에서 제 4의 한 특정 시점에서의 핀-MOSFET 구조들의 평면도이다.

도 1k는 본 개시의 하나 이상의 실시예들에 따라, 1K-1K 선을 따라 취한 도 1j에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-MOSFET 구조들의 단면도이다.

도 1l는 본 개시의 하나 이상의 실시예들에 따라, 1L-1L 선을 따라 취한 도 1j에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-MOSFET 구조들의 단면도이다.

도 2a는 본 개시의 하나 이상의 실시예들에 따른 반도체 제조공정에서 한 특정 시점에서의 핀-JFET 구조의 평면도이다.

도 2b는 본 개시의 하나 이상의 실시예들에 따라, 2B-2B 선을 따라 취한 도 2a에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-JFET 구조의 단면도이다.

도 2c는 본 개시의 하나 이상의 실시예들에 따라, 2C-2C 선을 따라 취한 도 2a에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-JFET 구조의 단면도이다.

도 2d는 본 개시의 하나 이상의 실시예들에 따른 반도체 제조공정에서 또 다른 한 특정 시점에서의 핀-JFET 구

조의 평면도이다.

도 2e는 본 개시의 하나 이상의 실시예들에 따라, 2E-2E 선을 따라 취한 도 2d에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-JFET 구조의 단면도이다.

도 2f는 본 개시의 하나 이상의 실시예들에 따라, 2F-2F 선을 따라 취한 도 2d에 도시된 반도체 제조공정에서 한 특정 시점에서의 핀-JFET 구조의 단면도이다.

도 3은 본 개시의 하나 이상의 실시예들에 따라, 공통 기판 상에 적어도 한 핀-JFET 및 적어도 한 핀-MOSFET가 형성된 하나 이상의 집적회로를 포함하는 메모리 장치를 구비한 메모리 시스템의 기능 블록도이다.

도 4는 본 개시의 하나 이상의 실시예들에 따라, 공통 기판 상에 적어도 한 핀-JFET 및 적어도 한 핀-MOSFET가 형성된 하나 이상의 집적회로를 포함하는 메모리 장치를 구비한 메모리 모듈의 기능 블록도이다.

도 5는 본 개시의 하나 이상의 실시예들에 따라, 공통 기판 상에 적어도 한 핀-JFET 및 적어도 한 핀-MOSFET가 형성된 칩 상의 시스템의 기능 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 핀-JFET들 및 핀-MOSFET들을 집적하는 방법들, 장치들, 및 시스템들이 제공된다. 방법의 일실시예는 기판 상에 적어도 한 핀-MOSFET를 형성하는 단계 및 기판 상에 적어도 한 핀-JFET를 형성하는 단계를 포함한다. 당업자는 디지털 및 개선된 아날로그 능력의 통합을 포함해서 본 개시에 개시된 바와 같이, 동일 다이 상에 핀-MOSFET 및 핀-JFET들 둘 다를 제조하는데 있어 3차원 설계를 사용하는 것에 연관된 잇점들을 알 것이다. 또한, 독자는 핀-JFET 구조들이 아날로그 전압 범위들에서 동작하게 핀-MOSFET들보다 다른 치수들, 예를 들어 폭 및 길이에서 더 실제적인, 본 개시된 바와 같이, 유사한 높이, 예를 들어 신장으로 핀-JFET들 및 핀-MOSFET들을 제조하는 것에 연관된 제조 잇점을 알 것이다.
- [0010] 여기에서 사용되는 바와 같이, "핀-FET"는 핀-MOSFET 및/또는 핀-JFET 중 어느 하나 혹은 둘 다를 지칭할 수 있다. "핀-FET"라는 용어는 이전에는 "핀-MOSFET"에 대한 약칭 용어로서 상호교환적으로 사용되었으며 단일의 다양한 핀 구조의 장치들, 예를 들어 핀-MOSFET를 나타내었다. 그러나, 본 개시는 핀 구조를 갖는 또 다른 유형의 FET를 포함하며, 예를 들어, 여기에서 사용되는 바와 같이, "핀-FET"라는 용어는 일반적으로 핀-MOSFET, 핀-JFET, 핀-MESFET(pn 접합 대신 금속-반도체 쇼트키-장벽 접합을 가지며 JFET와 유사하게 동작하는 금속-반도체-FET), 및/또는 핀 구조를 갖게 제조된 이외 어떤 다른 FET를 언급하게 확장된다.
- [0011] 본 발명의 어떤 실시예들로서 예를 들어 하나 이상의 통상시-온 상태인, 예를 들어 공핍 모드의 nJFET 및/또는 pJFET를 포함하는 실시예들이 여기에 기술되나, 본 발명은 이것으로 제한되는 것은 아니며 통상시-오프 상태인, 예를 들어 인헨스먼트 모드의 JFET들도 포함할 수 있다. 또한, 본 발명의 실시예들은 핀 구조를 갖게 구현되는, 두 극성들의 통상시-온 및 통상시-오프의 MESFET들을 포함할 수도 있다. 본 발명의 실시예들은 예를 들어 실리콘 및 갈륨-비소(GaAs)와 같은 특정 물질들로 제조된 FET들로 제한되지 않는다.
- [0012] 이하, "웨이퍼" 및 "기판"이라는 용어들은 상호교환적으로 사용되고, 실리콘-온-인슐레이터(SOI) 혹은 실리콘-온-사파이어(SOS) 기술, 도핑된 및 비-도핑된 반도체들, 기저 반도체 기부에 의해 지지되는 실리콘 에피택셜 층들, 및 이외 반도체 구조들을 포함하는 것으로서 이해되어야 한다. 여기에서 사용되는 바와 같이, "기판" 혹은 "기판 어셈블리"라는 용어는 노출된 반도체 표면을 갖는 다수의 반도체 기반의 구조물들을 포함할 수 있다. 반도체는 실리콘 기반일 필요는 없다. 예를 들어, 반도체는 특히 실리콘-게르마늄, 게르마늄, 혹은 갈륨-비소일 수 있다. 다음 설명에서 "기판"이 언급될 때, 반도체 구조물 및/또는 기부 내 혹은 위에 영역들 혹은 접합들을 형성하기 위해 이전 공정단계들은 이용되어 있을 수도 있다.
- [0013] 여기에서 사용되는 바와 같이, "층"은 증착(deposition), 성장, 혹은 이외 물질 빌드업(build-up) 공정을 사용하여 기판 상에 형성된 층을 지칭할 수 있다. "층"이라는 용어는 반도체 업계에 특유의 층들, 이를테면 "장벽층", "유전층", 및 "도전층"을 포함하는 것이다. "층"이라는 용어는 반도체 기술 밖의 기술에서 발견되는 층들로서 이를테면 유리 상에 코팅들과 같은 층들도 포함하는 것이다. 여기에서 사용되는 바와 같이, "단자"라는 용어는 일반적으로, 핀-FET, 예를 들어 핀-JFET 혹은 핀-MOSFET의 소스, 드레인, 게이트 혹은 바디를 지칭할 수 있다.
- [0014] 본 개시의 다음 상세한 설명에서는 이의 일부를 이루며 본 개시의 하나 이상의 실시예들이 어떻게 실시될 수 있는가를 도면으로 도시한 첨부한 도면들을 참조한다. 이들 실시예들은 당업자들이 이 개시의 실시예들을 실시할

수 있게 충분히 상세히 기술되고, 다른 실시예들이 이용될 수 있고 공정, 전기적, 및/또는 구조적 변화들이 본 개시의 범위 내에서 행해질 수 있음이 이해될 것이다.

- [0015] 도면들에서, 참조부호의 첫 번째 숫자는 사용되는 도면을 나타내고, 참조부호의 나머지 2개의 숫자는 몇몇 도면들에 걸쳐 사용되는 본 개시의 실시예(들)의 동일 혹은 동등 부분들을 지칭한다. 도면들의 축척은 정확한 치수들 및/또는 여기 도시된 각종 요소들의 치수적 비들을 나타내지 않는다.
- [0016] 본 개시의 하나 이상의 실시예들에 따라, 예를 들어 디지털 혹은 아날로그 응용들을 위한 적어도 한 유연한 전압 편-JFET, 예를 들어 nJFET 및/또는 pJFET는 예를 들어 디지털 CMOS 구성들에서 적어도 한 편-MOSFET, NMOS 및/또는 PMOS와 함께 집적회로로 제조된다. 집적 편-MOSFET(들) 및 편-JFET(들)은 (평면 CMOS, 예를 들어 편 구조들 없이 수평면에 제조되는 MOSFET들을 사용하여 구현되는 JFET들을 갖는 이전에 믹싱-신호 설계 수법들과는 달리) 추가되는 복잡성이 감소된 동일 공정단계들에 의해 함께 제조되는 아날로그 및 디지털 회로들을 구비하는 다양한 응용들로서 예를 들어 믹싱-신호 설계들을 지원한다. 본 개시의 실시예들에 따라, 기판에 평행한 평면이 아닌 채널을 갖는 3차원 MOSFET, 예를 들어 편-MOSFET들과 호환되는, 기판에 평행한 평면이 아닌 채널을 갖는 3차원 JFET, 예를 들어 편-JFET들이 비교적 적은 몇개, 예를 들어, 2 내지 3개의 추가의 제조단계들을 사용하여 함께 집적된다.
- [0017] 기능이 비례에 기반하는 아날로그 회로의 정확도는 입력 신호와 출력신호 간 관계의 정밀도에 따를 수 있고, 따라서, 아날로그 회로는 잡음에 취약할 수 있다. 공간을 절약하기 위해서 단일 칩 상에 아날로그 및 디지털 트랜지스터 회로를 갖추고 있는 집적회로들은 칩 레벨에서 아날로그 회로들을 디지털 회로들로부터 격리하기 위한 조치들을 포함할 수 있다. 이러한 특징들은 본 개시의 실시예들을 모호하게 하지 않기 위해서 여기에서는 나타내지 않았다.
- [0018] MOSFET 스케일링은 사용되는 면적을 감소시킬 수 있어 비용이 감소되게 할 수 있다. 보다 작은 MOSFET들은 더 밀접하게 패키징될 수 있어 더 작은 칩들 혹은 단위면적당 더 많은 계산 파워를 가진 칩들이 되게 할 수 있다. 집적회로 당 비용은 웨이퍼 당 생산될 수 있는 칩들의 수에 관계될 수 있다. 그러므로, 집적회로들이 작을수록 웨이퍼당 칩들을 더 많게 할 수 있어 칩당 가격을 줄일 수 있다.
- [0019] 트랜지스터들이 더 작아짐에 따라, 트랜지스터의 많은 특성들을 야기하는 실리콘 내 원자들의 수가 감소된다. 칩 제조시, 랜덤한 공정 변화는 트랜지스터의 크기에 영향을 미칠 수 있고 이러한 변화들은 트랜지스터가 작아짐에 따라 전체 트랜지스터 크기에 더 큰 퍼센티지를 차지한다. 이에 따라, 트랜지스터 특징들은 덜 확정적이지만 더 통계적이 될 수 있고, 통계적 변화는 설계 어려움을 증가시킬 수 있다.
- [0020] 벌크 실리콘 및 SOI 상에 구현되는, 수평 채널들뿐만 아니라 수직 채널들을 갖는 편-MOSFET들은 이 기술에 당업자들에 공지되어 있다. 이들 3차원 편 구조들, 예를 들어 수직 편 구조들의 결점들 중 하나는 증가된 토포그래피 변화이다. 폭넓게 가변적 토포그래피는 제조공정을 복잡하게 할 수 있는데, 예를 들어 신장이 다양한 구조들 상에 콘택들을 형성하는 것을 더 어렵게 한다. 본 개시의 하나 이상의 실시예들에 따라, 편-FET 장치들의 토포그래피를 감소시키는 방법이 제공된다.
- [0021] 도 1a 내지 도 1c는 본 개시의 하나 이상의 실시예들에 따른 반도체 제조공정에서 한 특정 시점에서의 편-MOSFET 구조들(128)을 구비한 집적회로(100)를 도시한 것이다. 도면들은 축척에 맞게 도시되지 않았다. 도 1a는 평면도이고, 도 1b는 선 1B-1B를 따라 취한 단면도이고, 도 1c는 선 1C-1C를 따라 취한 단면도이다. 예를 들어, 2중 게이트 편-MOSFET 구조들이 여기에서 기술되고 다음 도면들에서 도시되었지만, 본 개시의 실시예들은 이것으로 제한되지 않는다. 여기에 도시 및/또는 기술되는 본 개시의 하나 이상의 실시예들의 면들은 그외 복수-게이트 구성들, 예를 들어 3중-게이트 구성들에 적용될 수 있다.
- [0022] 도 1a 내지 도 1c 중 하나 이상에 도시된 바와 같이, 본 개시의 하나 이상의 실시예들은 기저 절연체층(104), 예를 들어 기저 산화물(BOX) 상에 형성된 실리콘(Si) 층(102)으로서 예를 들어 SOI 층, 및 실리콘층(102) 상에 형성된 두꺼운 절연체층(106)으로서 예를 들어 유전체를 포함한다. 하나 이상의 실시예들에서, 두꺼운 절연체층(106)은 약 1,000 앵스트롬 두께로 형성되는데, 그러나, 실시예들은 이것으로 제한되지 않는다. 도시된 바와 같이, 편-MOSFET 구조들, 예를 들어, 128은 반도체 기판(105)으로서 예를 들어 벌크 실리콘 웨이퍼로부터, 기저 절연체층(104)에 의해 분리된다. 실리콘층(102) 및 절연체층(104)은 각각의 하지의 층 상에 어떤 다른 방법에 의해, 예를 들어 한 웨이퍼를 열적으로 산화시키고, 이에, SOI 웨이퍼들을 형성하는데 있어 공지된 바와 같이 또 다른 웨이퍼를 본딩함으로써, 증착 혹은 빌드업 될 수 있다. 하나 이상의 실시예들에서, 절연체층(104)은 근사적으로 145 nm의 깊이로 형성될 수 있다. 하나 이상의 실시예들에서, 절연체층(104) 상에 실리콘층(102)이 형

성될 수 있다. 두꺼운 절연체층(106)은 핀 구조(128)의 형성에서 패터닝을 위한 마스크로서 기능한다. 이 마스크는, 이 분야에 기술이 공지된 바와 같이, 예를 들어, 얇은 이산화실리콘(SiO₂) 층 및 얇은 질화실리콘층(Si₃N₄)으로 형성될 수 있고, 이들 층들은 도 1a 내지 도 1c에 개별적으로 도시되지 않은 두꺼운 절연체층(106)을 구성한다.

[0023] 독자가 알게 되는 바와 같이, 제조되는 핀-FET 장치들은 도핑 선택에 따라, 진성, 혹은 p형, 혹은 n형 핀-FET 장치들로 구성될 수 있다. 독자가 알게 되는 바와 같이, 두꺼운 절연체층(106)은 이산화실리콘(SiO₂), 질화실리콘(SiN/Si₂N/Si₃N₄), 실리콘 옥시나이트라이드들(SiO_xN_y), 혹은 이의 유전물질들과 같은 물질들로부터 형성될 수 있다.

[0024] 두꺼운 절연체층(106)에 의해 덮인 실리콘층(102) 내 개구들은 포토리소그래피 기술들을 사용하여, 마스크되고 에칭되어, 특정 폭(W), 높이(H), 길이(L), 및 방위의 반도체 핀들을 패터닝한다. 예를 들어, 위에 기술된, 산화물 및 질화물 마스크 층들의 부분은 핀 구조들(128)을 정의할 마스크의 부분들을 남긴다. 도 1a 및 도 1b에 도시된 바와 같이, 산화물 및 질화물 마스크 층들의 부분은 핀 구조들, 예를 들어 128의 위치들을 정하기 위해서, 예를 들어 반응성 이온 에칭(RIE)에 의해 제거되었다. 여러 실시예들에서, 이 공정단계는 기저 절연체층(104) 상에 핀 구조들로서, 예를 들어 CMOS 장치에 완성될 수 있는, 예를 들어 CMOS 장치에 하나는 p 채널 트랜지스터이고 다른 하나는 n 채널 트랜지스터인 2개의 상보 트랜지스터들에 연관된 한 쌍의 핀-MOSFET 구조들의 위치 및 크기를 결정하기 위해 사용된다. 하나 이상의 실시예들에 따라서, 단일 핀-MOSFET 구조가 도 1a 내지 도 11에 기저 절연체층 상에 형성된 것으로 도시되었다. 일부 실시예들에서, 당업자들이 아는 바와 같이, 적합한 핀 구조들을 형성하기 위해 그외 다른 리소그래피 및 에칭 기술들이 사용된다.

[0025] 일부 핀 구조들, 혹은 핀-MOSFET 장치들의 부분들로서 예를 들어 게이트 도체는 예를 들어 장치들, 칩 영역들 및/또는 도 1h에 도시된 바와 같이 122와 같은 벌크 반도체 간에, 격리부들과 인접할 수 있다. 하나 이상의 특정의 실시예들에 따라, 각 핀은 랩-어라운드 게이트(도 1a 내지 도 1c엔 도시되지 않았으나 나중 공정에 의해 형성될 수 있다)에 의해 완전히 공핍되기에 충분히 얇은 폭(W)을 가질 수 있다. 당업자가 알게 되는 바와 같이, 핀 구조(128)의 SOI 실리콘(102) 부분은 완성된 핀-MOSFET 장치가 "온" 하였을 때 전류 흐름을 위한 채널영역으로서 기능한다. 하나 이상의 특정의 실시예들에 따라서, 각 핀은 MOSFET 핀 구조들에 대해 전형적으로 알려진 것에 근사적으로 길이(L) 및 높이(H)를 가질 수 있는데, 그러나 본 개시의 실시예들은 특정의 치수들로 제한되지 않는다. 도 1b 및 도 1c는 폭(W), 길이(L), 및 높이(H)의 치수들의 방위를 나타낸다.

[0026] 2개의 핀들이 도 1a 내지 도 1c에 서로 평행하게 배열된 것으로 도시되었는데, 본 개시의 실시예들은 이것으로 제한되지 않는다. 구조는 수직 및/또는 수평 방향으로 추가의 게이트들을 포함하게 확장될 수 있다. 하나 이상의 실시예들에 따라, 각각의 핀들 상에 길이(L)에 걸쳐 확장하는 채널영역은 저농도로, 예를 들면 10¹⁵ atoms/cm³으로 도핑될 수 있다.

[0027] 도 1d 내지 도 1f는 본 개시의 하나 이상의 실시예들에 따라 반도체 제조공정에서 또 다른 특정의 시점에서 핀-MOSFET 구조들로서 예를 들어 128을 가진 집적회로(100)를 도시한 것이다. 도 1d는 평면도이고, 도 1e는 선 1E-1E를 따라 취한 단면도이고, 도 1f는 선 1F-1F를 따라 취한 단면도이다. 핀-MOSFET 구조들(128)의 형성에 이어, 도 1d 내지 도 1f에 도시된 바와 같이 측벽영역들 위에 층 및 이들 위에 적어도 얇은 층을 포함해서, 핀-MOSFET 구조들, 예를 들면 도 1b에 도시된 구조(128)의 SOI 부분(102)의 남아 있는 두꺼운 절연체 층(106) 및 실리콘층(102) 상에, 적합한 유전상수의 게이트 유전체(108)가 성장 혹은 증착된다. 하나 이상의 실시예들에서, 두꺼운 절연체층(106)의 두께보다 훨씬 미만의 두께로 게이트 유전체(108)가 형성되나, 본 발명의 실시예들은 특정의 비율들로 제한되지 않는다. 도면들은 본 발명의 실시예들의 특별한 특징들을 예시함에 있어 명확성을 위해서 축척에 맞게, 상대적 비례에 맞게 도시되지 않았다. 예를 들어, 도면들에 도시된 게이트 유전체(108)의 축척은 실제로는 게이트 유전체(108)보다 두꺼운 한 자리수 이상의 크기일 수 있는 두꺼운 절연체층(106)에 대해 도시된 치수들에 관하여 과장되어 있을 수 있다. 하나 이상의 실시예들에서, 게이트 유전체(108)은 이산화실리콘(SiO₂)으로 만들어질 수 있다.

[0028] 도 1g 내지 도 1i는 본 개시의 하나 이상의 실시예들에 따른 반도체 제조공정에서 또 다른 한 특정의 시점에서 핀-MOSFET 구조들로서 예를 들면 128을 구비한 집적회로(100)를 도시한 것이다. 도 1g는 평면도, 도 1h는 1H-1H 선을 따라 취한 단면도, 도 1i는 1I-1I를 따라 취한 단면도이다.

[0029] 여러 실시예들에서, 게이트는 게이트 유전체(108) 상에 형성된다. 도전층(110)으로서 예를 들어 게이트 도체는

기저 절연체층(104) 및 핀 구조들로서 예를 들어 도 1e에 도시된 핀 구조들(128)의 부분들 상에 증착되고, 따라서 게이트 유전층(108)의 바깥 표면의 부분들은 게이트 물질로서 예를 들어 도전층(110)에 의해 덮인다. 이어서 도전층(110)이 패터닝되고, 게이트 콘택 랜딩 패드 부분(111)을 포함하며 이 패드 부분 위에는 게이트 연결부가 후 가공 단계들에서 형성될 수 있다. 본 개시의 하나 이상의 실시예들에 따라서, 핀 구조들(128)의 폭(도 1a 내지 도 1c 에서 W)은 전형적으로 얇다. 예를 들어, 핀 구조들(128) 폭이 높이 혹은 길이 치수보다 훨씬 작게 되도록 한 치수를 갖는다.

[0030] 당업자는 핀 구조들, 예를 들어 128와 주위에 실리콘 격리부, 예를 들어 122 사이에 충분한 공간이 허용되어 있어 게이트 콘택 랜딩 패드 부분(111)은 이 패드 이 위에 형성되는 게이트 콘택이 핀 구조, 예를 들어 128의 높이와 준-평면(quasi-planar)인 상면을 갖게 될 높이까지 함몰될 수 있음을 알 것이다. 준-평면은 정밀하게 평면이 아닌 토포그래피임을 함축하나, 이의 연관된 산과 골들 사이의 차이들을 경감시키기 위해 이들이 가공된 크기를 갖는다. 도 1h에 도시된 바와 같이, 게이트 콘택 랜딩 패드 부분(111)은 핀 구조, 예를 들어 128 상에 핀 구조, 예를 들어 128의 신장의 부분만큼 부분적으로, 혹은 전부가 오프셋될 수 있는 두께를 갖는 게이트 콘택이 형성될 수 있게 이 핀 구조의 높이 미만으로 충분히 함몰된다. 하나 이상의 실시예들에 따라, 도체층(110) 및 랜딩 패드 부분(111)은 무엇보다도, 예를 들어 n 형 혹은 p 형인 적합한 형의 금속성의 완전 실리사이드화된 폴리실리콘("FUSI"), 혹은 도핑된 폴리실리콘("POLY")일 수 있는 동일 물질로 형성된다.

[0031] 여기에서는 "게이트", 즉 단일 게이트에 관하여 도전층이 기술되고 이것이 전기적으로 연결되고 각각의 핀 구조(128)의 서로 대향한 측면들(107) 상에 형성된 것으로서 도 1g 및 도 1h에 도시될 수 있을지라도, 당업자는 개별적으로 형성되고 선택적으로 독립적으로 동작할 수 있는 복수의 게이트들로서 예를 들면 서로 대향한 측면들(107) 상에 형성된 제 1 (전방) 게이트 및 제 2 (후방) 게이트, 혹은 3중 게이트 장치, 등이 핀 구조(128)의 수직 표면들 상에 형성될 수 있음을 알 것이다. 복수의 게이트 장치는 추가의 채널 영역들을 제어함으로써 장치를 통해 더 많은 전류가 흐를 수 있게 한다.

[0032] 당업자는 게이트 콘택 랜딩 패드 영역(111)을 가진 게이트 도체, 예를 들어 도전층(110)과 반도체 개구 경계들 사이에 공간들, 예를 들어 갭들(120)이 최소 치수들로 유지될 수 있음을, 즉 이들 간에 격리를 유지하면서도 가능한 작게 유지될 수 있음을 알 것이다. 이들 갭들(120)은 제조공정에서 또 다른 시점에서 스페이스 필러, 예를 들면 스페이스 산화물로 채워질 수 있다. 예를 들어, 도전층, 예를 들면 게이트 도체(110)와 주위 실리콘 격리부, 예를 들어 구조(122) 사이에 갭들(120)은 하나 이상의 실시예들에 따라 최소 치수들로 제조될 수 있다. 또 다른 예에서, 하나 이상의 실시예들에 따라, 도전층(110), 예를 들어 게이트 도체와 소스 및 드레인 콘택 패드 위치들 사이에 최소 간격(124)이 남을 수 있다(예를 들어 도 1j 및 도 1i에 소스 및 드레인 콘택 패드 풋프린트(126) 위치들을 참조).

[0033] 도 1h에 도시된 바와 같이, 각각의 핀-MOSFET 장치가 "온" 되었을 때, 소스 및 드레인은 이들 사이에 전류가 핀 구조(128)에서, 예를 들어 핀 구조(128)의 실리콘층(102)의 측면들(107)에서 흐를 수 있게 구성된다. 예를 들어, 도 1h 도면 평면에 수직하게 전류가 흐를 수 있다. 당업자는 스페이스 형성 전, 혹은 후에 소스 및 드레인 콘택 확장부들(도시되지 않음)을 형성하기 위해 몇가지 기술들이 사용될 수 있음을 알 것이다. 소스 영역 및 드레인 영역은 주입에 의해서, 혹은 적합한 도핑에 의해서, 혹은 쇼트키 장벽 형성에 의해서, 평탄한 상부 실리콘, 예를 들면 도 1g 및 도 1i에 도시된 바와 같이 SOI(102)에 정의된다. 도 1g 및 도 1i에 하나의 소스 및 드레인 방위가 도시되어 있는데, 발명의 실시예들은 이것으로 제한되지 않으며, 예를 들어 소스 영역 및 드레인 영역은 도 1g 및 도 1i에 도시된 것들과는 반대일 수도 있다. 소스 영역 및 드레인 영역, 및 확장부들의 도핑은 당업자들에게 공지된 기술들, 예를 들어 펄스 플라즈마 도핑(PLAD)에 의해 수행될 수 있다. 소스 및 드레인 주입 윈도우들은 대응하는 핀 구조에 연관된 도 1g에 114로 표시되었고, 주입 윈도우들은 일반적으로 도핑에 노출된 영역들을 나타낸다(다른 영역들은 도핑을 방지하게 적합하게 마스크된다). 당업자들이 알게 되는 바와 같이, 특정 도핑 기술을 위한 주입 윈도우의 정밀한 마스크 패턴은 주입 윈도우(114)에 의해 도 1g에 일반적으로 도시된 것과 동일하거나, 이와는 다를 수 있다.

[0034] 각각의 소스 확장부 및 드레인 확장부(도시되지 않음)는 노출된 각각의 소스 및 드레인 영역 밑에 영역을 마스크 및 포토리소그래픽 기술들을 사용하여 저농도 도핑함으로써 형성된다. 소스영역 및 드레인 영역 주위에 소스 확장부 및 드레인 확장부가 일단 완료되었으면, 소스 영역 및 드레인 영역은 각각의 영역에 대해 알려진 농도들의 적합한 도펀트들을 사용하여(추가 상세에 대해 다음 도펀트 논의를 참조) 주입될 수 있다. 일단 소스 및 드레인이 완료되면, 소스 및 드레인은 도펀트들을 소스 및 드레인 내로 드라이브하기 위해 어닐링될 수 있다. 일부 실시예들에서, 소스 및 드레인은 대략 1000 °C에서 대략 5초 동안 어닐링될 수 있다. 소스 및 드레인이 형성된 후에, 핀-MOSFET 구조들(128)은 추가의 CMOS 공정 단계들로 가공될 수 있다. 복수 게이트, 및 소스

영역과 드레인 영역이 수직방향으로 핀 구조들, 예를 들어 128을 따라 형성될 수도 있다.

[0035] 동일 다이 상에 서로 다른 유형의 핀-MOSFET들 및 핀-JFET들(나중에 논의함)을 효율적으로 제조함에 있어, 일부 도핑 공정들이 특정 핀-FET 장치들에 대해 동시에 수행될 수 있다. 예를 들어, n 채널 핀-MOSFET 및/또는 n 채널 핀-JFET의 소스영역 및 드레인 영역을 형성할 때 적합한 n형 프로파일이 사용된다. 전형적으로, 이들 목적들을 위해 비소(As)와 같은 n형 도펀트가 사용되는데, 그러나, 본 발명의 실시예들은 이것으로 제한되지 않는다. 반대로, p 채널 핀-MOSFET 및/또는 p 채널 핀-JFET의 소스영역 및 드레인 영역을 형성할 때 p형 프로파일, 예를 들어 전형적으로 보론(B)이 사용된다. 다시, 본 발명의 실시예들은 특정의 도펀트로 제한되지 않는다. n형 도전물질, 예를 들어 도핑된 폴리실리콘이 n 채널 핀-MOSFET 게이트를 형성할 때 사용되며, 및/또는 p 채널 핀-JFET의 pn 접합 위에 게이트는 n형 프로파일, 예를 들어, 전형적으로 비소(As)로 처리된다. p형 도전물질, 예를 들어 도핑된 폴리실리콘이 p 채널 핀-MOSFET 게이트를 형성할 때 사용되며, 및/또는 n 채널 핀-JFET의 pn 접합 위에 게이트는 p형 프로파일, 예를 들어, 전형적으로 보론(B)으로 처리된다. 당업자는 공통의 마스크링, 패터닝 및 도핑 공정들을 사용하여 동시에 서로 다른 핀-FET 구조들에 유사한 도핑 프로파일들이 적용될 수 있는 방법을 알 것이다. 이것은 핀-JFET의 제조에 관하여 이하 더 논의된다.

[0036] 도 1j 내지 도 1l은 본 개시의 하나 이상의 실시예들에 따라 반도체 제조공정에서의 또 다른 특정 시점에서 핀-MOSFET 구조들, 예를 들어 128을 구비한 집적회로(100)를 도시한 것이다. 도 1j는 평면도, 도 1k는 1K-1K 선을 따라 취한 단면도이고, 도 1l은 1L-1L 선을 따라 취한 단면도이다. 콘택 패드 풋프린트들(126)은 각각의 소스 및 드레인 금속화 연결들을 위해, 예를 들어 비아에 의해, 핀-MOSFET 구조들(128) 상에 위치된다. 또한, 적어도 하나, 및 바람직하게는 복수의 콘택 패드 풋프린트들(126)은 게이트 콘택 랜딩 패드 영역(111) 위에 위치된다. 스페이스 유전체(112)가 증착되고, 마스크되고 에칭되어 도 1j 내지 도 1l에 도시된 실시예들을 형성한다.

[0037] 도전층(110) 혹은 게이트 콘택 랜딩 패드 영역(111)과 주위 실리콘 격리 구조들(122) 사이에, 도 1g 및 도 1h에 도시된 갭들(120)은 복수의 결과적인 토포그래피를 증가시키기 위해 스페이스 유전체(112)로 채워진다. 핀 구조(128)와 도전층(110)(게이트 콘택 랜딩 패드 영역(111)을 포함한) 사이에 상대적 신장에 따라, 일부 스페이스 유전체(112)는 도 1k에 도시된 바와 같이 게이트 콘택 랜딩 패드 영역(111) 위로 확장할 수 있다. 그러나, 게이트 콘택 랜딩 패드 영역(111)의 상대적 신장은, 예를 들어, 게이트 도전층(110)의 게이트 콘택 랜딩 패드 영역(111)에 콘택 패드 풋프린트들(126)에의 접근을 제공하기 위해서 스페이스 유전체(112)의 에칭, 혹은 평탄화로 스페이스 유전체(112)를 통해, 예를 들어 이 위로 노출할 수 있게 도 1k에 도시된 것보다 더 수직으로 확장하게 설계될 수 있다. 이렇게 하여, 소스, 드레인 및 게이트 콘택 패드들뿐만 아니라 핀 구조들(128)의 상부는 실질적으로 동일한 신장, 즉 준-평면 토포그래피로 제조될 수 있다.

[0038] 본 개시의 위에 기술된 실시예들은 소스, 드레인 및 게이트 콘택 랜딩 패드 높이가 핀 구조 높이에 비해 함몰된 준-평면 토포그래피를 제공하고, 그럼으로써 후속 콘택 패터닝을 단순화한다. 또한, 본 개시의 하나 이상의 실시예들에서, 소스/드레인 직렬저항은 각각의 소스 및 드레인 콘택 랜딩 풋프린트들, 예를 들어 126을 게이트 도체에 가능한 가깝게 위치시킴으로써 이전 방식의 핀-MOSFET 장치 구성들의 직렬저항 미만으로 감소된다. 당업자는 높은 소스/드레인 저항은 단채널 효과를 없애려는 경향이 있음을 알 것이다.

[0039] 본 개시의 하나 이상의 실시예들에 따라, 예를 들어 핀-JFET들의 부분들 및 핀-MOSFET들의 부분들이 동일 제조 공정단계에 의해 제조되게 하는 공통의 제조 공정에서 핀-MOSFET들 및 핀-JFET들이 함께 집적된다. 핀-MOSFET들과 함께 핀-JFET들을 집적함에 있어, 핀 구조들, 예를 들어 도 1b에 도시된 실리콘층(102)은 nJFET 및 PMOS 장치 구성들에 대해 n형 도펀트들을 사용하여 저농도로 도핑되고, pJFET 및 NMOS 장치 구성들에 대해 p형 도펀트들을 사용하여 저농도로 도핑된다.

[0040] 도 2a ~ 도 2c는 본 개시의 하나 이상의 실시예들에 따라 반도체 제조 공정에서의 특정 시점에서 집적회로(200)의 핀-JFET 구조 부분을 도시한 것이다. 위에 언급된 바와 같이, 도 2a ~ 도 2c에 도시된 핀-JFET는 다른 핀-JFET 장치들, 예를 들어 nJFET 장치 및/또는 pJFET 장치들의 제조와 동시에, 그리고 도 1a 내지 도 1l에 관련하여 기술된 것들과 같은 핀-MOSFET 장치들, 예를 들어 NMOS 및/또는 PMOS 장치들의 제조와 동시에, 동일 기판 상에, 두 유형의 장치들의 부분들을 형성하기 위한 공통의 제조공정 단계(들)을 사용하여, 제조될 수 있다. 그러나, 도 2a 내지 도 2c의 도시에서는 이어진 도 2d 내지 도 2f에서도 명확성을 위해 핀-JFET 제조를 예시함에 있어 어떤 다른 장치들을 보이는 것을 생략한다. 도 2a는 JFET 핀 구조의 평면도를 도시하며, 도 2b는 2B-2B 선을 따라 취한 단면도, 예를 들어 JFET 핀 구조를 관통한 측면도이며, 도 2c는 2C-2C 선을 따라 취한 단면도, 예를 들어 JFET 핀 구조 절단 단부를 나타낸 것이다.

[0041] 도 2a 내지 도 2c는 기저 절연체 층(204), 예를 들어 기저 산화물(BOX) 상에 형성되는 실리콘(Si) 층(202), 예

를 들어 SOI 층을 구비하는 핀-JFET 구조(200)의 실시예도이다. 도 2a 내지 도 2c의 실시예에 도시된 바와 같이, 핀-JFET 구조는 반도체 기판(205), 예를 들어 벌크 실리콘 웨이퍼로부터, 기저 절연체 층(204)에 의해 분리된다. 실리콘층(202) 및 절연체층들(204)은 각각의 하지의 층 상에, 예를 들어 열적으로 성장된 이산화실리콘 상에 증착 혹은 빌드업 될 수 있다. 하나 이상의 실시예들에서, 실리콘층(202)이 특정 핀 높이(H_p)로 절연체층(204) 상에 형성될 수 있는데, 그러나, 본 개시의 실시예들은 특정 치수로 제한되지 않는다. 핀-JFET들이 동일 웨이퍼 상에 핀-MOSFET들과 함께 집적되는 경우, 핀-JFET들 및 핀-MOSFET들을 위한 핀들은 동일 실리콘층, 예를 들어 도 1b ~ 도 1c에 실리콘층(102) 및 도 2b ~ 도 2c에 실리콘층(202)으로부터 형성되며, 핀-JFET들 및 핀-MOSFET들을 위한 핀 구조들은 준-평면 토폴그래피가 핀-FET 장치들을 위해 달성되게 실질적으로 동일한 신장으로 제조될 수 있다.

[0042] 하나 이상의 실시예들에 따라, 실리콘층(202) 위에 핀-JFET 핀들의 의도된 위치들 상에 두꺼운 산화물(혹은 다른 절연체)층(206)이 형성된다. 하나 이상의 실시예들에 따라, 핀-JFET의 두꺼운 산화층(206)은 약 1,000 옴스 트롬의 두께로 형성되는데, 그러나, 본 개시의 핀-JFET 실시예들은 이것으로 제한되지 않는다. 일부 실시예들에서, 두꺼운 산화층(206)은 이산화실리콘(SiO_2)일 수 있다.

[0043] 두꺼운 절연체층(206)은 예를 들어 공지의 포토레지스트 및 포토리소그래픽 기술들을 사용함으로써, 특정 핀 폭(W_p), 길이, 및 방위의 반도체 핀들을 패터닝하기 위해 마스크되고 에칭된다. 예를 들어, 두꺼운 산화층(206)의 부분이 제거되어, 핀 구조들을 정의하는 마스크의 부분들을 남길 수 있다. 당업자가 알게 되는 바와 같이, 두꺼운 산화층(206)에 의해 마스크되지 않은 실리콘층(202)의 부분들은 예를 들어 반응성 이온 에칭(RIE)에 의해 제거되어 핀 구조들을 형성할 수 있다. 일부 실시예들에서, 이하 논의되는 핀-JFET에 더 가공되게, 적합한 핀 구조들을 형성하기 위해 다른 리소그래피 및 에칭 기술들이 사용된다. 하나 이상의 실시예들에 따라, 핀-JFET 장치들을 위한 하나 이상의 핀들이 동시에 형성되는데, 예를 들어 핀-MOSFET 장치들을 위한 핀들을 형성하기 위해 사용되는 동일 공정 단계들에 의해 마스크되고, 패터닝되고 에칭된다. 하나 이상의 실시예들에 따라, 단일 핀-JFET 구조가 도 2a 내지 도 2f에 기저 절연체층 상에 형성된 것으로 도시되었다.

[0044] 핀들이 실리콘층(202)으로부터 형성된 후에, 적합한 유전상수의 얇은 게이트 유전체(208)가 실리콘 측벽 영역들 상에 그리고 위를 포함해서, 핀-JFET 핀 구조 위에(그리고 하나 이상의 실시예들에 따라, 핀-MOSFET 핀 구조들-있다면- 상에 동시에) 성장되거나 아니면 예를 들어 산화에 의해 형성된다. 이에 따라, 게이트 유전체층(208)의 형성은 두꺼운 산화층(206)의 두께에 비해 핀-JFET 핀 구조의 위에 더 두꺼운 두께를 추가하지 않는다. 게이트 유전체층(208)은 두꺼운 산화층(206)보다 훨씬 얇은 두께로 형성되고, 예를 들어 두꺼운 산화층(206)의 치수보다 한 자리수 이상의 얇은 크기일 수 있다. 당업자는 핀-JFET 장치들을 위한 게이트 유전체층(208)은 앞에서 논의된 핀-MOSFET 장치들의 게이트 유전체(108)와 동시에 형성될 수 있어, 예를 들어 이와 동일 층일 수 있음을 알 것이다.

[0045] 추가의 패터닝에 의해서, 게이트 유전체층(208)은 핀-JFET 핀 구조 측벽들, 예를 들어 도 2a에 도시된 바와 같이 부분들(B, D, F)을 따라 여러 장소들로부터 선택적으로 제거된다. 밑에 실리콘층(202)을 노출시키기 위해서 측벽들로부터 유전체층들을 제거할 때, 게이트 유전체층(208) 및/또는 두꺼운 산화층(206)의 일부 혹은 전부가 핀의 위로부터 제거될 수도 있다. 이에 따라, 게이트 유전체층(208)은 남아 있을 수 있고 및/또는 실리콘층(202) 위에 두꺼운 산화층(206)은 노출될 수 있다(도 2a는 게이트 유전체층(208)이 제거되어 부분들(B, D, F)에서 두꺼운 산화층(206)을 노출시킨 것을 도시하고 있다). 그러나, 측벽들로부터 게이트 유전체층(208)을 제거하기 위해 사용되는 공정은 도 2a 및 도 2b에 도시된 바와 같이 남아 있는 핀 위에 두꺼운 산화층(206)에 그다지 영향을 미치지 않는다. 측벽들로부터 게이트 유전체를 선택적으로 제거하는 방법들은 공지되어 있고, 예를 들어, 포토리소그래픽 기술들, 지향성 에칭, 등이 사용될 수 있다. 당업자들이 알게 되는 바와 같이, 공통 기판 상에 적어도 한 핀-JFET 장치 및 적어도 한 핀-MOSFET 장치를 형성시키는 하나 이상의 실시예들에 따라, 핀-JFET 구조의 부분들의 측벽들로부터 게이트 유전체층(208)을 제거하는 공정단계(들)이 핀-MOSFET 구조를 형성하는데 필요한 제조단계들에 추가된다. 이에 따라, 핀-JFET들은 핀-MOSFET를 형성하는데 필요한 것보다 공정 단계들의 수를 약간 증가하여 본 발명의 하나 이상의 실시예들에 따라 핀-MOSFET들과 동일한 웨이퍼 상에 제조될 수 있다.

[0046] 도 2d 내지 도 2f는 본 개시의 하나 이상의 실시예들에 따라 반도체 제조 공정에서 또 다른 특정 시점에서 집적 회로(200)의 핀-JFET 구조 부분을 도시한 것이다. 도 2d는 평면도이고, 도 2e는 2E-2E 선을 따라 취한 단면도, 예를 들어 JFET 핀 구조 절단 측면도이고, 도 2f는 2F-2F 선을 따라 취한 단면도, 예를 들어 JFET 핀 구조를 절단 단부를 도시한 것이다. 도 2d에서 선 2F-2F은 서로 다른 특징들을 도시하기 위해서 도 2a에 도시된 선 2C-2C과는 다른 위치에 있는 것에 유의한다. 도 2f는 핀-JFET 게이트 밑에 채널 단면 부분을 도시한 것으로, 채널 길

이는 도면의 면에 수직하게 드레인으로부터(도면의 면 밑에서) 소스로(도면의 면 위로) 확장한다.

[0047] JFET 게이트 접합 길이는 채널 길이(도 1a/b 및 2d/e에서 L_c), 및 채널폭(도 2e 및 도 2f에서 W_c)를 결정한다. 도 2a 및 도 2c에 도시된 바와 같이, 핀 JFET 핀 구조의 핀 폭(W_f)을 핀 구조의 두께라고도 한다. JFET 핀 폭(W_f)은 일반적으로 MOSFET 핀의 폭(즉, 두께), 예를 들어 도 1a 및 도 1b에서 W 보다 크다. 예를 들어 적어도 한 핀-JFET 및 적어도 한 핀-MOSFET를 공통 기판 상에 형성할 때, 적어도 한 핀-JFET에 연관된 핀 구조는 적어도 한 핀-MOSFET에 연관된 핀 구조보다 큰 폭으로 형성될 수 있다. 본 개시의 하나 이상의 특징의 실시예들에 따라, 핀-JFET 폭(W_f)은 근사적으로 100 nm이지만, 실시예들은 이 치수로 제한되지 않는다. 복수의 핀들이 예를 들어 주어진 구동 전류를 수용하기 위해 병렬로 사용될 수 있다. MOSFET 핀 폭(즉, 두께)에 관하여, 추가의 JFET 핀 폭(즉, 두께)은 한 특징의 JFET의 요망되는 동작 특징들, 이의 임계전압 및 채널 도펀트 농도에 의해 결정된다.

[0048] 본 개시의 하나 이상의 실시예들에 따라, 임계전압의 크기는 -1.2V(볼트) 내지 -1.5V(볼트)의 범위에 있으며, 소스와 이중-접합 게이트가 합쳐져 공핍영역들이 유발되게 하는 턴-오프 상태에 의해 정의된다. 도 2a 및 도 2b에 도시된 채널길이, 예를 들어 L_c , 드레인과 게이트간 거리, 예를 들어, 도 2a 및 도 2b에 도시된 L_D , 및 소스와 게이트간 거리, 예를 들어 도 2a 및 도 2b에 도시된 L_S 는 요구되는 인가된 전압 및 요망되는 장치 선형성을 위해 조절될 수 있다. 다양한 치수들의 핀-JFET들은 공통 기판 상에 제조될 수 있는데, 예를 들어 실시예들은 임의의 특징의 치수들로 혹은 한 특징의 한 세트의 치수들로 제한되지 않는다. 하나 이상의 실시예들에 따라, 제 1 개수의 반도체 핀들이 제 1 세트의 치수들로 기판 상에 형성되고, 제 2 개수의 반도체 핀들이 제 2 세트의 치수들로 기판 상에 형성된다. 제 1 및 제 2 세트들의 치수들은 서로 다른 핀-JFET 동작 특징들, 예를 들어 동작전압 및 선형성을 달성하기 위해서 적어도 서로 다른 드레인과 게이트 간 및 소스와 게이트간 간격을 갖는다. 본 발명의 하나 이상의 실시예들에 따라, 핀들은 준-평면 토포그래피를 제공하기 위해 유사한 신장의 치수들을 갖게 형성된다. MOSFET 장치들과는 달리, 치수들의 적합한 선택으로, JFET 장치들은 30 내지 50 볼트만큼 높은 전압들을 견딜 수 있어, 이에 따라 MOSFET 장치들에 비해 비교적 더 큰 채널 용적이 제시된다.

[0049] 위에 기술된 바와 같이, 실리콘층(202)의 부분들은 핀-JFET 구조의 측벽, 예를 들어 도 2b에 도시된 바와 같이 부분들(B, D, F)을 따라, 측벽들로부터 게이트 유전층(208)을 제거함으로써, 노출된다. 부분들(B, D, F)은 핀-JFET의 소스, 드레인 및 게이트 영역들이 각각 형성된 곳으로, 실리콘층(202)은 폴리실리콘("POLY") 증착 전에 노출되어 있다. 두꺼운 산화물(206) 및 게이트 유전체(208)는 각각의 단부들에 부분들(A, G), 소스영역과 게이트 영역 사이에 길이(L_S)의 부분(C), 및 게이트 영역과 드레인 영역 사이에 길이(L_D)의 부분(E)을 포함해서, 핀-JFET 구조의 다른 부분들 상에 잔류한다. 부분(D) 내에 핀-JFET 구조의 측벽들을 따라 게이트 유전층(208)을 제거함으로써 길이(L_c)를 갖는, 게이트 영역에 실리콘 채널을 노출시킨다.

[0050] 인-시튜 도핑된 n형 폴리실리콘, 예를 들어 SiGe POLY가 동시에 형성되는데, 예를 들어, nJFET 장치(들)의 노출된 소스/드레인 영역들 상에, pJFET 장치(들)의 노출된 게이트 영역들 상에, 그리고 NMOS 장치(들)의 n형 POLY 게이트(들)로서 증착되고 패터닝된다. POLY는 측벽들을 따라 그리고 핀-JFET 핀 구조 위에 임의의 잔류한 두꺼운 산화층(206)(및 있다면, 게이트 유전층(208)) 위에 노출된 실리콘과 접촉하게 되도록 증착된다. 마찬가지로, 인-시튜 도핑된 p형 POLY가 동시에 형성되는데, 예를 들어, pJFET 장치(들)의 노출된 소스/드레인 영역들 상에, nJFET 장치(들)의 노출된 게이트(들) 상에, 그리고 PMOS 장치(들)의 p형 POLY 게이트(들)로서 증착되고 패터닝된다.

[0051] 도 2f에 도시된 바와 같이, 게이트 도전층(217), 예를 들어 POLY가 핀 구조 측벽들의 부분들을 따라 실리콘층(202)에 직접 접촉하게 놓여진다. 후속의 열 사이클들은 POLY로부터 POLY 도펀트를 이웃한 실리콘 형성층의 확산 접합 영역들(209), 예를 들어 JFET 장치들을 위한 게이트 접합 내로 몰아낸다. 그러면 독자는, 도 2e에 도시된 바와 같이, nJFET가 예를 들면, n형 반도체, 예를 들어 202 상에, n형 폴리실리콘 소스 도전층, 예를 들어 213, n형 폴리실리콘 드레인 도전층, 예를 들어 215, 및 p형 폴리실리콘 접합-게이트 도전층, 예를 들어 217을 갖게 될 것임을 알 것이다. 반대로, pJFET는, 예를 들면, p형 반도체 상에, p형 폴리실리콘 소스 도전층, 예를 들어 213, p형 폴리실리콘 드레인 도전층, 예를 들어 215, 및 n형 폴리실리콘 접합-게이트 도전층, 예를 들어 217을 갖게 될 것이다. JFET구조들의 실리콘(202)과 접촉하는 적합하게 도핑된 폴리실리콘은 소스, 드레인, 게이트 접합들 사이에 적합한 접합들, 예를 들어 도 2f에 도시된 확산영역들(209)을 형성한다.

[0052] 핀-JFET 채널길이(L_c) 및 채널폭(W_c)은 도 2d 내지 도 2f에 나타낸 바와 같다. 도 2e 및 도 2f에 도시된 바와

같이, 채널은 실리콘 핀 구조의 측벽(들)을 따라 위치되고 채널 폭(W_c)은 핀 구조 높이(H_f)에 대응한다. 그러나, 본 발명의 실시예들은 이것으로 제한되지 않는다. 당업자는 두꺼운 산화물(206)을 제거하고 핀 구조 위에 채널을 형성하는 가공단계들도 알 것이다.

[0053] 당업자는 반도체 핀 구조들이 예를 들어 동일 제조공정 단계에 의해서, 동일 웨이퍼 상에 위치된 핀-MOSFET들 및 핀-JFET들을 위해 동시에 형성될 수 있음을 알 것이다. 또한, 당업자는 다수의 nJFET들, pJFET들, NMOS 및 PMOS 장치들이 CMOS 기술, 즉, 공통 제조 공정들에 의해 공통 기판 상에 n형 반도체 도핑으로 장치들을 형성하고 p형 반도체 도핑으로 장치들을 형성하는 CMOS 기술에 따라 제조될 수 있음을 알 것이다. 이에 따라, 기판 상에 적어도 한 핀-MOSFET 및 기판 상에 적어도 한 핀-JFET의 제조에 관한 본 개시의 실시예들에 따라, PMOS 및 nJFET 장치들을 위한 n형 반도체가 실질적으로 동시에, 예를 들어 동일 제조 공정단계에 의해 함께 도핑될 수 있고, NMOS 및 pJFET 장치들을 위한 p형 반도체가 예를 들어 또 다른 동일 제조 공정 단계에 의해 동시에 함께 도핑될 수 있다.

[0054] 본 개시의 하나 이상의 실시예들에 따라, 핀-MOSFET들 및 핀-JFET들은 동일 다이 상에 함께 집적되고 공통 제조 공정에 의해 형성된다. 예를 들어, 반도체층은 핀-MOSFET들 및 핀-JFET들을 위해 동시에 형성될 수 있고, 핀-MOSFET들 및 핀-JFET들을 위한 핀 구조들, 예를 들어, 필라들이 공통 가공단계(들)에 의해 동일 반도체층으로부터 동시에 패터닝되고 형성될 수 있다. 그후에, n형 반도체 핀 구조들의 핀-MOSFET들(예를 들면, 핀-pMOSFET들) 및 핀-JFET들(예를 들면, 핀-nJFET들)이 동시에 도핑될 수 있고, p형 반도체 핀 구조들의 핀-MOSFET들(예를 들면, 핀-nMOSFET들) 및 핀-JFET들(예를 들면, 핀-pJFET들)이 또 다른 단계에서 동시에 도핑될 수 있다. 앞에서 기술된 바와 같이 핀-JFET 및 핀-MOSFET 구조들 상에 동시에 하나 이상의 유전층(들)이 형성될 수 있다. 집적된 핀-JFET들 및 핀-MOSFET들을 위한 각각의 소스, 드레인 및 게이트 영역들의 추가의 형성 및 도핑이 앞에서 기술된 바와 같이 서로 다른 유형의 FET 장치들의 유사 도핑된 영역들에 대해 동시에 달성될 수도 있다. NMOS 장치들의 게이트를 형성할 때, 그리고 pJFET 장치들의 pn 접합의 n 부분을 형성할 때 n형 POLY가 동시에 적용될 수 있다. PMOS 장치들의 게이트를 형성할 때, 그리고 nJFET 장치들의 pn 접합의 p 부분을 형성할 때 p형 POLY가 동시에 적용될 수 있다.

[0055] 도 3은 메모리 시스템(301)이 프로세서(310)를 포함하며 메모리 셀들의 어레이(300), 예를 들어 메모리 어레이를 포함하는 메모리 장치(320)에 결합되는 메모리 시스템(301)을 도시한 것이다. 메모리 장치(320)는 본 개시의 하나 이상의 실시예들로서, 예를 들어 CMOS 공정에 따라 공통 기판 상에 형성된 적어도 한 핀-JFET 및 적어도 한 핀-MOSFET을 구비하는 집적회로를 포함한다. 메모리 시스템(301)은 개별적 집적회로들을 포함할 수 있고 혹은 프로세서(310) 및 메모리 장치(320) 둘 다가 동일 집적회로 상에 있을 수 있다. 프로세서(310)는 마이크로프로세서 혹은 응용특정 집적회로(ASIC)와 같은 어떤 다른 유형의 제어회로일 수 있다.

[0056] 명확성을 위해서, 전자 메모리 시스템(301)은 본 개시에 특정의 관련된 특징들에 초점을 맞추기 위해 간이화되었다. 메모리 장치(320)는 메모리 셀 어레이(300)를 포함한다. 당업자들이 알게 되는 바와 같이, 감지라인들 및 소스라인들에 메모리 셀들의 연결 방법은 어레이가 NAND 구조인지, NOR 구조인지, AND 구조인지, 아니면 이의 어떤 다른 메모리 어레이 구조인지에 따른다.

[0057] 도 3의 실시예는 I/O 회로(360)를 통해 I/O 연결들(362)로 제공되는 어드레스 신호들을 래치하기 위한 어드레스 회로(340)를 포함한다. 어드레스 신호들은 메모리 어레이(300)에 액세스하기 위해서 행(row) 디코더(344) 및 열(column) 디코더(346)에 의해 수신되어 디코딩된다. 본 개시에 비추어, 당업자들은 어드레스 입력 연결들의 수가 메모리 어레이(300)의 밀도 및 구조에 따른다는 것과 어드레스들의 수가 증가된 수의 메모리 셀들 및 증가된 수의 메모리 블록들 및 어레이들에 따라 증가됨을 알 것이다.

[0058] 메모리 셀 어레이(300)는 프로그래밍에 연관된 동작전압들을 이용할 수 있는 셀들을 포함한다. 메모리 장치(320)는 이 실시예에서는 판독/래치 회로(350)일 수 있는 감지/퍼피회로를 사용하여 메모리 어레이 열들에서 전압 및/또는 전류 변화들을 감지함으로써 메모리 어레이(300)에서 데이터를 판독한다. 판독/래치회로(350)는 메모리 어레이(300)로부터 한 행의 데이터를 판독하여 래치하게 결합될 수 있다. I/O 연결들(362)로 프로세서(310)와 양방향 데이터 통신을 위해 I/O 회로(360)가 포함된다. 메모리 어레이(300)에 데이터를 기입하기 위해 기입 회로(355)가 포함된다.

[0059] 제어회로(370)는 프로세서(310)로부터 제어 연결들(372)에 의해 제공된 신호들을 디코딩한다. 이들 신호들은 판독, 기입, 힐(heal), 및 소거 동작들을 포함해서, 메모리 어레이(300) 상에 동작들을 제어하기 위해 사용되는 칩 신호들, 기입 활성화 신호들, 및 어드레스 래치 신호들을 포함할 수 있다. 여러 실시예들에서, 제어회로(370)는 본 개시의 동작 및 프로그래밍 실시예들을 수행하기 위해 프로세서(310)로부터의 명령들을 수행한다.

제어회로(370)는 상태머신, 시퀀서, 혹은 이외 어떤 다른 유형의 제어기일 수 있다. 당업자는 추가의 회로 및 제어신호들이 제공될 수 있다는 것과, 도 3의 메모리 장치 상세를 용이한 도시를 위해서 줄였다는 것을 알 것이다. 메모리 시스템(301)의 어떤 성분들은 예를 들어 아날로그 신호들을 처리할 수도 있는데, 아날로그 신호는 조작된 후에 메모리 어레이에 디지털 값들이 저장되게 디지털화될 수 있다. 또한, 메모리 시스템(301)은 칩 상에 시스템의 일부로서 구현될 수도 있다.

[0060] 도 4는 본 개시의 하나 이상의 실시예들에 따라 공통 기관 상에 적어도 한 핀-JFET 및 적어도 한 핀-MOSFET가 형성된 하나 이상의 집적회로들을 포함하는 메모리 장치를 구비한 메모리 모듈의 기능 블록도이다. 도 4는 메모리 모듈(400)을 메모리 카드로서 도시하고 있으나, 메모리 모듈(400)에 관련하여 논의되는 개념들은 다른 유형들의 착탈가능 혹은 휴대 메모리로서 예를 들어 USB 플래시 드라이브들에 적용될 수 있고, 여기에서 사용되는 바와 같이 "메모리 모듈"의 범위 내에 있게 한 것이다. 메모리 모듈(400)은 예를 들어 칩 상에 시스템의 일부로서 구현될 수도 있다.

[0061] 일부 실시예들에서, 메모리 모듈(400)은하우징이 모든 장치들 혹은 장치 응용들에 필수는 아닐지라도, 하나 이상의 메모리 장치들(420)을 동봉하기 위해 하우징(405)(도시된 바와 같은)을 포함할 것이다. 적어도 한 메모리 장치(420)는 본 개시의 하나 이상의 실시예들로서 예를 들어 집적된 핀-MOSFET들 및 핀-JFET를 포함하는 메모리 셀 어레이를 포함한다. 현 경우에, 하우징(405)은 호스트 장치와 통신을 위해 하나 이상의 콘택들(415)을 포함한다. 호스트 장치들의 예들은 디지털 카메라들, 디지털 기록 및 재생 장치들, PDA들, 개인용 컴퓨터들, 메모리 카드 판독기들, 인터페이스 허브들, 등을 포함한다. 일부 실시예들에서, 콘택들(415)은 표준화된 인터페이스 형태이다. 예를 들어, USB 플래시 드라이브에서 콘택들(415)은 USB 타입-A 수(male) 콘택터 형태일 수도 있을 것이다. 그러나, 일반적으로, 콘택들(415)은 메모리 모듈(400)과 콘택들(415)에 대해 호환가능한 리셉터들을 구비한 호스트간에 제어, 어드레스 및/또는 데이터 신호들을 전달하기 위한 인터페이스를 제공한다.

[0062] 메모리 모듈(400)은 선택적으로, 하나 이상의 집적회로들 및/또는 이산 성분들일 수 있는 추가의 회로(400)를 포함할 수 있다. 일부 실시예들에서, 추가의 회로(410)는 복수의 메모리 장치들(420)에 걸쳐 액세스를 제어하고 및/또는 외부 호스트와 메모리 장치(420) 간에 전환층(translation layer)을 제공하기 위한 메모리 제어기를 포함할 수도 있다. 예를 들면, 콘택들(415)의 개수와 하나 이상의 메모리 장치들(420)에의 연결들의 개수 간에 1 대 1 대응이 없을 수도 있다. 이에 따라, 메모리 제어기는 적합한 시간에 적합한 I/O 연결에서 적합한 신호를 수신하기 위해서 혹은 적합한 시간에 적합한 콘택(415)에서 적합한 신호를 제공하기 위해서 메모리 장치(420)의 I/O 연결을 선택적으로 결합할 수도 있을 것이다. 유사하게, 호스트와 메모리 모듈(400) 간에 통신 프로토콜은 메모리 장치(420)의 액세스를 위해 요구되는 것과는 다를 수도 있다. 그러면 메모리 제어기는 호스트로부터 수신된 명령 시퀀스들을 메모리 장치(420)에의 요망되는 액세스를 달성하기 위해 적합한 명령 시퀀스들로 전환시킬 수도 있을 것이다. 이러한 전환은 명령 시퀀스들 외에 신호 전압 레벨들에 변화들을 더 포함할 수도 있다.

[0063] 추가의 회로(410)는 ASIC에 의해 수행될 수도 있을 로직 기능들과 같은 메모리 장치(420)의 제어에 관계없는 기능을 더 포함할 수도 있다. 또한, 추가의 회로(410)는 패스워드 보호, 바이오메트릭스, 등과 같이, 메모리 모듈(400)에의 판독 혹은 기입 액세스를 제약하는 회로를 포함할 수도 있다. 추가의 회로(410)는 메모리 모듈(400)의 상태를 나타내는 회로를 포함할 수도 있다. 예를 들어, 추가의 회로(410)는 파워가 메모리 모듈(400)에 공급되고 있는지 여부 및 메모리 모듈(400)이 현재 액세스되고 있는지 여부를 판정하고, 이의 상태의 표시로서 이를 테면 파워 공급중엔 일정한 광으로 그리고 액세스되는 중엔 섬광 광으로 디스플레이하는 기능을 포함할 수 있다. 추가의 회로(410)는 메모리 모듈(400) 내에서 파워 요건들을 조절할 수 있기 위해서 디커플링 커패시터들과 같은 수동 장치들을 더 포함할 수도 있다.

[0064] 도 5는 본 개시의 하나 이상의 실시예들에 따라 공통 기관 상에 형성된 적어도 한 핀-JFET 및 적어도 한 핀-MOSFET를 구비하는 칩(580) 상에 시스템의 기능 블록도이다. 하나 이상의 실시예들에 따라서, 칩(580) 상에 시스템은 적어도 한 아날로그 성분(582) 및 적어도 한 디지털 회로 성분(584)을 포함한다. 아날로그 성분(들)(582)은 하나 이상의 핀-JFET(들)(586)을 포함하며, 디지털 성분(들)(584)은 하나 이상의 핀-MOSFET(들)(588)을 포함하며, 핀-JFET(들)(586) 및 핀-MOSFET(들)(588)은 CMOS 공정에 따라 공통 기관 상에 형성된다. 하나 이상의 실시예들에 따라, 디지털 성분(들)(584)은 위에 기술되고 도 3에 도시된 메모리 시스템(301)과 같은 메모리 셀 어레이를 구비하는 메모리 장치에 결합된 프로세서를 포함하는데, 그러나, 본 발명의 실시예들은 이것으로 제한되지 않는다. 아날로그 성분(들)(582)은 예를 들어, 증폭기들, 파 정형 회로, 및 이외 신호 처리 회로들 및 소자들을 포함할 수 있다.

[0065] 결론

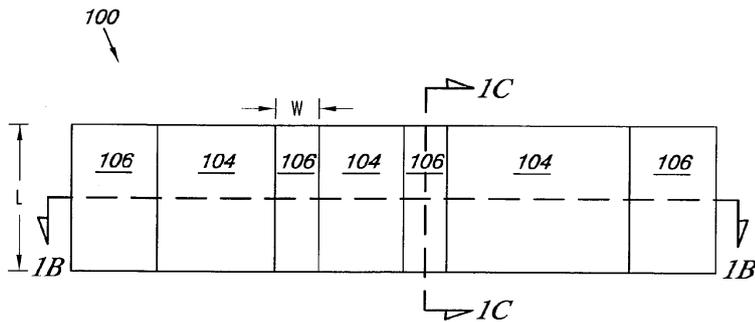
[0066] 핀-JFET들 및 핀-MOSFET들을 집적한 방법들, 장치들, 및 시스템들이 제공된다. 방법의 일실시예는 기판 상에 적어도 한 핀-MOSFET를 형성하는 단계 및 기판 상에 적어도 한 핀-JFET를 형성하는 단계를 포함한다.

[0067] 구체적인 실시예들이 여기에 도시되고 기술되었을지라도, 당업자들은 동일 결과들을 달성하게 계산된 배열이 도시된 구체적 실시예들을 대신할 수 있음을 알 것이다. 본 개시는 본 개시의 여러 실시예들의 적응 혹은 변형들을 포괄하게 한 것이다. 위에 설명은 제약하는 형태가 아닌 예시적 형태로 행해진 것을 알아야 한다. 위에 실시예들의 조합, 및 여기에 구체적으로 기술되지 않은 다른 실시예들은 위에 설명을 검토하였을 때 당업자들에게 명백하게 될 것이다. 본 개시의 여러 실시예들의 범위는 위에 구조들 및 방법들이 사용되는 다른 응용들을 포함한다. 그러므로, 본 개시의 여러 실시예들의 범위는 청구항들로 부여된 등가물들의 전범위와 더불어, 첨부된 청구항들을 관련하여 결정되어야 한다.

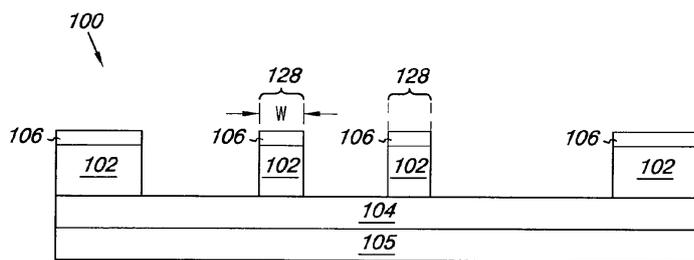
[0068] 전술한 상세한 설명에서, 다양한 특징들은 본 개시를 간소화할 목적으로 단일 실시예로 함께 분류된다. 본 개시의 방법은 본 개시의 개시된 실시예들이 각 청구항에 명확히 인용된 많은 특징들을 사용해야 하는 의도를 반영하는 것으로서 해석되지 않아야 한다. 그보다는, 다음 청구항들이 반영하는 바와 같이, 본 발명의 요지는 단일 개시된 실시예의 모든 특징들 미만 내에 놓여 있다. 이에 따라, 다음 청구항들은 상세한 설명내 포함되며, 각 청구항은 개별적 실시예로서 자립한다.

도면

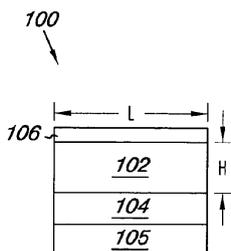
도면1a



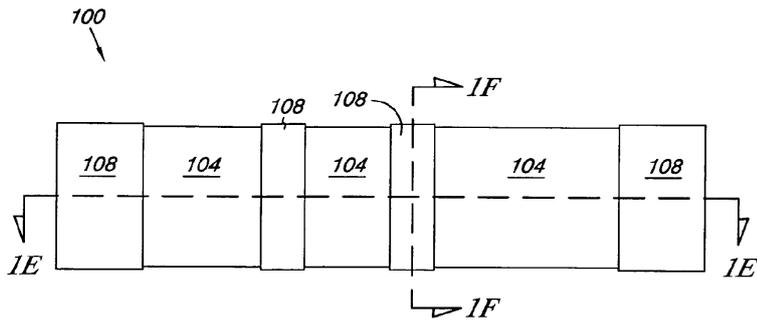
도면1b



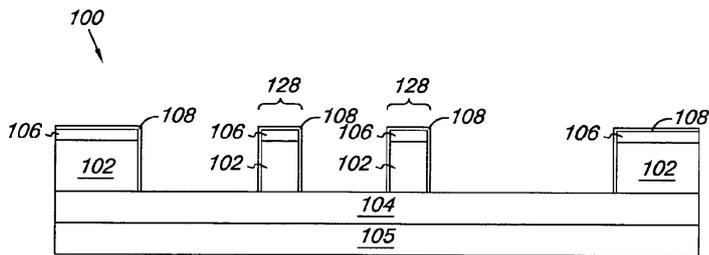
도면1c



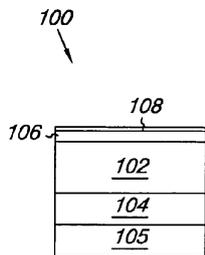
도면1d



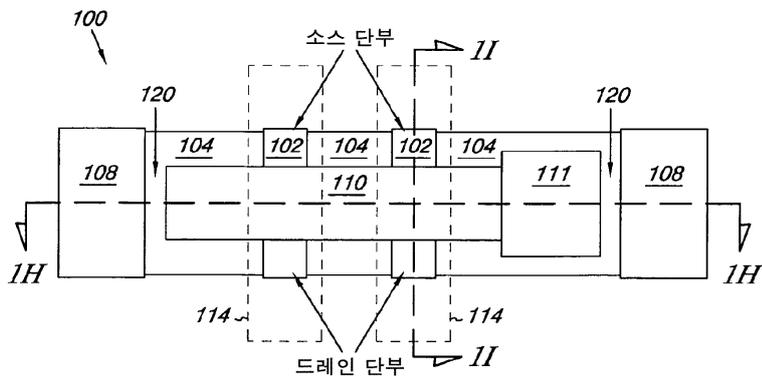
도면1e



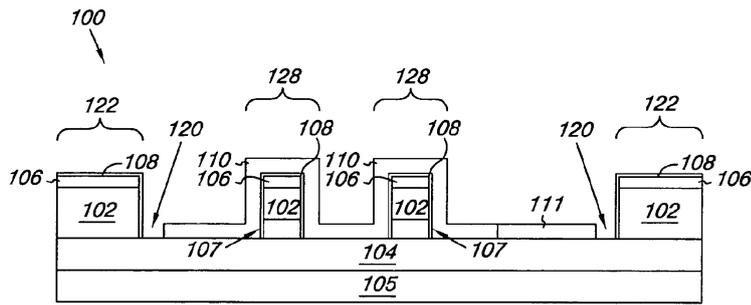
도면1f



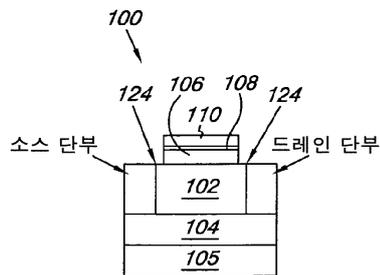
도면1g



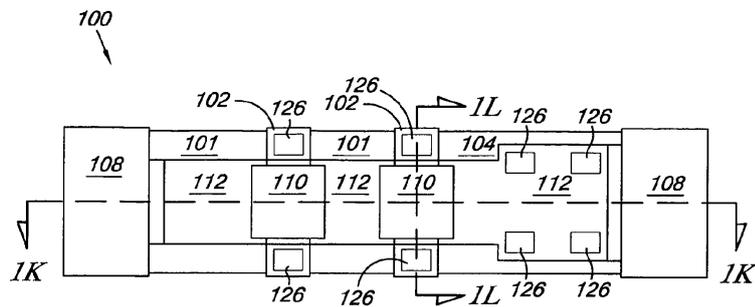
도면1h



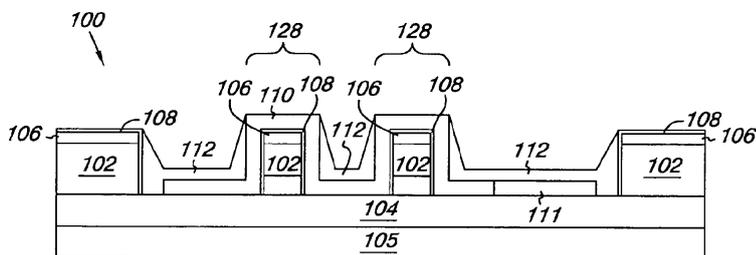
도면1i



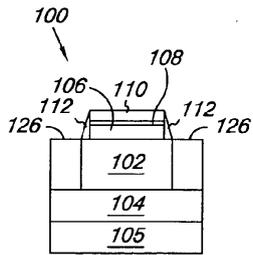
도면1j



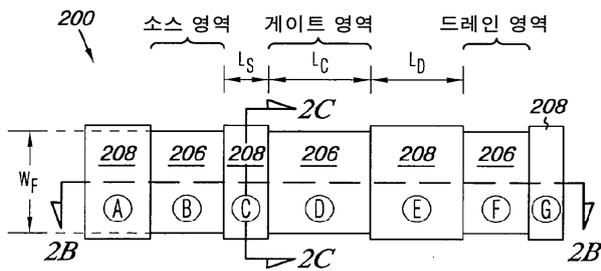
도면1k



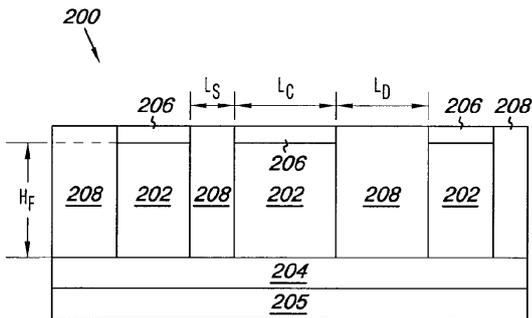
도면11



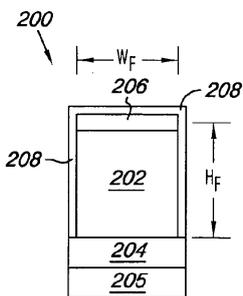
도면2a



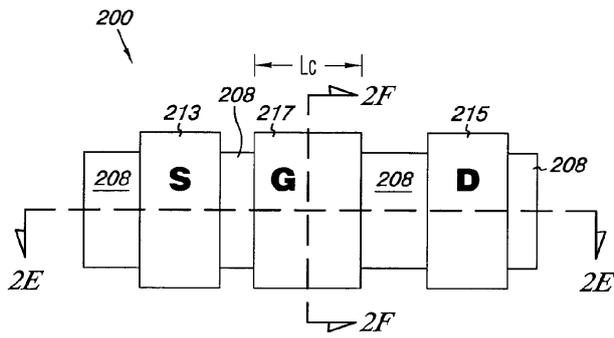
도면2b



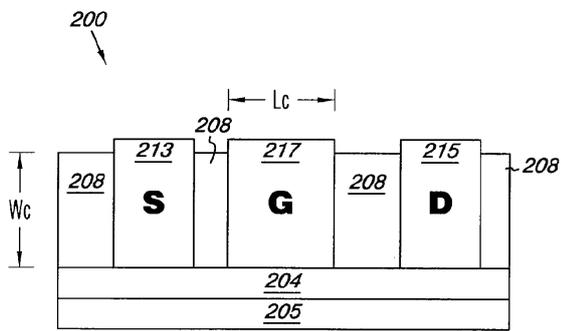
도면2c



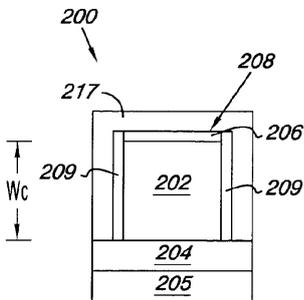
도면2d



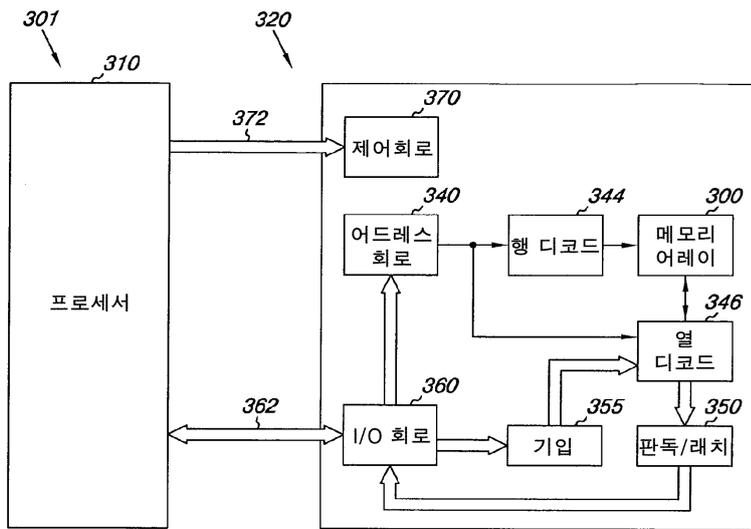
도면2e



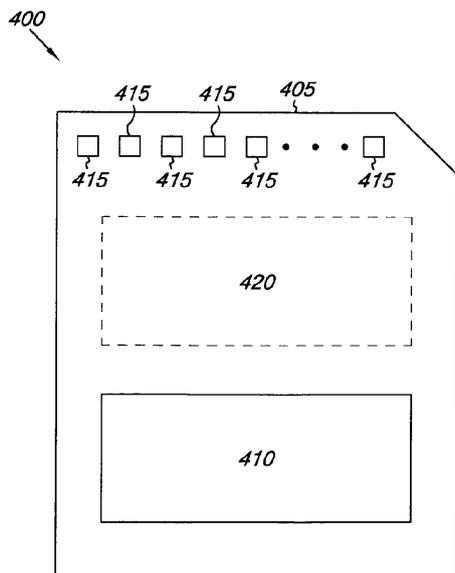
도면2f



도면3



도면4



도면5

580

