



(12) 发明专利申请

(10) 申请公布号 CN 105489610 A

(43) 申请公布日 2016. 04. 13

(21) 申请号 201510830567. 6

(22) 申请日 2015. 11. 25

(71) 申请人 昆山龙腾光电有限公司

地址 215301 江苏省苏州市昆山市龙腾路 1 号

(72) 发明人 刘永锋

(74) 专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 蔡光仟

(51) Int. Cl.

H01L 27/12(2006. 01)

G02F 1/1362(2006. 01)

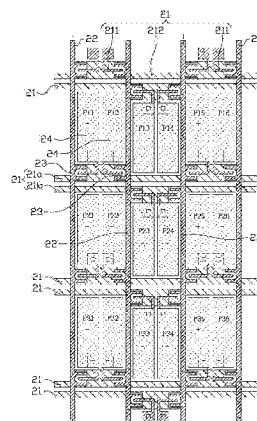
权利要求书1页 说明书5页 附图5页

(54) 发明名称

薄膜晶体管阵列基板及显示面板和显示装置

(57) 摘要

一种薄膜晶体管阵列基板,包括设置在衬底基板上的多条扫描线、多条数据线、多个 TFT 以及多个像素电极,每个像素电极通过 TFT 与对应的扫描线和数据线相连;该薄膜晶体管阵列基板具有双扫描线像素阵列结构,该多条数据线将该多条扫描线中的每条扫描线分为与 TFT 相连的多个第一扫描段和未与 TFT 相连的多个第二扫描段,该第一扫描段和该第二扫描段均位于两条相邻数据线之间,每条扫描线上的第一扫描段和第二扫描段沿着扫描线的长度方向交替分布,该第二扫描段的线宽小于该第一扫描段的线宽。本发明通过缩减第二扫描段的线宽,可以相对地提升像素电极的面积,提高像素的开口率。本发明还提供具有该薄膜晶体管阵列基板的显示面板和显示装置。



1. 一种薄膜晶体管阵列基板,包括设置在衬底基板上的多条扫描线、多条数据线、多个 TFT 以及多个像素电极,每个像素电极通过 TFT 与对应的扫描线和数据线相连,其特征在于:

两条相邻数据线之间设有两列像素电极,每条数据线与位于该条数据线两侧的两列像素电极相连;

两条相邻数据线之间的、位于同一行的两个像素电极连接在同一条扫描线上;

同一行的像素电极两两一组交替地分别连接在位于该行像素电极的上下两侧的两条扫描线上;

该多条数据线将该多条扫描线中的每条扫描线分为与 TFT 相连的多个第一扫描段和未与 TFT 相连的多个第二扫描段,该第一扫描段和该第二扫描段均位于两条相邻数据线之间,每条扫描线上的第一扫描段和第二扫描段沿着扫描线的长度方向交替分布,该第二扫描段的线宽小于该第一扫描段的线宽;

上下相邻两行的像素电极之间设有两条紧邻的扫描线,该两条紧邻的扫描线分别与该上下相邻两行的像素电极相连,该两条紧邻的扫描线上的第一扫描段沿着扫描线的长度方向交替分布,且该两条紧邻的扫描线上的第二扫描段也沿着扫描线的长度方向交替分布。

2. 根据权利要求 1 所述的薄膜晶体管阵列基板,其特征在于,同一行的像素电极中,位于奇数的像素电极组与该行像素电极的下侧的扫描线相连,位于偶数的像素电极组与该行像素电极的上侧的扫描线相连,其中每个像素电极组包括位于两条相邻数据线之间的、位于同一行的两个像素电极。

3. 根据权利要求 1 所述的薄膜晶体管阵列基板,其特征在于,同一行的像素电极中,位于偶数的像素电极组与该行像素电极的下侧的扫描线相连,位于奇数的像素电极组与该行像素电极的上侧的扫描线相连,其中每个像素电极组包括位于两条相邻数据线之间的、位于同一行的两个像素电极。

4. 根据权利要求 1 所述的薄膜晶体管阵列基板,其特征在于,该第二扫描段的线宽为该第一扫描段的线宽的三分之一。

5. 根据权利要求 1 至 4 任一项所述的薄膜晶体管阵列基板,其特征在于,每个 TFT 的栅极金属层与对应的扫描线相连,每个 TFT 的源极金属层与对应的数据线相连,每个 TFT 的漏极金属层与对应的像素电极相连。

6. 根据权利要求 5 所述的薄膜晶体管阵列基板,其特征在于,该薄膜晶体管阵列基板还包括覆盖在每个 TFT 的源极金属层和漏极金属层上的钝化保护层,该钝化保护层上设有通孔,每个 TFT 的漏极金属层通过该通孔与对应的像素电极相连。

7. 根据权利要求 5 所述的薄膜晶体管阵列基板,其特征在于,该第一扫描段的线宽与每个 TFT 的栅极金属层的宽度相同。

8. 一种显示面板,其特征在于,包括如权利要求 1 至 7 任一项所述的薄膜晶体管阵列基板。

9. 一种显示装置,其特征在于,包括如权利要求 8 所述的显示面板。

薄膜晶体管阵列基板及显示面板和显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种薄膜晶体管阵列基板以及具有该薄膜晶体管阵列基板的显示面板和显示装置。

背景技术

[0002] 随着大尺寸显示面板的发展,在阵列基板的像素阵列中,有一种被称为半源极驱动(half source driving,HSD)架构。HSD架构的像素阵列中,两列相邻的像素是共用一条数据线,可使数据线的数目减半。对于显示面板而言,驱动芯片包括栅极驱动芯片(gate driver)和源极驱动芯片(source driver)都是必不可少的,源极驱动芯片由于其复杂的结构比栅极驱动芯片更为昂贵,而HSD架构由于可以使数据线数目减半,因此可降低源极驱动芯片的成本。

[0003] 虽然采用HSD架构的显示面板可以让源极驱动芯片的驱动通道数减半,但由于同一行像素中的奇数个像素与偶数个像素分别与不同的扫描线连接,因此HSD架构中的扫描线数量加倍,因此HSD架构的像素阵列又称为双扫描线像素阵列。

[0004] 图1为现有阵列基板的平面示意图,图2为图1的阵列基板的等效电路图,请参阅图1与图2,该阵列基板具有双扫描线像素阵列结构,包括多条扫描线11、多条数据线12、多个TFT 13以及多个像素电极14,每个像素电极14通过TFT 13与对应的扫描线11和数据线12相连,同一行像素电极中的每相邻两个像素电极14分别通过TFT 13连接在该行像素电极的上下两条扫描线11上。

[0005] 为了保证每个TFT 13的正常制程,每个TFT 13的栅极金属层需保证一定的线宽,使得整条扫描线11的线宽与TFT 13的栅极金属层的线宽相同,扫描线11占用面积较大,导致像素的开口率低,影响显示面板的光学特性。

发明内容

[0006] 本发明的目的在于提供一种薄膜晶体管阵列基板,以及具有该薄膜晶体管阵列基板的显示面板和显示装置,以解决现有阵列基板的双扫描线像素阵列结构中扫描线占用面积较大,像素开口率低的问题。

[0007] 本发明提供一种薄膜晶体管阵列基板,包括设置在衬底基板上的多条扫描线、多条数据线、多个TFT以及多个像素电极,每个像素电极通过TFT与对应的扫描线和数据线相连;两条相邻数据线之间设有两列像素电极,每条数据线位于该条数据线两侧的两列像素电极相连;两条相邻数据线之间的、位于同一行的两个像素电极连接在同一条扫描线上;同一行的像素电极两两一组交替地分别连接在位于该行像素电极的上下两侧的两条扫描线上;该多条数据线将该多条扫描线中的每条扫描线分为与TFT相连的多个第一扫描段和未与TFT相连的多个第二扫描段,该第一扫描段和该第二扫描段均位于两条相邻数据线之间,每条扫描线上的第一扫描段和第二扫描段沿着扫描线的长度方向交替分布,该第二扫描段的线宽小于该第一扫描段的线宽;上下相邻两行的像素电极之间设有两条紧邻的扫描

线,该两条紧邻的扫描线分别与该上下相邻两行的像素电极相连,该两条紧邻的扫描线上的第一扫描段沿着扫描线的长度方向交替分布,且该两条紧邻的扫描线上的第二扫描段也沿着扫描线的长度方向交替分布。

[0008] 进一步地,同一行的像素电极中,位于奇数的像素电极组与该行像素电极的下侧的扫描线相连,位于偶数的像素电极组与该行像素电极的上侧的扫描线相连,其中每个像素电极组包括位于两条相邻数据线之间的、位于同一行的两个像素电极。

[0009] 进一步地,同一行的像素电极中,位于偶数的像素电极组与该行像素电极的下侧的扫描线相连,位于奇数的像素电极组与该行像素电极的上侧的扫描线相连,其中每个像素电极组包括位于两条相邻数据线之间的、位于同一行的两个像素电极。

[0010] 进一步地,该第二扫描段的线宽为该第一扫描段的线宽的三分之一。

[0011] 进一步地,每个TFT的栅极金属层与对应的扫描线相连,每个TFT的源极金属层与对应的数据线相连,每个TFT的漏极金属层与对应的像素电极相连。

[0012] 进一步地,该薄膜晶体管阵列基板还包括覆盖在每个TFT的源极金属层和漏极金属层上的钝化保护层,该钝化保护层上设有通孔,每个TFT的漏极金属层通过该通孔与对应的像素电极相连。

[0013] 进一步地,该第一扫描段的线宽与每个TFT的栅极金属层的宽度相同。

[0014] 本发明还提供一种显示面板,包括上述的薄膜晶体管阵列基板。

[0015] 本发明还提供一种显示装置,包括上述的显示面板。

[0016] 本发明提供的薄膜晶体管阵列基板,该薄膜晶体管阵列基板具有双扫描线像素阵列结构,使得数据线的数目减半,有利于降低源极驱动芯片的成本,另外通过将两条相邻数据线之间的、位于同一行的两个像素电极集中连接在同一条扫描线上,可以大幅缩减每条扫描线上未与TFT相连的扫描段的线宽,从而相对地提升像素电极的面积,提高像素的开口率,以解决现有阵列基板的双扫描线像素阵列结构中扫描线占用面积较大,像素开口率低的问题,并且每两个像素电极两两一组均匀地分布在阵列基板上,该阵列基板在搭配彩色滤光片基板制作成液晶面板时,本发明混色更加均匀,显示画质效果更优。

附图说明

[0017] 图1为现有阵列基板的平面示意图。

[0018] 图2为图1的阵列基板的等效电路图。

[0019] 图3为本发明实施例中薄膜晶体管阵列基板的平面示意图。

[0020] 图4为图3的薄膜晶体管阵列基板的等效电路图。

[0021] 图5为本发明实施例中薄膜晶体管阵列基板的部分剖面示意图。

具体实施方式

[0022] 为更进一步阐述本发明为达成预定发明目的所采取的技术方式及功效,以下结合附图及实施例,对本发明的具体实施方式、结构、特征及其功效,详细说明如后。

[0023] 图3为本发明实施例中薄膜晶体管阵列基板的平面示意图,图4为图3的薄膜晶体管阵列基板的等效电路图,图5为本发明实施例中薄膜晶体管阵列基板的部分剖面示意图,请参阅图3至图5,该薄膜晶体管阵列基板具有双扫描线像素阵列结构,该薄膜晶体管阵列基

板包括衬底基板20和设置在衬底基板20上的多条扫描线21、多条数据线22、多个TFT 23以及多个像素电极24,每个像素电极24通过一个TFT 23与对应的扫描线21和数据线22相连。

[0024] 该多个像素电极24在衬底基板20上呈阵列分布,为了叙述方便,下面还以 P_{MN} 代表一个像素电极,其中M表示该像素电极所在的行数,N表示该像素电极所在的列数。

[0025] 两条相邻数据线22之间设有两列像素电极24,每条数据线22与位于该条数据线22两侧的两列像素电极24相连。如图3与图4所示,以图中第二条数据线和第三条数据线为例,第二条数据线与第三条数据线之间设有两列像素电极,分别为第三列像素电极和第四列像素电极,其中第二条数据线与位于该条数据线两侧的第二列像素电极和第三列像素电极相连,第三条数据线与位于该条数据线两侧的第四列像素电极和第五列像素电极相连。

[0026] 两条相邻数据线22之间的、位于同一行的两个像素电极24连接在同一条扫描线21上。如图3与图4所示,以图中第一行的像素电极为例,位于第一条数据线与第二条数据线之间的两个像素电极 P_{11} 、 P_{12} 连接在同一条扫描线(即位于第一行像素电极下侧的扫描线)上,位于第二条数据线与第三条数据线之间的两个像素电极 P_{13} 、 P_{14} 连接在同一条扫描线(即位于第一行像素电极上侧的扫描线)上,其余类推不再赘述。

[0027] 同一行的像素电极24两两一组交替地分别连接在位于该行像素电极的上下两侧的两条扫描线21上。在本实施例中,同一行的像素电极24中,位于奇数的像素电极组与该行像素电极的下侧的扫描线21相连,位于偶数的像素电极组与该行像素电极的上侧的扫描线21相连,其中每个像素电极组包括位于两条相邻数据线之间的、位于同一行的两个像素电极24。如图3与图4所示,以图中第一行的像素电极为例,位于第一条数据线与第二条数据线之间的两个像素电极 P_{11} 、 P_{12} 连接在位于第一行像素电极的下侧的扫描线21上,位于第二条数据线与第三条数据线之间的两个像素电极 P_{13} 、 P_{14} 连接在位于第一行像素电极的上侧的扫描线21上,位于第三条数据线与第四条数据线之间的两个像素电极 P_{15} 、 P_{16} 连接在位于第一行像素电极的下侧的扫描线21上,其余以此类推,从而使同一行的像素电极中,位于奇数的像素电极组与该行像素电极的下侧的扫描线21相连,位于偶数的像素电极组与该行像素电极的上侧的扫描线21相连。其中, P_{11} 、 P_{12} 和 P_{15} 、 P_{16} 为第一行像素电极的奇数像素电极组, P_{13} 、 P_{14} 为第一行像素电极的偶数像素电极组。

[0028] 可以理解地,在其他实施例中,同一行的像素电极24中,也可以是位于偶数的像素电极组与该行像素电极的下侧的扫描线21相连,位于奇数的像素电极组与该行像素电极的上侧的扫描线21相连,其中每个像素电极组包括位于两条相邻数据线之间的、位于同一行的两个像素电极24,在此不再赘述。

[0029] 在本实施例中,该多条数据线22将该多条扫描线21中的每条扫描线21分为与TFT 23相连的多个第一扫描段211和未与TFT 23相连的多个第二扫描段212,该第一扫描段211和该第二扫描段212均位于两条相邻数据线22之间,每条扫描线21上的第一扫描段211和第二扫描段212沿着扫描线的长度方向交替分布,该第二扫描段212的线宽小于该第一扫描段211的线宽。如上述,由于将两条相邻数据线22之间的、位于同一行的两个像素电极24集中连接在同一条扫描线21上,具体地,是连接在与TFT 23相连的第一扫描段211上,因此可大幅缩减未与TFT 23相连的第二扫描段212的线宽。

[0030] 上下相邻两行的像素电极24之间设有两条紧邻的扫描线21,该两条紧邻的扫描线21分别与该上下相邻两行的像素电极24相连,该两条紧邻的扫描线21上的第一扫描段211

沿着扫描线的长度方向交替分布,且该两条紧邻的扫描线21上的第二扫描段212也沿着扫描线的长度方向交替分布。具体地,如图3与图4所示,以图中第一行和第二行的像素电极为例,第一行像素电极与第二行像素电极之间设有两条紧邻的扫描线21,为了便于描述,暂且将该两条紧邻的扫描线21分别称为上扫描线21a和下扫描线21b,位于第一行的两个像素电极P₁₁、P₁₂连接在该两条紧邻的扫描线21中的上扫描线21a上,位于第二行的两个像素电极P₂₃、P₂₄连接在该两条紧邻的扫描线21中的下扫描线21b上,位于第一行的两个像素电极P₁₅、P₁₆连接在该两条紧邻的扫描线21中的上扫描线21a上,其余以此类推。使得在该两条紧邻的扫描线21上,上扫描线21a的第一扫描段211和下扫描线21b的第一扫描段211便沿着扫描线的长度方向交替分布,且上扫描线21a的第二扫描段212和下扫描线21b的第二扫描段212也沿着扫描线的长度方向交替分布。如此,可利用具有较小宽度的第二扫描段212实现像素开口率的提升,同时具有较大宽度的第一扫描段211在整个阵列基板上均匀交替地错开分布,使得每两个像素电极24两两一组地均匀分布在阵列基板上,该阵列基板在搭配彩色滤光片基板(color filter,CF)制作成液晶面板时,本发明混色更加均匀,显示画质效果更优。

[0031] 在本实施例中,未与TFT 23相连的第二扫描段212的线宽约为与TFT 23相连的第一扫描段211的线宽的三分之一。例如若第一扫描段211的线宽为30um,则第二扫描段212的线宽最多为10um。由于扫描线21的线宽大幅减小,相对地即可提升像素电极24的面积,从而提高像素的开口率,本实施例可以提高开口率20%以上。

[0032] 请参阅图5,在本实施例中,该薄膜晶体管阵列基板在衬底基板20上还形成栅极金属层231,栅极金属层231上形成有栅极绝缘层232,栅极绝缘层232上形成有半导体层233,半导体层233上形成有源极金属层234及漏极金属层235,源极金属层234及漏极金属层235上形成有钝化保护层25,钝化保护层25上形成像素电极24。其中,栅极金属层231、栅极绝缘层232、半导体层233、源极金属层234以及漏极金属层235构成TFT 23,每个TFT 23的栅极金属层231与对应的扫描线21相连,每个TFT 23的源极金属层234与对应的数据线22相连,每个TFT 23的漏极金属层235与对应的像素电极24相连。钝化保护层25上设有露出部分漏极的通孔(图未标),每个TFT 23的漏极金属层235通过该通孔与对应的像素电极24相连。

[0033] 在本实施例中,与TFT 23相连的第一扫描段211的线宽与每个TFT 23的栅极金属层231的宽度相同,从而不影响TFT 23与对应的扫描线21相连,也无需改变TFT 23的结构和制程。

[0034] 本发明还提供一种显示面板,该显示面板包括上述的薄膜晶体管阵列基板、彩膜基板(图未示)及位于该薄膜晶体管阵列基板与该彩膜基板之间的液晶层(图未示)。

[0035] 本发明还提供一种显示装置,该显示装置包括上述的显示面板。

[0036] 上述实施例提供的薄膜晶体管阵列基板,该薄膜晶体管阵列基板具有双扫描线像素阵列结构,使得数据线的数目减半,有利于降低源极驱动芯片的成本,另外通过将两条相邻数据线之间的、位于同一行的两个像素电极集中连接在同一条扫描线上,可以大幅缩减每条扫描线上未与TFT相连的扫描段的线宽,从而相对地提升像素电极的面积,提高像素的开口率,以解决现有阵列基板的双扫描线像素阵列结构中扫描线占用面积较大,像素开口率低的问题,并且每两个像素电极两两一组均匀地分布在阵列基板上,该阵列基板在搭配彩色滤光片基板制作成液晶面板时,本发明混色更加均匀,显示画质效果更优。

[0037] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽

然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围。

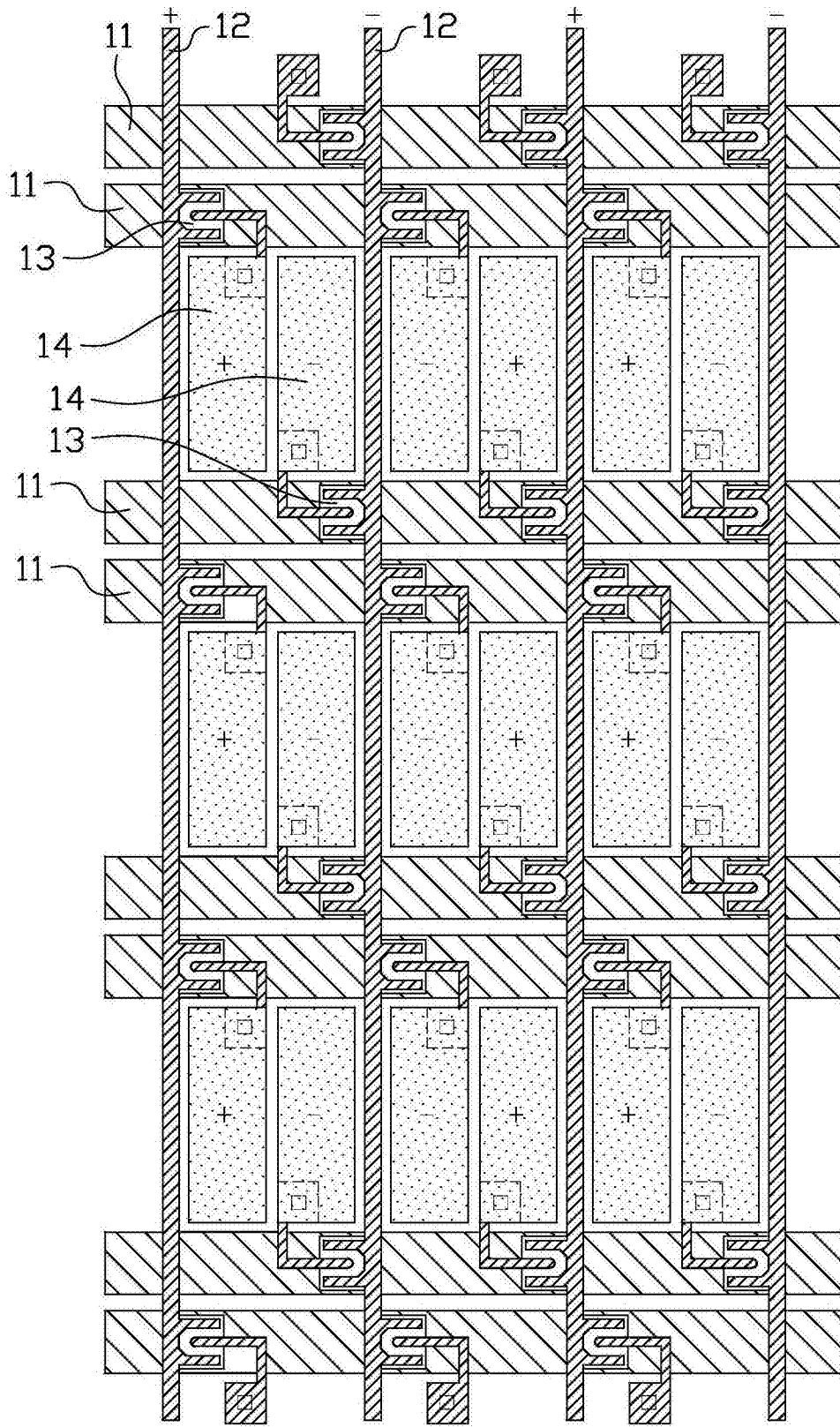


图1

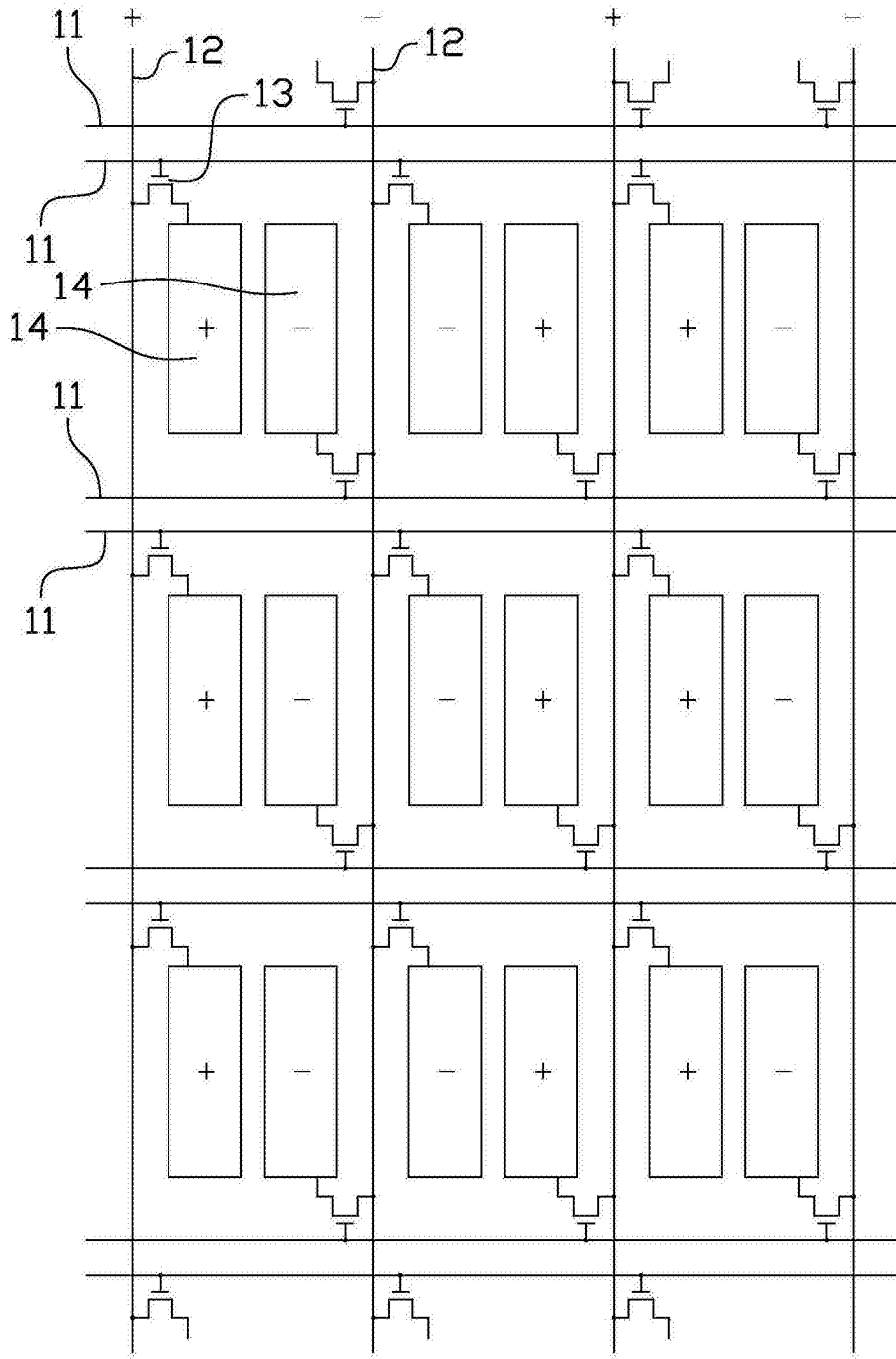


图2

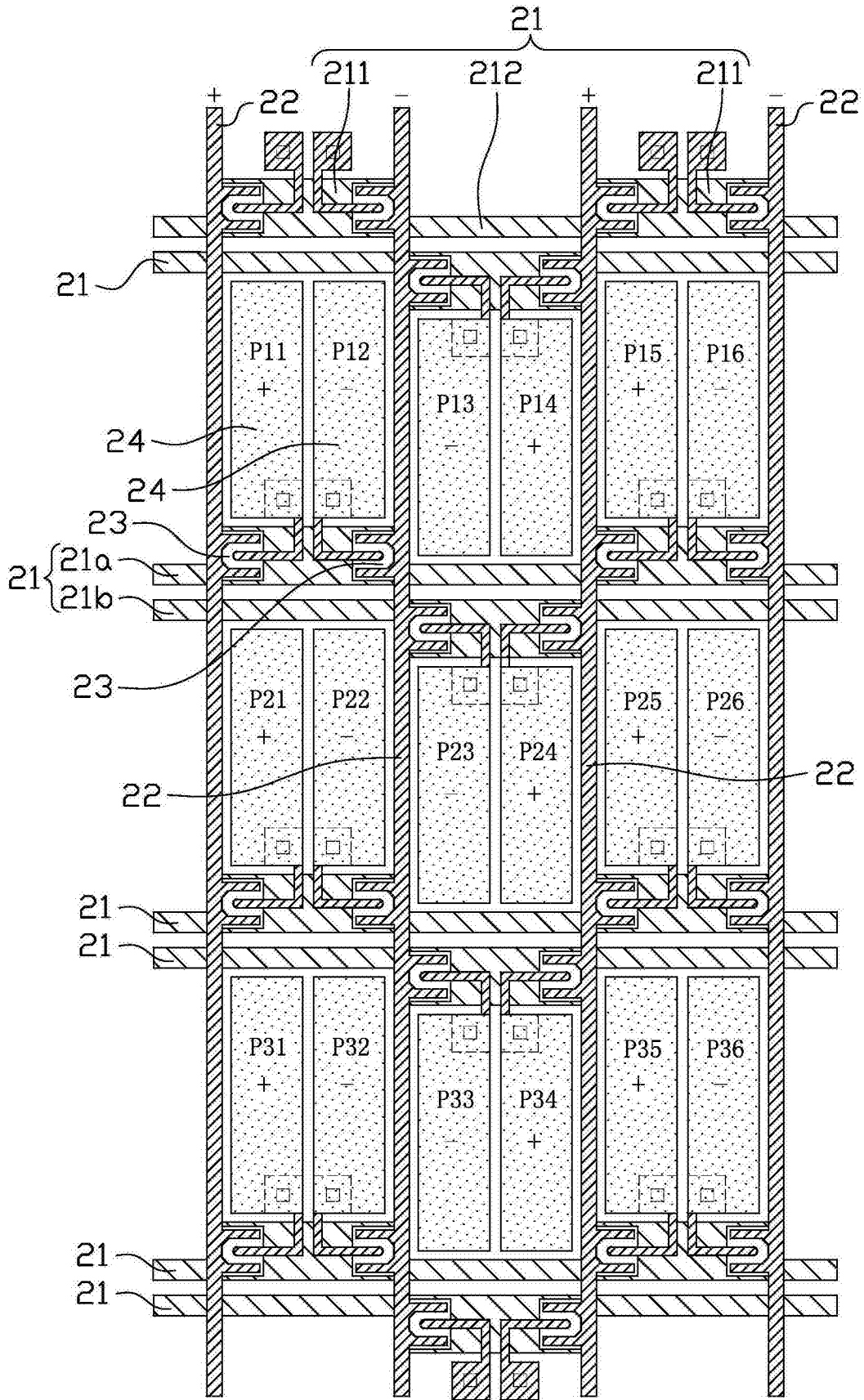


图3

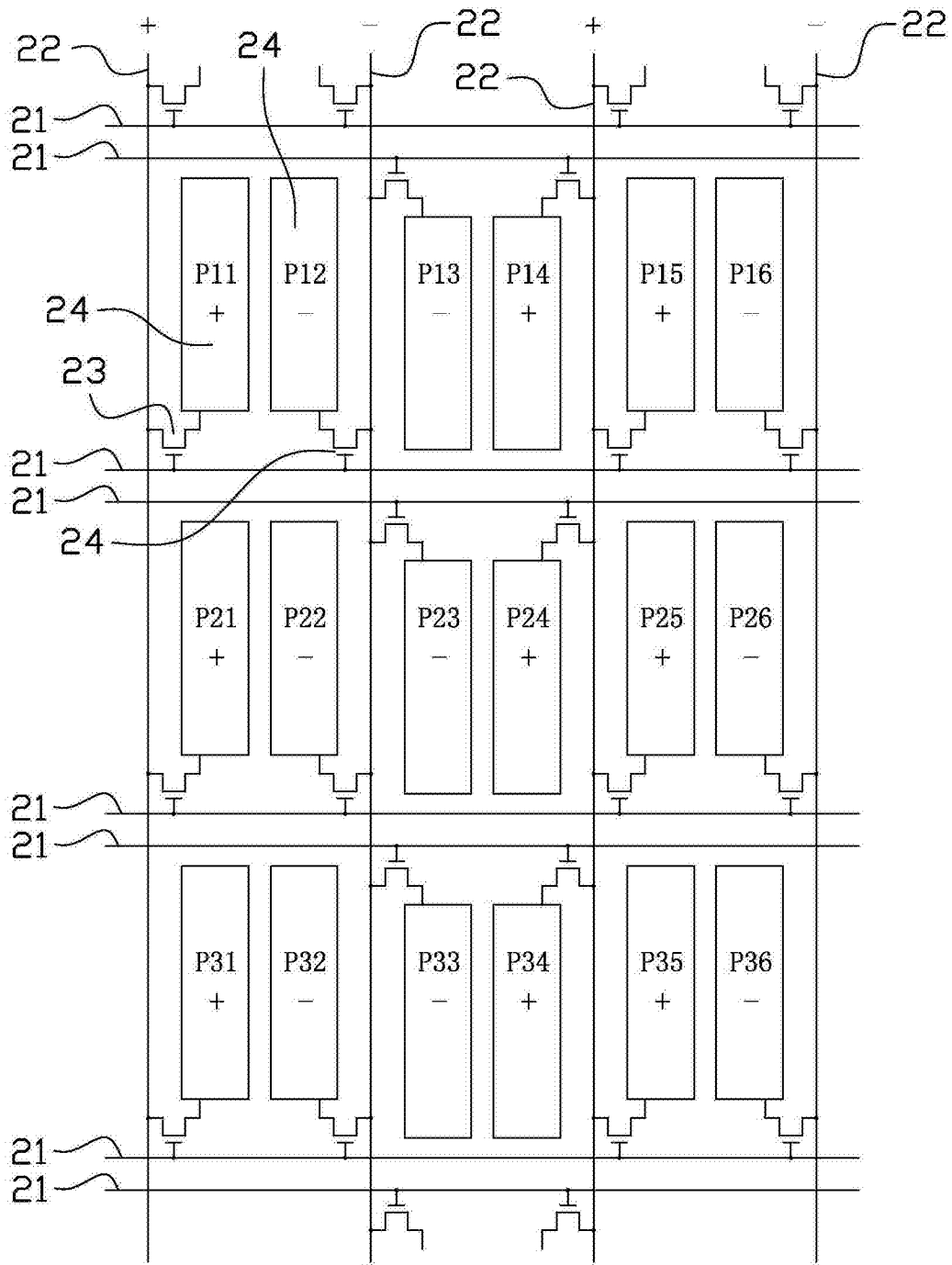


图4

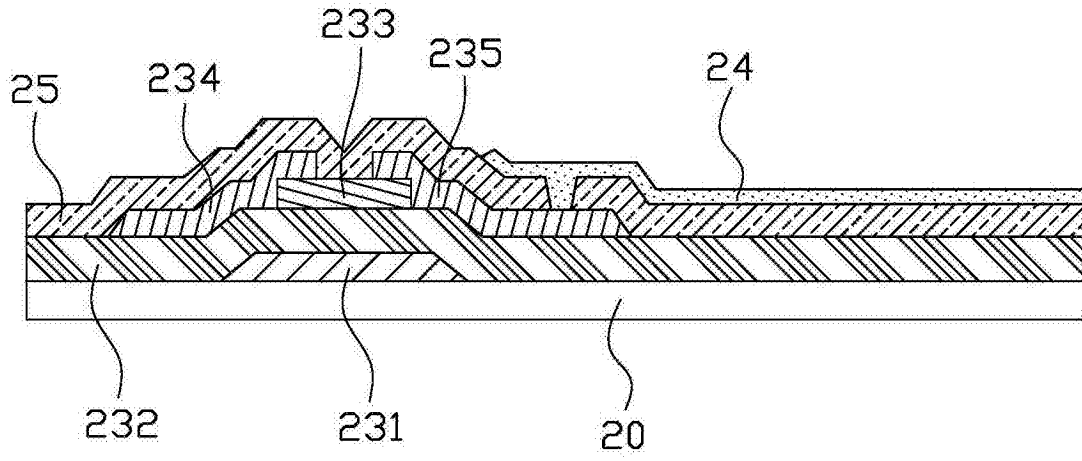


图5