

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4008622号

(P4008622)

(45) 発行日 平成19年11月14日(2007.11.14)

(24) 登録日 平成19年9月7日(2007.9.7)

(51) Int. Cl.	F I	
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34	3 6 2 S
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34	3 5 4 C
G 1 1 C 11/4093 (2006.01)	G 1 1 C 11/34	3 5 4 P
H O 3 K 5/01 (2006.01)	H O 3 K 5/01	Z
H O 3 K 5/02 (2006.01)	H O 3 K 5/02	A
請求項の数 2 (全 10 頁) 最終頁に続く		

(21) 出願番号	特願平11-164322	(73) 特許権者	390019839
(22) 出願日	平成11年6月10日(1999.6.10)		三星電子株式会社
(65) 公開番号	特開2000-40364(P2000-40364A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成12年2月8日(2000.2.8)		C o . , L t d .
審査請求日	平成14年11月21日(2002.11.21)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	98-28165	(74) 代理人	100076428
(32) 優先日	平成10年7月13日(1998.7.13)		弁理士 大塚 康德
(33) 優先権主張国	韓国(KR)	(74) 代理人	100093908
			弁理士 松本 研一
		(72) 発明者	朱容奎
			大韓民国京畿道龍仁市器興邑農書里7-1
			番地
		(72) 発明者	李▲禎▼培
			大韓民国京畿道軍浦市山本洞320番地朱
			夢主公アパート1006棟1205号
			最終頁に続く

(54) 【発明の名称】 同期式半導体メモリ装置の基準信号発生回路

(57) 【特許請求の範囲】

【請求項1】

クロック信号と前記クロック信号の反転信号である反転クロック信号にตอบสนองして駆動される同期式半導体メモリ装置の基準信号発生回路において、

前記クロック信号と前記反転クロック信号を各々入力端子と反転入力端子で入力し、前記反転クロック信号の電圧レベルより前記クロック信号の電圧レベルが高くなることにตอบสนองして活性化する第1基準信号を発生する第1感知回路と、

前記クロック信号と前記反転クロック信号を各々反転入力端子と入力端子で入力し、前記反転クロック信号の電圧レベルより前記クロック信号の電圧レベルが低くなることにตอบสนองして活性化する第2基準信号を発生する第2感知回路と、

前記第1基準信号の遷移にตอบสนองして所定の時間だけ活性化する第1パルス信号を発生する第1パルス信号発生器と、

前記第2基準信号の遷移にตอบสนองして所定の時間だけ活性化する第2パルス信号を発生する第2パルス信号発生器と、を備え、

前記第1および第2パルス信号発生器のそれぞれは、

前記第1または第2基準信号が入力される応答部と、

前記応答部の出力をバッファリングして出力するバッファ部と、

前記バッファ部の入力をラッチするラッチ回路と、

前記バッファ部の入力を前記応答部にフィードバックするフィードバック部と、を有することを特徴とする基準信号発生回路。

10

20

【請求項2】

前記第1並びに第2感知回路は、

各々、前記反転入力端子の電圧レベルに対して前記入力端子の電圧レベルが高くなること並びに低くなることに応答して、その論理状態を反転する出力信号を発生する差動増幅部と、

前記差動増幅部の出力信号をバッファリングして出力信号を発生するバッファ部と、を有することを特徴とする請求項1に記載の基準信号発生回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、同期式半導体メモリ装置に係り、特に外部クロック信号の先端並びに後端に各々同期して第1並びに第2基準信号を発生する基準信号発生回路に関する。

【0002】**【従来の技術】**

半導体メモリ装置の開発が始って以来、メモリチップ設計者は、高集積度と高速動作を実現した半導体メモリチップを設計することを目的としてきた。そして、実際に集積度並びに動作速度に関して相当な発展があった。現在は、コンピュータコントローラで使用するクロック信号を中央処理装置のみならず、半導体メモリ装置にまで拡大して使用することによって半導体メモリ装置の性能をさらに向上させている。このように外部のシステムクロックに同期して動作する半導体メモリ装置を以前の半導体メモリ装置と区分して同期式 DRAM(SYNCHRONOUS DRAM、以下SDRAMと称する)という。

【0003】

通常、SDRAMはシステムクロックの遷移に応じて生成されるパルス信号に応答して動作が制御される。システムクロックの遷移に応じて生成されるパルス信号の発生方式は、単一データ率(SDR)モードと二重データ率(DDR)モードとに分けられる。SDRモードは、システムクロックの"ハイからローの遷移"及び"ローからハイの遷移"のいずれか一方の遷移に対してのみパルス信号を発生させてDRAM素子を動作させる方式である。そして、DDRモードは、システムクロックの"ハイからローの遷移及び"ローからハイ"の遷移の両方の遷移に対し、パルス信号を発生させてDRAM素子を動作させる方式である。

【0004】

したがって、DDRモードは、同一周波数で使用した場合に、SDRよりデータ伝送速度が速いことが特徴である。

【0005】

このようなDDRモードの同期式半導体メモリ装置は、内部のパイプラインを制御したりデータ出力バッファにクロック同期信号を供給するために、外部から入力されるクロック信号の上昇エッジに同期して生成される第1基準信号と、下降エッジに同期して生成される第2基準信号を必要とする。そして、DDRモードの同期式半導体メモリ装置は、第1並びに第2基準信号を基準として多様な動作を遂行する。

【0006】

既存のSDRAMは、クロック信号の端部エッジまたは端部立下がりエッジを直接的に感知してパルス信号として第1並びに第2基準信号を発生する。しかし、このようにクロック信号の上昇エッジまたは下降エッジを直接的に感知して第1並びに第2基準信号を発生する方法は次のような問題点を発生する。すなわち、工程条件の変動やノイズなどの影響でクロック信号の電圧レベルの振動が発生すれば、不要な第1または第2基準信号の活性化を引き起こす場合がある。

【0007】

このような不要な第1または第2基準信号の活性化は、同期式半導体メモリ装置の誤動作を誘発させる。

【0008】**【発明が解決しようとする課題】**

10

20

30

40

50

本発明の目的は、例えば、工程条件の変化やノイズの影響を最小化する基準信号発生回路とこれを備える同期式半導体メモリ装置を提供することにある。

【0009】

【課題を解決するための手段】

前記技術的課題を解決するために本発明は、外部のクロック信号の第1方向の遷移（例えば、ローからハイの遷移）並びに第2方向の遷移（例えば、ハイからローの遷移）に同期して動作する同期式半導体メモリ装置を提供する。

【0010】

本発明の同期式半導体メモリ装置は、前記クロック信号の反転信号である反転クロック信号の電圧レベルに対する前記クロック信号の電圧レベルの差の符号の遷移にตอบสนองして第1並びに第2基準信号を発生する基準信号発生回路を備える。そして、前記第1並びに第2基準信号は、各々前記クロック信号の第1方向の遷移並びに第2方向の遷移に対して互いに等しい応答特性で生成される。

10

【0011】

前記基準信号発生回路は、例えば、前記クロック信号と前記反転クロック信号を各々入力端子と反転入力端子で入力し、前記反転クロック信号の電圧レベルより前記クロック信号の電圧レベルが高くなることにตอบสนองして活性化する第1基準信号を発生する第1感知回路と、前記クロック信号と前記反転クロック信号を各々反転入力端子と入力端子で入力し、前記反転クロック信号の電圧レベルより前記クロック信号の電圧レベルが低くなることにตอบสนองして活性化する第2基準信号を発生する第2感知回路とを備えることが好ましい。そして、前記第1並びに第2感知回路は、例えば、入力端子並びに反転入力端子から入力される信号に対して、互いに等しい応答特性を有する。

20

【0012】

本発明の第1並びに第2の実施の形態に係る基準信号発生回路によれば、工程条件の変化やノイズの影響を最小化することができる。

【0013】

また、本発明の第2の実施の形態に係る基準信号発生回路によれば、クロック信号並びに反転クロック信号の上昇エッジから第1並びに第2基準信号の活性化までに要する時間が同一になる。それゆえに、これを用いる同期式半導体メモリ装置は回路の設計が容易になり、誤動作を誘発する可能性を最小化することができる。

30

【0014】

【発明の実施の形態】

本発明と本発明の動作上の利点並びに本発明の実施によって達成される目的を十分に理解するためには、本発明の好適な実施の形態を例示する添付図面並びに添付図面に記載された内容を参照すべきである。

【0015】

以下、添付図面を参照して本発明の好適な実施の形態を説明する。

【0016】

図1は、本発明の基準信号発生回路の第1の実施の形態を示す図面である。この基準信号発生回路は、感知回路11及びインバータ12を含む。

40

【0017】

感知回路11は、反転入力端子INBの電圧レベルに対する入力端子INの電圧レベルの上昇または下降を感知して基準信号を発生する。

【0018】

図3は、感知回路11の具体的な構成例を示す図である。この感知回路11は、差動増幅部31並びにバッファ部33を備える。

【0019】

差動増幅部31は、反転入力端子INBの電圧レベルに対する入力端子INの電圧レベルの上昇または下降にตอบสนองし、その論理状態を反転する出力信号DETを発生する。

【0020】

50

差動増幅部31の構成をさらに具体的に説明すれば、差動増幅部31は、2個のPMOSトランジスタP1及びP2、2個のNMOSトランジスタN1及びN2並びに電流ソースS1で構成される。

【0021】

PMOSトランジスタP1及びP2は、相互に同一な電気的特性を有する。そして、NMOSトランジスタN1及びN2も、相互に同一な電気的特性を有する。

【0022】

PMOSトランジスタP1及びP2のソース端子は、電源電圧VCCに共通に接続され、ゲート端子は、NMOSトランジスタN1のドレーン端子31aに共通に接続されている。そして、PMOSトランジスタP1のドレーン端子は、NMOSトランジスタN1のドレーン端子に接続され、PMOSトランジスタP2のドレーン端子は、NMOSトランジスタN2のドレーン端子に接続されている。

10

【0023】

NMOSトランジスタN1及びN2のソース端子は、電流ソースS1の一方の端子31bに共通に接続されている。そして、NMOSトランジスタN1は、反転入力端子INBに入力される信号によって制御され、NMOSトランジスタN2は、入力端子INに入力される信号によって制御される。

【0024】

電流ソースS1は、NMOSトランジスタN1及びN2の共通のソース端子と接地電圧VSSとの間に形成されて差動増幅部31に一定した電流を供給する。

【0025】

そして、NMOSトランジスタN2のドレーン端子に接続されるPMOSトランジスタP2のドレーン端子の信号は、差動増幅部31の出力信号DETである。

20

【0026】

バッファ部33は、差動増幅部31の出力信号を反転すると共にバッファリングして感知回路11の出力端の信号BUFOUTを発生する。この実施の形態では、バッファ部33はインバータで構成され、差動増幅部31の出力信号DETを反転させて感知回路11の出力端の信号BUFOUTを発生する。

【0027】

感知回路11の動作を具体的に説明すれば、次の通りである。まず、入力端子INの電圧レベルが反転入力端子INBの電圧レベルより上昇する場合は、NMOSトランジスタN2を通して流れる電子の量がNMOSトランジスタN1を通して流れる電子の量よりはるかに大きくなる。そのため、差動増幅部31の出力信号DETは、NMOSトランジスタN2の影響に支配されてローレベルに下降する。従って、感知回路11の出力信号BUFOUTはハイレベルに上昇する。

30

【0028】

次に、入力端子INの電圧レベルが反転入力端子INBの電圧レベルより下降する場合は、NMOSトランジスタN1を通して流れる電子の量がNMOSトランジスタN2を通して流れる電子の量よりはるかに大きくなる。したがって、PMOSトランジスタP2のゲート端子の電圧レベルが下降し、差動増幅部31の出力信号DETはPMOSトランジスタP2の影響に支配されてハイレベルに上昇する。従って、感知回路11の出力信号BUFOUTはローレベルに下降する。

【0029】

図1に戻って説明する。感知回路11の入力端子INにはクロック信号CLKが入力され、反転入力端子INBには反転クロック信号CLKBが入力される。したがって、感知回路11は、反転クロック信号CLKBの電圧レベルに対するクロック信号CLKの電圧レベルの上昇または下降を感知し、ハイレベルまたはローレベルに遷移する第1基準信号BUFOUT11を発生する。第1基準信号BUFOUT11は、感知回路11の出力端の信号BUFOUTである。

40

【0030】

インバータ12は、第1基準信号BUFOUT11を反転して第2基準信号BUFOUT12を発生する。

【0031】

図1に示す第1の実施の形態は、第1及び第2パルス発生器13及び14をさらに備えることが好ましい。

【0032】

図4は、パルス発生器13及び14の具体的な構成例を示す図である。このパルス発生器は、

50

応答部41、ラッチ部43、フィードバック部45並びにバッファ部47を備える。まず初期状態では、応答部41の出力信号PRESとフィードバック部45の出力信号PFEDは、応答部41のPMOSトランジスタP3とラッチ部43によってハイレベルになる。

【0033】

応答部41の入力信号PINがハイレベルに上昇すれば、NMOSトランジスタN3及びN4が共にターンオンされて応答部41の出力信号PRESはローレベルに遷移する。したがって、バッファ部47の出力信号POUTはハイレベルになる。

【0034】

しかし、応答部41の出力信号PRESがローレベルになれば、フィードバック部45の出力信号PFEDもローレベルになる。すると、PMOSトランジスタP3がターンオンされ、応答部41の出力信号PRESはハイレベルになり、バッファ部47の出力信号POUTはローレベルになる。

10

【0035】

結果的に、応答部41の入力信号PINがローレベルからハイレベルに遷移する都度、図4に示すパルス発生器の出力信号POUTは、所定の時間活性化されるパルスとなる。

【0036】

従って、図1を参照して説明すると、第1パルス発生器13は、第1基準信号BUFOUT11のハイレベルへの活性化にตอบสนองして第1パルス信号PCLK11を発生する。

【0037】

そして、第2パルス発生器14は、第2基準信号BUFOUT12のハイレベルへの活性化にตอบสนองして第2パルス信号PCLK12を発生する。

20

【0038】

この実施の形態に係る同期式半導体メモリ装置は、第1パルス信号PCLK11と第2パルス信号PCLK12を基準として駆動されることが好ましい。

【0039】

図5は、図1に示す本発明の第1の実施の形態に係る基準信号発生回路における主要信号のタイミング図である。この基準信号発生回路の作用効果を全体的に説明すれば、次の通りである。

【0040】

クロック信号CLKの電圧レベルが上昇すれば、これから所定の時間T11が経過した後に第1基準信号BUFOUT11がハイレベルに上昇する。そして、第1基準信号BUFOUT11がハイレベルに上昇してから再び所定の時間T12が経過した後に、第1パルス信号PCLK11が活性化される。それゆえに、クロック信号CLKの上昇エッジから $T13=T11+T12$ の時間が経過した後に第1パルス信号PCLK11が活性化される。

30

【0041】

そして、反転クロック信号CLKBの電圧レベルが上昇、すなわち、クロック信号CLKの電圧レベルが下降すれば、これから所定の時間T14が経過した後に第1基準信号BUFOUT11がローレベルに下降する。そして、インバーターつに相当する遅延時間T15の後に第2基準信号BUFOUT12がハイレベルに上昇する。

【0042】

そして、第2基準信号BUFOUT12がハイレベルに上昇してから再び所定の時間T16が経過した後に、第2パルス信号PCLK12が活性化される。

40

それゆえに、クロック信号CLKの下降エッジから $T17=T14+T15+T16$ の時間が経過した後に第2パルス信号PCLK12が活性化される。

【0043】

図1に示す本発明の第1の実施の形態に係る基準信号発生回路によれば、第1並びに第2基準信号は、クロック信号CLKの電圧レベルと反転クロック信号CLKBの電圧レベルの高低を比較して生成される。それゆえに、工程条件の変化やノイズなどの影響にかかわらず、一定の遅延時間を有する第1並びに第2基準信号が発生される。

【0044】

しかし、図1に示す本発明の第1の実施の形態では、次のような問題点を有する。即ち、

50

本発明の第1の実施の形態では、図5に示されたように、クロック信号の上昇エッジから第1基準信号の発生までに要する時間と、クロック信号の下降エッジから第2基準信号の発生までに要する時間との間には、 $\{(T14-T11)+T15\}$ の誤差が発生する。

【0045】

ここで、 $T14-T11$ は、感知回路11(図1参照)の差動増幅部31(図3参照)による第1基準信号BUFOUT11のハイレベルへの上昇遷移とローレベルへの下降遷移は相互非対称的であることに起因する。

【0046】

また、 $T15$ は、インバータ12(図1参照)によって第1基準信号BUFOUT11を反転して第2基準信号BUFOUT12を発生するために要する時間である。

10

【0047】

このように、クロック信号の上昇並びに下降遷移から第1並びに第2基準信号の活性化に要する時間の誤差は必然的に発生し、このような誤差は同期式半導体メモリ装置の回路設計を困難にする場合がある。また、このような誤差は同期式半導体メモリ装置の誤動作を発生させる場合がある。

【0048】

図2は、図1に示す本発明の第1の実施の形態の問題点を解決した本発明の第2の実施の形態に係る基準信号発生回路を示す図面である。なお、説明の便宜上、図2に示す本発明の第2の実施の形態では、図1に示す本発明の第1の実施の形態と同様の作用をする信号は同一の参照符号を使用する。図2に示すように、本発明の第2の実施の形態に係る基準信号発生回路は、第1並びに第2感知回路21並びに22を備える。

20

【0049】

第1感知回路21は、クロック信号CLKを入力端子INで、クロック信号CLKの反転信号である反転クロック信号CLKBを反転入力端子INBで入力する。そして、反転クロック信号CLKBの電圧レベルよりクロック信号CLKの電圧レベルが上昇する時に、第1感知回路21の出力信号である第1基準信号BUFOUT21が活性化する。

【0050】

第2感知回路22は、反転クロック信号CLKBを入力端子INで、クロック信号CLKを反転入力端子INBで入力する。そして、反転クロック信号CLKBの電圧レベルよりクロック信号CLKの電圧レベルが下降する時に、第2感知回路22の出力信号である第2基準信号BUFOUT22が活性化

30

【0051】

第1並びに第2感知回路21並びに22は、入力端子IN並びに反転入力端子INBで入力される信号に対し、相互に同一の応答特性を有する。

【0052】

したがって、クロック信号CLKの電圧レベルの上昇エッジにตอบสนองして第1基準信号BUFOUT21が活性化され、下降エッジにตอบสนองして第2基準信号BUFOUT22が活性化される。

【0053】

第1並びに第2感知回路21並びに22の各々の具体的な構成は、前述した図3に示す通りである。また、感知回路21並びに22の具体的な作用効果は、前述した通りであるので、ここでは説明を省略する。

40

【0054】

図2に示す本発明の第2の実施の形態は、第1並びに第2パルス発生器23並びに24をさらに備えることが好ましい。

【0055】

第1パルス発生器23は、第1基準信号BUFOUT21の上昇エッジにตอบสนองして所定の時間だけ活性化する第1パルス信号PCLK21を発生する。また、第2パルス発生器24は、第2基準信号BUFOUT22の上昇エッジにตอบสนองして所定の時間だけ活性化する第2パルス信号PCLK22を発生する。

【0056】

したがって、クロック信号CLKの電圧レベルの上昇エッジにตอบสนองして第1パルス信号PCLK21

50

が活性化され、下降エッジにตอบสนองして第2パルス信号PCLK22が活性化される。

【0057】

第1並びに第2パルス発生器23並びに24の各々の具体的な構成は、前述した図4に示す通りである。また、パルス発生器23並びに24の具体的な作用効果は、前述の通りであるので、ここでは説明を省略する。

【0058】

図6は、図2に示す本発明の第2の実施の形態に係る基準信号発生回路の主要信号のタイミング図である。これを参照して本発明の第2の実施の形態に係る基準信号発生回路の作用効果を全体的に説明すれば、次の通りである。

【0059】

クロック信号CLKの電圧レベルが反転クロック信号CLKBの電圧レベルより上昇すれば、これから所定の時間T21が経過した後に第1基準信号BUFOUT21がハイレベルに上昇する。第1基準信号BUFOUT21がハイレベルに上昇してから再び所定の時間T22が経過した後に、第1パルス信号PCLK21が活性化される。それゆえに、クロック信号CLKの上昇エッジから $T23=T21+T22$ の時間が経過した後に第1パルス信号PCLK21が活性化される。

【0060】

そして、反転クロック信号CLKBの電圧レベルがクロック信号CLKの電圧レベルより上昇すれば、これから所定の時間T24が経過した後に第2基準信号BUFOUT22がハイレベルに上昇する。第2基準信号BUFOUT22がハイレベルに上昇してから再び所定の時間T25が経過した後に、第2パルス信号PCLK22が活性化される。それゆえに、反転クロック信号CLKBの上昇エッジから $T26=T24+T25$ の時間が経過した後に第2パルス信号PCLK22が活性化される。

【0061】

図2に示す本発明の第2の実施の形態に係る第1感知回路21と第2感知回路22は同一の構成を有する回路なので、時間T21とT24は同じ大きさの時間である。そして、第1パルス発生器23と第2パルス発生器24も同一の構成を有する回路なので、時間T22とT25も同じ大きさの時間である。

【0062】

したがって、図2に示す第2の実施の形態では、クロック信号CLK並びに反転クロック信号CLKBの上昇エッジから第1基準信号BUFOUT21並びに第2基準信号BUFOUT22が活性化されるまでの所要時間は互いに等しい。また、第1並びに第2パルス発生器23並びに24を使用する場合は、クロック信号CLK並びに反転クロック信号CLKBの上昇エッジから第1パルス信号PCLK21並びに第2パルス信号PCLK22が活性化されるまでの所要時間T23並びにT26も互いに等しい。

本発明の第1並びに第2の実施の形態に係る基準信号発生回路によれば、例えば、工程条件の変化やノイズの影響を最小化することができる。

【0063】

また、本発明の第2の実施の形態に係る基準信号発生回路によれば、クロック信号並びに反転クロック信号の上昇エッジから第1並びに第2基準信号の活性化までに要する時間が同一になる。それゆえに、これを用いる同期式半導体メモリ装置は、回路の設計が容易で、誤動作を誘発する可能性が最小化される。

【0064】

以上、本発明を図面を参照しながら特定の実施の形態を挙げて説明したが、該実施の形態は例示に過ぎず、本発明の技術的範囲には、該実施の形態の多様な変形や均等な他の実施の形態も含まれる。

【0065】

例えば、図1及び図2に示す実施の形態では、クロック信号CLKと反転クロック信号CLKBを用いて第1並びに第2基準信号を発生する回路が示されているが、反転クロック信号の代りに一定の電圧レベルを有する基準電圧信号を使用した場合においても同等の効果を奏する。

【発明の効果】

10

20

30

40

50

本発明によれば、工程条件の変動やノイズによる影響を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る基準信号発生回路を示す図面である。

【図2】本発明の第2の実施の形態に係る基準信号発生回路を示す図面である。

【図3】図1並びに図2に示す感知回路の具体的な構成例を示す図面である。

【図4】図1並びに図2に示すパルス発生器の具体的な構成例を示す図面である。

【図5】図1に示す回路の主要信号のタイミング図である。

【図6】図2に示す回路の主要信号のタイミング図である。

【符号の説明】

21 感知回路

10

22 感知回路

23 第1パルス発生器

24 第2パルス発生器

BUFOUT21 第1基準信号

BUFOUT22 第2基準信号

CLK クロック信号

CLKB 反転クロック信号

IN 入力端子

INB 反転入力端子

PCLK21 第1パルス信号

20

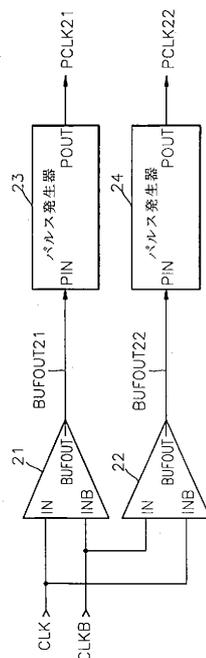
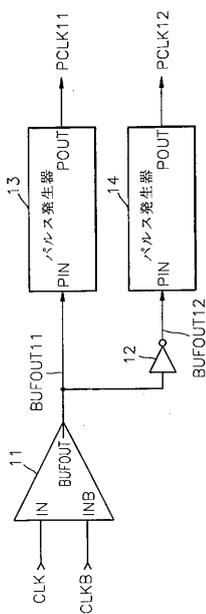
PCLK22 第2パルス信号

PIN 入力信号

POUT 出力信号

【図1】

【図2】



フロントページの続き

(51) Int.Cl. F I
H 0 3 K 5/15 (2006.01) H 0 3 K 5/15 B

審査官 園田 康弘

(56) 参考文献 特開平 1 0 - 1 7 2 2 8 2 (J P , A)
特開平 0 5 - 1 0 2 8 1 2 (J P , A)
特開昭 6 2 - 0 9 8 8 2 0 (J P , A)
特開平 0 8 - 3 0 7 2 3 6 (J P , A)
特開平 0 7 - 3 2 6 1 8 9 (J P , A)
特開 2 0 0 0 - 0 6 7 5 7 7 (J P , A)
特開平 0 4 - 2 9 1 0 9 0 (J P , A)
特開平 1 0 - 0 2 7 4 7 2 (J P , A)
特開平 0 7 - 2 3 0 6 8 8 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G11C 11/407

G11C 11/4076

G11C 11/4093

H03K 5/01

H03K 5/02

H03K 5/15