

## 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

100年7月14日修正補充

※ 申請案號：96144958

※ 申請日期：96.11.27.

※IPC 分類：G11C 29/12

## 一、發明名稱：(中文/英文)

積體電路裝置

INTERGRATED CIRCUIT DEVICE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

Taiwan Semiconductor Manufacturing Co., Ltd.

代表人：(中文/英文) 張忠謀/Chung-Mou Chang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, Li-Hsin Rd.6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R.O.C.

國籍：(中文/英文) 中華民國/TW

## 三、發明人：(共 2 人)

姓名：(中文/英文)

1. 鄭瑋嘉/Wei-Chia Cheng

2. 謝禎輝/Chen-Hui Hsieh

國籍：(中文/英文)

1. 中華民國/TW

2. 中華民國/TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2006/11/27、11/563,459

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一種積體電路裝置，包括嵌入式記憶體和內建自我測試電路，嵌入式記憶體包括複數記憶體巨集，內建自我測試電路耦接複數記憶體巨集以同時操作複數記憶體巨集，其中當記憶體巨集同時運作時，內建自我測試電路被設定為從記憶體巨集之資料輸出端中選擇一獨立記憶體巨集之資料輸出端以作測試分析之用。

## 六、英文發明摘要：

An integrated circuit device includes an embedded memory having a plurality of memory and a built-in-self-test (BIST) circuit coupled to the plurality of memory macros for simultaneous operation of the memory macros, wherein the BIST circuit is configured to select from the memory macro's data outputs an individual memory macro's data output for analysis while the memory macros are operated simultaneously.

**七、指定代表圖：**

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

200～積體電路裝置；

210～內建自我測試電路；

220～多工器；

230、230<sub>1</sub>、230<sub>2</sub>、230<sub>3</sub>、230<sub>n</sub>～輸出閘；

250～資料和輸入控制線；

260～記憶體巨集；

EN、EN<sub>1</sub>、EN<sub>2</sub>、EN<sub>3</sub>、EN<sub>n</sub>～啟動控制信號。

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種嵌入式記憶體，特別是有關於一種具有內建自我測試電路之記憶體。

### 【先前技術】

當特定功能積體電路(Application Specific Integrated Circuit, ASIC)和積體電路(Integrated Circuit, IC) 採用深次微米製程後，在固定面積下可以設計和製造出更多具有嵌入式記憶體的積體電路裝置。裝置測試則包含著利用輸入一測試信號至一裝置以得到一裝置回應信號，並與已知良好回應信號互相分析和比較。

嵌入式記憶體包括複數記憶體巨集(memory macro)，例如：隨機存取記憶體巨集，當這些巨集在正常系統操作下是可以被各別存取的，並且所有記憶體巨集是可以同時被存取，且各巨集是被中間電路所包圍的，例如：中間電路為邏輯電路和輸出入介面電路，因此嵌入式巨集模組無法被積體電路晶片之輸出入端直接存取，記憶體在存取狀況下，雜訊會被這些中間電路產生出來，因此，在最遭情況下測試巨集記憶體是相當重要的，例如：在所有記憶體巨集同時被存取的狀況下測試巨集記憶體。

第 1 圖係顯示傳統記憶體測試系統 100 利用外接自動測試裝置(Automatic Test Equipment, ATE) 150 提供測

試信號給積體電路 110 之嵌入式隨機存取記憶體巨集 120 之示意圖。如第 1 圖所示，外接自動測試裝置 150 提供測試信號經由外接匯流排結構 140 至各輸出入墊(I/O pad)130，測試裝置偵測對應於測試信號之裝置回應信號，並比較儲存在測試裝置之測試資料庫之正常回應信號。然而利用上述方法有多項缺點，為了存取各記憶體巨集 120，因此需要相當多的外接輸出入墊 130，而耦接至這些大量外接輸出入墊 130 之外接匯流排結構 140 也會相當複雜，甚至，外接自動測試裝置之測試程式也會相當複雜並難以程式化，再者，輸出入墊 130 一般也會有操作頻率的限制(例如 100MHz)，此操作頻率的限制也會比積體電路 110 之操作頻率限制(例如 200MHz)來得低，因此無法採用積體電路 110 之操作頻率來做測試。

另一種取代複雜匯流排結構 140 的方法為採用可測試性設計(Design-For-Test, DFT)電路，一些輸出入墊 130 被積體電路 110 內之複雜資料庫架構所取代，由於可測試性設計電路也相當複雜，所以也不是具有吸引力的解決方案。

另一種驗證積體電路裝置是否正常操作的方法是採用內建自我測試(Build-In-Test, BIST)電路，內建自我測試電路是將外接自動測試裝置之功能內建於積體電路晶片中，內建自我測試電路之有限狀態機(Finite State Machine, FSM)會產生測試信號並分析部分被測試之積體電路之回應信號，內建自我測試電路也具有和更高階系

統溝通之介面。

第 2 圖係顯示具有複數記憶體巨集 120 和複數內建自我測試模組 160 之積體電路 110A 之示意圖，各自我測試模組 160 配對給一記憶體巨集 120，儘管只有一個外在觸發信號，所有內建自我測試模組 160 會同時反應及運作，上述方法有一些設計上的考量，由於需要大量額外電路面積，無論是內建自我測試模組 160 或是繞線都需要大量額外電路面積，並且各內建自我測試模組 160 連接至對應之記憶體巨集 120 之繞線面積無法再提供給其他繞線之用。

因此有必要改善上述內建自我測試模組 160 之缺點。

### 【發明內容】

有鑑於此，本發明提供一種積體電路裝置。積體電路裝置包括嵌入式記憶體和內建自我測試電路，嵌入式記憶體包括複數記憶體巨集，內建自我測試電路耦接複數記憶體巨集以同時操作複數記憶體巨集，其中當記憶體巨集同時運作時，內建自我測試電路被設定為從記憶體巨集之資料輸出端中選擇一獨立記憶體巨集之資料輸出端以作測試分析之用。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

實施例中實施方式之描述係關連至所屬圖示之易讀性，其圖示係全部實施方式之一部份，在實施方式中，相關名稱用詞例如「較低、較上、水平、垂直、上、下、頂部、底部等」及其衍生詞彙皆須參考圖示中所繪之方向，這些相關名稱用詞僅便於實施方式描述之便利性，而不需在特定方向上建構或操作儀器設備。名稱用詞上關於聯繫用詞，例如「連接、互連、耦合等」係有關於其中之結構直接或透過中間結構與另一物體緊連或黏合，亦包含可動式或剛性連接，除非有另外描述。

本發明為提供改良之內建自我測試模組架構給具有嵌入式記憶體之積體電路，此內建自我測試模組同時提供作為觸發信號之指令和資料給所有記憶體巨集，因此使測試運作環境如同實際應用環境一樣，藉由同時壓力測試所有記憶體巨集，可以發現雜訊對於系統之影響，而記憶體之缺陷也可以被顯現出來，同時本發明方法可以在操作時確保適當電流提供給所有記憶體巨集，並允許在實際模擬測試環境下量測電流和偵測電路之特性。

第 3 圖係顯示根據本發明一實施例之具有內建自我測試和嵌入式記憶體之積體電路裝置 200 之示意圖，積體電路 200 之嵌入式記憶體包括複數記憶體巨集 260，如第 3 圖所示，記憶體巨集 260 為“隨機存取記憶體 1”至“隨機存取記憶體 N”。熟知相關技藝之人士皆熟悉和瞭解隨機存取記憶體巨集之架構和功能，各記憶體巨集一般為具有一百萬位元之記憶體單元，因此，例如一手機記



憶體具有六百萬位元容量則具有六個嵌入式記憶體巨集。

積體電路 200 包括內建自我測試電路 210 以測試記憶體巨集 260，在一較佳實施例中，一內建自我測試電路負責一群記憶體巨集，如第 3 圖所示，單一內建自我測試電路 210 負責提供測試信號以測試複數記憶體巨集 260，內建自我測試電路 210 藉由資料和輸入控制線 250 啟動和壓力測試記憶體巨集 260，其中資料和輸入控制線 250 連接於內建自我測試電路 210 之輸出端和記憶體巨集 260 之輸入端之間，在一較佳實施例中，內建自我測試電路同時啟動記憶體巨集 260，並藉由資料和輸入控制線 250 提供資料和讀/寫指令。

積體電路 200 包括邏輯電路耦接於記憶體巨集 260 之輸出端和內建自我測試電路 210 之輸入之間並由內建自我測試電路 210 控制著，在一實施例中，邏輯電路包括複數輸出閘 230，各輸出閘對應一記憶體巨集 260，記憶體巨集 260 之輸出端耦接至多工器 220 或 N 對 1 閘架構，多工器 220 耦接至內建自我測試電路 210 之輸入端，閘 230 是由內建自我測試電路 210 所提供的啟動控制信號  $EN_1 \sim EN_n$  所控制地，特別的是，輸出閘 230 根據啟動信號保留或輸出記憶體巨集 260 之輸出至多工器 220，而多工器 220 之輸出端是耦接至內建自我測試電路 210 之輸入端，熟悉此技藝之人士藉由分析本發明後應瞭解有許多不同方法可以使內建自我測試電路 210 選擇一特定

之輸出端，因此本發明並不限定於第 3 圖之架構。在一實施例中，輸出閘 230 為用以接收啟動信號之門鎖器，當啟動信號未致能(disable)時會產生三態(Tri-state)結果，本發明一實施例能讓所有記憶體巨集之輸出端不需經由多工器或 N 對 1 閘 220 來連接在一起，只有一組記憶體輸出被啟動，其他記憶體輸出為三態(Tri-state)狀態，因此可只提供被啟動組至內建自我測試電路 210，另外，多工器或 N 對 1 閘 220 可以不需要閘 230，在本實施例中，多工器根據啟動信號選擇一輸出組輸出至內建自我測試電路 210 以供測試分析之用。

內建自我測試電路 210 耦接至外部輸出入墊(I/O pad) (圖中未顯示) 以接收一控制信號來啟動測試運作，熟悉此技藝之人士也可瞭解內建自我測試電路 210 可提供資料和控制信號經由資料和輸入控制線 250 以測試記憶體巨集 260，之後內建自我測試電路 210 比較來自記憶體巨集之資料和預期之結果，因為內建自我測試電路 210 耦接至各記憶體巨集 260，單一內建自我測試電路 210 可以同時啟動/操作各記憶體巨集 260，然而，藉由啟動信號 EN 和閘 230，只有來自一記憶體巨集之輸出資料可在一時間內根據程式運作被挑選出來輸出至多工器 220，並進而輸出至內建自我測試電路 210 以供測試分析之用。根據本發明一實施例，記憶體巨集可以按順序或特定模式順序來檢測。

第 3 圖之架構可以在預期運作下精確仿效積體電路

200 之使用情形，例如：當多個記憶體巨集被啟動而產生雜訊或電流突降時偵測到缺陷。儘管內建自我測試電路 210 對所有記憶體巨集執行讀取/寫入指令而產生雜訊效應，然而只有一目標記憶體巨集之輸出提供給內建自我測試電路 210 作為比對之用，測試是在積體電路 200 之操作頻率下作測試，因此可以更準確模擬實際積體電路之操作環境，本發明之內建自我測試電路系統之優點為不會對於系統產生太大負擔，一群記憶體巨集只需要一內建自我測試電路，因此邏輯架構不需要太大的面積，本發明之內建自我測試電路之操作相當簡單，對於功能和繞線方面，並不需要複雜測試程式和複數外接匯流排(buses)或複數外接接墊(pin pads)。

如上所述，最糟糕的狀況為電流和雜訊同時作在所有記憶體巨集上，由於所有記憶體巨集 260 可以同時操作，因此可以在操作期間量測操作電流，熟悉此技藝之人士應瞭解利用測試機(tester)，操作電流可以藉由偵測積體電路 200 之電源墊 (Power Pad) 上的電流，測試機提供電源經由電源墊啟動積體電路 200，電流可以在這些電源襯墊上量測到，因為積體電路 200 是設計運作在一固定功率範圍內，所以上述量測方法是有用的，當所有記憶體巨集被存取時，所量測到的實際電流是可以判斷所偵測的缺陷是由於功率消耗或積體電路 200 之內部電路設計所造成的。

儘管只有一內建自我測試電路 210 顯示於第 3 圖

中，積體電路 200 可以包括多個內建自我測試電路，各內建自我測試電路對應於複數之記憶體巨集 260，另外，記憶體巨集 260 不只是隨機存取記憶體巨集，也可以是唯讀記憶體 (Read Only Memory, ROM)、可程式化唯讀記憶體 (Programmable Read-Only Memory, PROM) 或其他記憶體巨集或其組合，儘管本發明實施例之巨集為記憶體巨集，本發明之內建自我測試電路架構和方法可以設計成複數測試分散電路模組，例如：一記憶體巨集和其他運作模組或特定功能積體電路(ASIC)之部分電路。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

第 1 圖係顯示傳統測試系統利用外接自動測試裝置測試積體電路之示意圖；

第 2 圖係顯示具有複數記憶體巨集和複數內建自我測試模組之傳統積體電路之示意圖；以及

第 3 圖係顯示根據本發明一實施例之具有內建自我測試之積體電路之示意圖。

**【主要元件符號說明】**

100～記憶體測試系統；

110、110A～積體電路；

120～嵌入式隨機存取記憶體巨集；

130～輸出入墊；

140～匯流排；

150～自動測試裝置；

160～內建自我測試模組；

200～積體電路裝置；

210～內建自我測試電路；

220～多工器、N 對 1 閘；

230、230<sub>1</sub>、230<sub>2</sub>、230<sub>3</sub>、230<sub>n</sub>～輸出閘；

250～資料和輸入控制線；

260～記憶體巨集；

EN、EN<sub>1</sub>、EN<sub>2</sub>、EN<sub>3</sub>、EN<sub>n</sub>～啟動控制信號。

**十、申請專利範圍：**

(pp. 14~15)

## 1. 一種積體電路裝置，包括：

一嵌入式記憶體包括複數記憶體巨集，上述各記憶體巨集包括複數記憶單元，上述各記憶體巨集具有一資料輸入端和一資料輸出端；

複數個閘，分別耦接於上述記憶體巨集之資料輸出端；

一多工器，具有複數個輸入端，分別與該等閘耦接；  
以及

一內建自我測試電路，耦接於上述多工器，其中上述內建自我測試電路提供複數個啟動信號給該等閘，該等閘根據該等啟動信號保留或連接記憶體巨集之該資料輸出端至該多工器；該多工器進而將被選擇的上述記憶體巨集的資料輸出至內建自我測試電路以作測試分析之用。

2. 如申請專利範圍第 1 項所述之積體電路裝置，其中上述內建自我測試電路提供資料和控制信號以同時操作上述複數記憶體巨集。

3. 如申請專利範圍第 1 項所述之積體電路裝置，其中上述記憶體巨集為隨機存取記憶體巨集。

## 4. 一種積體電路裝置，包括：

複數操作模組，包括具有複數記憶體巨集之一嵌入式記憶體；

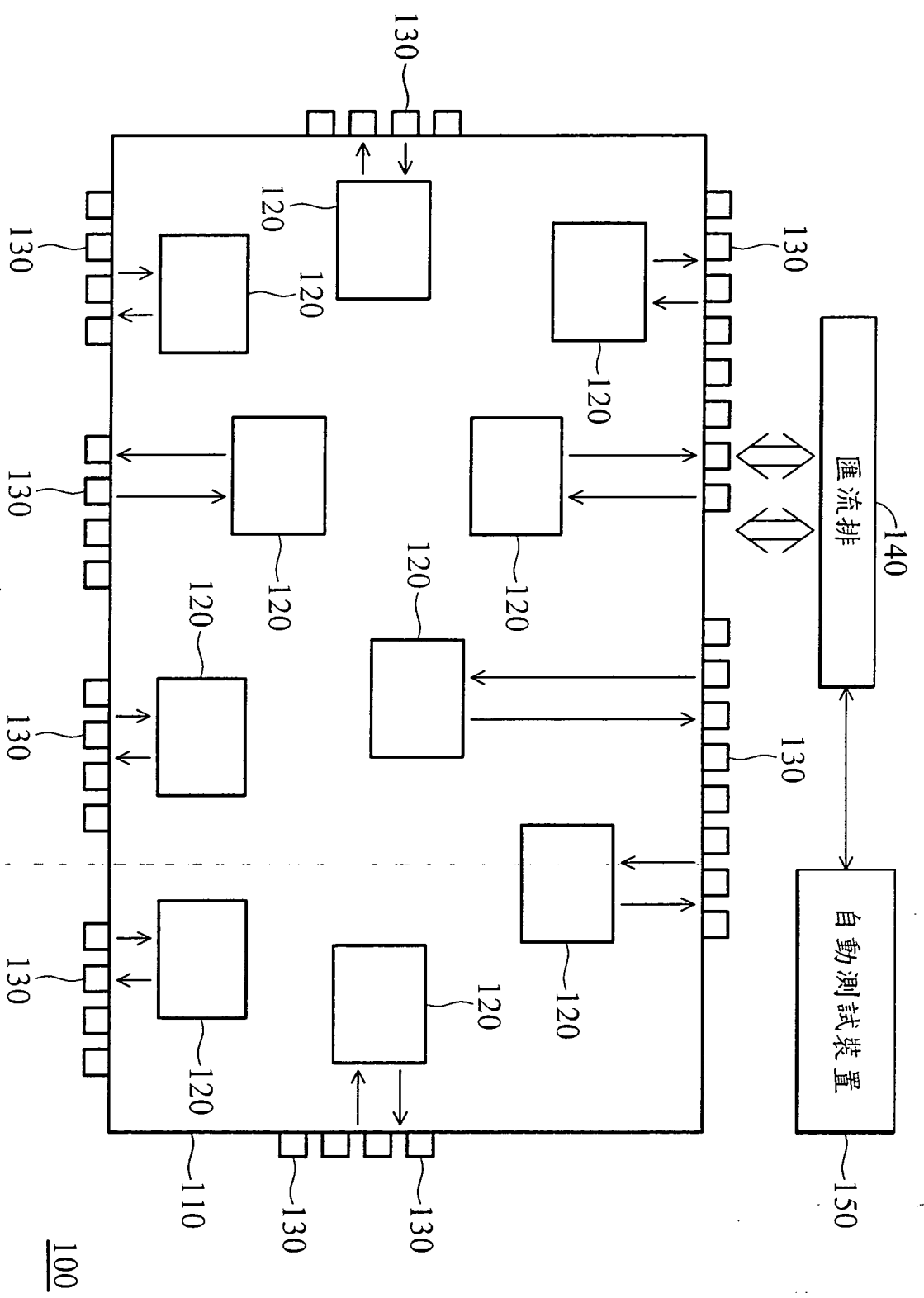
一內建自我測試電路耦接上述複數操作模組，上述

內建自我測試電路提供資料和控制信號給上述操作模組以同時操作上述操作模組；

複數個閘，分別耦接於上述操作模組之輸出端；以及

一多工器，耦接於該等閘和上述內建自我測試電路之間，該等閘在上述內建自我測試電路之複數個啟動信號分別控制下使上述輸出端切斷或耦接至該多工器，以選擇性地從上述操作模組輸出資料至上述內建自我測試電路，以供分析測試之用。

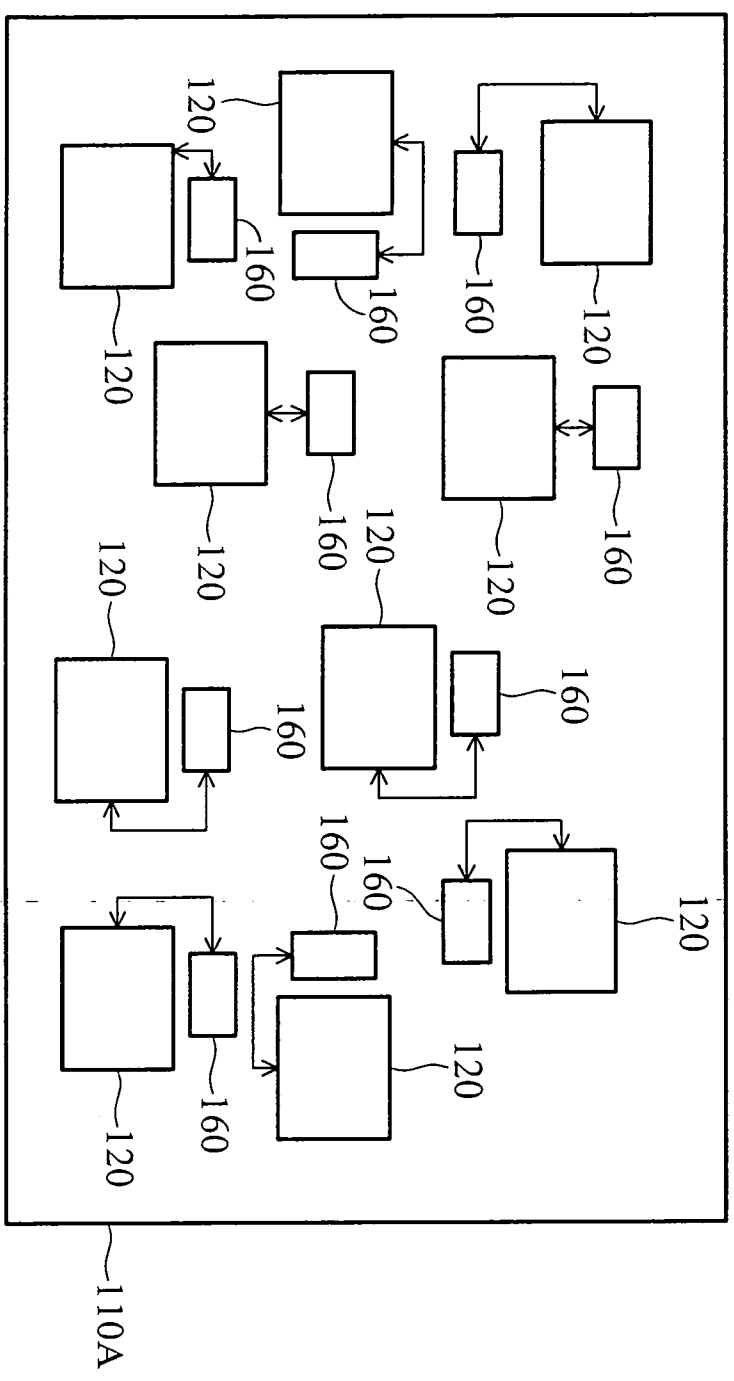
5.如申請專利範圍第 4 項所述之積體電路裝置，其中上述記憶體巨集為隨機存取記憶體巨集。



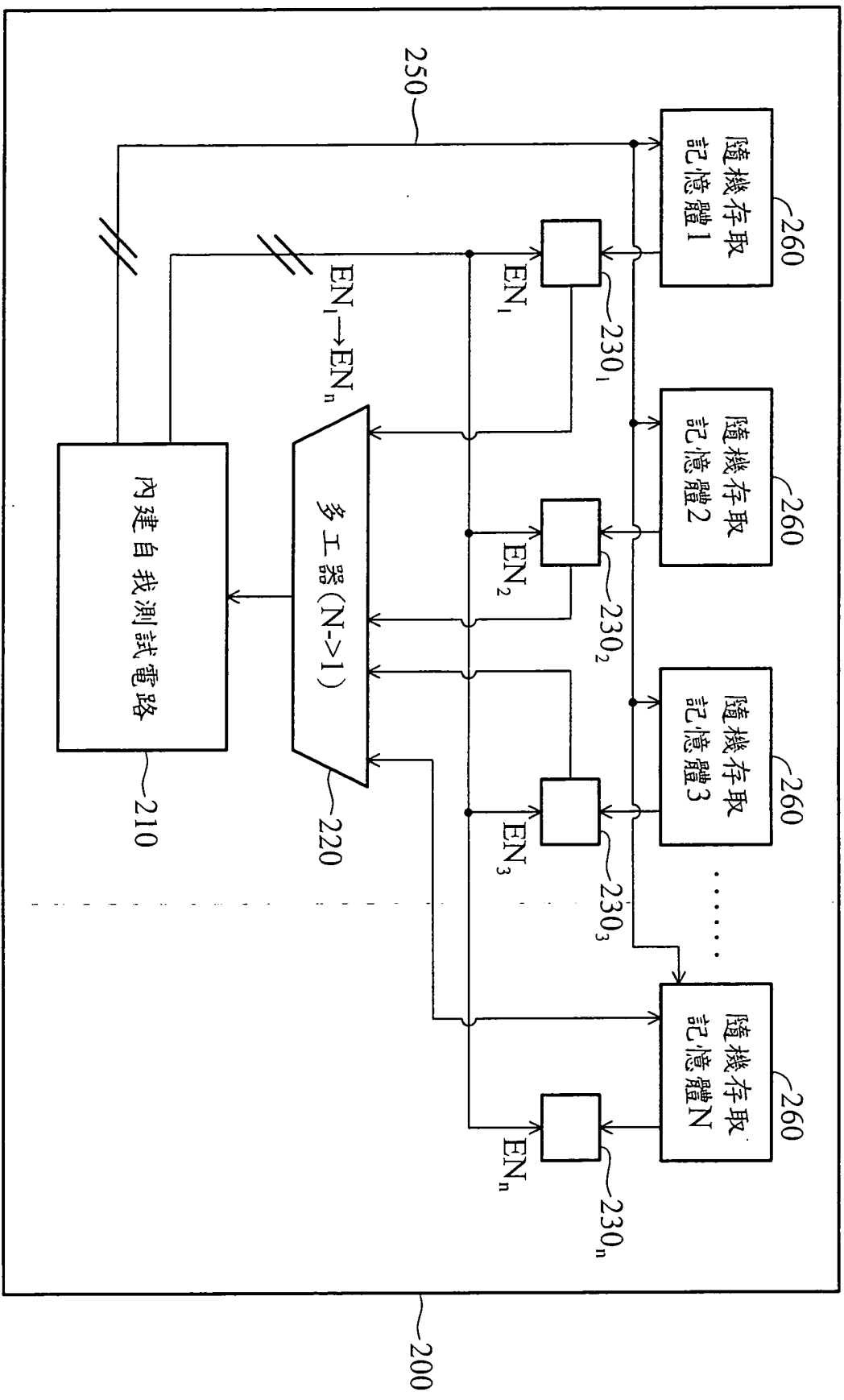
第 1 圖

100





第2圖



第 3 圖