



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0113686
(43) 공개일자 2017년10월12일

- (51) 국제특허분류(Int. Cl.)
H01S 5/343 (2006.01) H01L 33/06 (2010.01)
H01L 33/32 (2010.01) H01S 5/30 (2006.01)
H01S 5/32 (2006.01) H01S 5/347 (2006.01)
B82Y 20/00 (2017.01)
- (52) CPC특허분류
H01S 5/34333 (2013.01)
H01L 33/06 (2013.01)
- (21) 출원번호 10-2017-7026723 (분할)
- (22) 출원일자(국제) 2010년07월22일
심사청구일자 2017년09월21일
- (62) 원출원 특허 10-2012-7004670
원출원일자(국제) 2010년07월22일
심사청구일자 2015년06월29일
- (85) 번역문제출일자 2017년09월21일
- (86) 국제출원번호 PCT/EP2010/060658
- (87) 국제공개번호 WO 2011/009923
국제공개일자 2011년01월27일
- (30) 우선권주장
10 2009 034 588.4 2009년07월24일 독일(DE)
10 2009 040 438.4 2009년09월07일 독일(DE)

- (71) 출원인
오스람 옵토 세미컨덕터스 게엠베하
독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)
- (72) 발명자
피터 마티아스
독일, 93087 알테글로프스헤임, 탈마싱어 슈트라쎄 18 에이
부텐테이크, 라이너
독일, 93059 리겐스버그, 에스티.-요세프-슈트라쎄 11
(뒷면에 계속)
- (74) 대리인
김태홍, 김진희

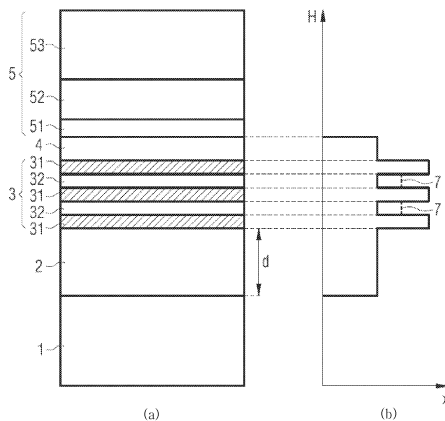
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 양자우물구조를 포함한 광전 반도체 몸체

(57) 요약

광전 반도체 몸체가 제공되며, 광전 반도체 몸체는 반도체 물질을 포함하고, 반도체 물질은 제1성분 및 상기 제1 성분과 상이한 제2성분으로 구성된다. 반도체 몸체는 양자우물구조를 포함하고, 양자우물구조는 n형 층(1)과 p형 층(5) 사이에 배치된다. 양자우물구조는 이하의 요소들로 구성된다: 개별적 양자 우물층(31) 또는 복수 개의 양자우물층들(31) 및 적어도 하나의 장벽층(32)으로 구성된 층 스택(3), 이 때 각각 연속한 2개의 양자우물층들(31) 사이에 장벽층(32)이 배치되고, 상기 장벽층은 두 양자우물층들(31)에 인접함; 상기 n형층(1) 및 개별 양자우물층(31) 또는 층 스택(3)에 인접한 n형 측 캡핑층(2); 그리고 p형층(5) 및 개별 양자우물층(31) 또는 층 스택(3) 사이에 배치되고 상기 층 스택(3) 또는 개별양자우물층(31)에 인접하는 p형 측 캡핑층(4).

대표도 - 도1



(52) CPC특허분류

H01L 33/32 (2013.01)

H01S 5/305 (2013.01)

H01S 5/3063 (2013.01)

H01S 5/3213 (2013.01)

H01S 5/3215 (2013.01)

H01S 5/347 (2013.01)

B82Y 20/00 (2013.01)

(72) 발명자

타키, 테츠야

독일, 93049 리겐스버그, 시에벤키이스슈트라쎄 3

오프, 위르겐

독일, 93059 리겐스버그, 리에블슈트라쎄 47

월터, 알렉산더

독일, 93164 라버, 웨인버그뷔그 9

메이어, 토비아스

독일, 93346 이흐러스테인, 그론스도르퍼 뷔그 25

명세서

청구범위

청구항 1

제1성분 및 상기 제1성분과 상이한 제2성분으로 구성된 반도체 물질을 포함하고, n형층(1)과 p형층(5) 사이에 배치된 다중 양자우물구조를 포함하는 광전 반도체 몸체에 있어서,

상기 다중 양자우물구조는,

복수 개의 양자우물층들(31) 및 적어도 하나의 장벽층(32)으로 구성된 층 스택(3)으로서, 각각의 연속한 2개의 양자우물층들(31) 사이에 장벽층(32)이 배치되고, 상기 장벽층은 두 양자우물층들(31)에 인접하는 것인, 층 스택(3);

상기 층 스택(3) 및 n형층(1)에 인접하는 n형 측 캡핑층(2); 및

상기 층 스택(3)과 p형층(4) 사이에 배치되며 상기 층 스택(3)에 인접하는 p형 측 캡핑층(4)으로 구성되고,

상기 반도체 물질에서 상기 제1성분의 물분율(x)은 n형 측 캡핑층(2), 적어도 하나의 장벽층(32) 및 p형 측 캡핑층(4) 내에서보다 상기 각각의 양자우물층들(31) 내에서 더 크고, 상기 n형층(1) 내에서보다 상기 n형 측 캡핑층(2)에서 더 크고, 상기 p형층(5) 내에서보다 상기 p형 측 캡핑층(4) 내에서 더 크고,

상기 n형층(1)은 p형 측 가장자리 영역(11)을 포함하고, 상기 p형 측 가장자리 영역은 상기 n형 측 캡핑층(2)의 n형 측 가장자리 영역(22)에 인접하고, 상기 n형층(1)의 p형 측 가장자리 영역(11) 및 상기 n형 측 캡핑층(2)의 n형 측 가장자리 영역(22)은 n형 도펀트로 도핑되고, 그리고 상기 n형 측 캡핑층(2)은 p형 측 가장자리 영역(21)을 포함하고, 상기 p형 측 가장자리 영역(21)은 상기 층 스택(3)에 직접 접하고, 상기 p형 측 가장자리 영역은 공칭적으로 도핑되지 않은 것을 특징으로 하는 광전 반도체 몸체.

청구항 2

제 1 항에 있어서

상기 제1성분의 물분율(x)은 상기 n형 측 캡핑층(2)의 상기 n형 측 가장자리 영역(22) 내에서, 상기 n형층(1)으로부터 멀어지는 방향으로 연속적으로 또는 복수 개의 단계들을 거쳐 증가하는 것을 특징으로 하는 광전 반도체 몸체.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 적어도 하나의 장벽층(32) 내의 상기 반도체 물질에서 상기 제1성분의 물분율(x)은 적어도 상기 n형 측 캡핑층(2) 내에서와 동일한 것을 특징으로 하는 광전 반도체 몸체.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 적어도 하나의 장벽층(32) 내의 상기 반도체 물질에서 상기 제1성분의 물분율(x)은 적어도 상기 p형 측 캡핑층(4) 내에서와 동일한 것을 특징으로 하는 광전 반도체 몸체.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 반도체 물질에서 상기 제1성분의 물분율(x)은 상기 n형 측 캡핑층(2) 내에서, 상기 적어도 하나의 장벽층(32) 내에서 그리고 상기 p형 측 캡핑층(4) 내에서 동일한 값인 것을 특징으로 하는 광전 반도체 몸체.

청구항 6

제1성분 및 상기 제1성분과 상이한 제2성분으로 구성된 반도체 물질을 포함하고, n형층(1)과 p형층(5) 사이에 배치된 단일양자우물 구조를 포함하는 광전 반도체 몸체에 있어서,

상기 단일양자우물구조는,

단일양자우물층(31);

상기 단일양자우물층(31) 및 n형층(1)에 인접한 n형 측 캡핑층(2); 및

상기 단일양자우물층(31)과 p형층(4) 사이에 배치되고, 상기 단일양자우물층(31)에 인접한 p형 측 캡핑층(4)으로 구성되고,

상기 반도체 물질에서 제1성분의 몰분율(x)은 n형 측 캡핑층(2) 및 p형 측 캡핑층(4) 내에서보다 단일양자우물층(31)에서 더 크고, 상기 n형층(1) 내에서보다 상기 n형 측 캡핑층(2) 내에서 더 크고, 상기 p형층(5) 내에서보다 상기 p형 측 캡핑층(4) 내에서 더 크고,

상기 n형층(1)은 p형 측 가장자리 영역(11)을 포함하고, 상기 p형 측 가장자리 영역은 상기 n형 측 캡핑층(2)의 n형 측 가장자리 영역(22)에 인접하며, 상기 n형층(1)의 p형 측 가장자리 영역(11) 및 상기 n형 측 캡핑층(2)의 n형 측 가장자리 영역(22)은 n형 도펀트로 도핑되며,

상기 n형 측 캡핑층(2)은 상기 단일양자우물층(31)에 직접 접한 p형 측 가장자리 영역(21)을 포함하고, 상기 p형 측 가장자리 영역은 공칭적으로 도핑되지 않은 것을 특징으로 하는 광전 반도체 몸체.

청구항 7

제 6 항에 있어서

상기 제1성분의 몰분율(x)은 상기 n형 측 캡핑층(2)의 상기 n형 측 가장자리 영역(22) 내에서, 상기 n형층(1)으로부터 멀어지는 방향으로 연속적으로 또는 복수 개의 단계들을 거쳐 증가하는 것을 특징으로 하는 광전 반도체 몸체.

청구항 8

제 1 항 또는 제 6 항에 있어서,

상기 n형 측 캡핑층(2)은 10 nm 이상의 층 두께(d)를 갖는 것을 특징으로 하는 광전 반도체 몸체.

청구항 9

제 1 항 또는 제 6 항에 있어서,

상기 n형 측 캡핑층(2)의 p형 측 가장자리 영역(21)은 층 두께가 10 nm 이상인 것을 특징으로 하는 광전 반도체 몸체.

청구항 10

제 1 항 또는 제 6 항에 있어서,

상기 반도체 물질의 제1성분은 In으로 구성되고, 반도체 물질의 제2성분은 질소와, Al 및 Ga로 구성된 그룹 중 적어도 하나의 물질을 포함하는 것을 특징으로 하는 광전 반도체 몸체.

청구항 11

제 8 항에 있어서,

상기 반도체 물질은 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$ 인 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 이며, 상기 n형 측 캡핑층 내의 In으로 구성된 상기 제1성분은 0.05이상의 비율(x)을 가지는 것을 특징으로 하는 광전 반도체 몸체.

청구항 12

제 1 항 또는 제 6 항에 있어서,

상기 n형층(1)은 상기 반도체 물질의 제1성분을 포함하지 않는 것을 특징으로 하는 광전 반도체 몸체.

발명의 설명

배경 기술

[0001] 본 출원은 양자우물구조를 포함한 광전 반도체 몸체에 관한 것이다.

발명의 내용

해결하려는 과제

[0002] 본 출원의 과제는 순방향 전압이 매우 낮은 광전 반도체 몸체를 제공하는 것이다.

과제의 해결 수단

[0003] 상기 과제는 독립 청구항들에 따른 광전 반도체 몸체에 의하여 해결된다. 반도체 몸체의 유리한 실시예 및 발전예는 종속항들에 제공된다. 특허청구범위의 공개 내용은 명시적으로 참조적으로 상세한 설명에 포함된다.

[0004] 광전 반도체 몸체가 제공된다. 예컨대, 광전 반도체 몸체는 발광다이오드 또는 레이저다이오드를 가리킨다. 반도체 몸체는 n형층 및 p형층을 포함하고, 상기 층들 사이에 양자우물구조가 배치되어있다. 양자우물 구조는 적합하게는 복사 생성 및/또는 전자기 복사 수신을 위해 제공되며, 특히 자외, 가시 및/또는 적외 스펙트럼 영역에서의 전자기 복사에 대하여 그러하다.

[0005] 양자우물구조는 단일양자우물구조 또는 다중양자우물구조를 가리킬 수 있다. 단일양자우물구조는 특히 이하의 부재들로 구성된다: 개별 양자우물층, n형 측 캡핑층 및 p형 측 캡핑층. 다중양자우물구조는 특히 이하의 부재들로 구성된다: 복수 개의 양자우물층들과 적어도 하나의 장벽층으로 구성된 층스택, n형 측 캡핑층 및 p형 측 캡핑층.

[0006] 층 스택에서, 각각 서로 연속한 2개의 양자우물층들 사이에 장벽층이 배치되어 있고, 장벽층은 두 양자우물층들에 인접한다. 바꾸어 말하면, 층 스택은 교번적인 순서의 양자우물층들 및 장벽층들을 나타내고, 이 때 상기 스택은 양 측에서 양자우물층에 의해 종결된다. 층 스택은 n개의 양자우물층들 및 n-1개의 장벽층들을 포함하고, 이 때 n은 2이상의 자연수이다. 일 발전예에서, 양자우물층들의 수(n)는 10이하이다.

[0007] 각각의 장벽층들은 특히 단일의 물질 조성을 가진다. 바꾸어 말하면, 각각의 장벽층들의 물질 조성은 인접한 양자우물층들 중 하나로부터 다른 인접한 양자우물층으로 가면서 특히 변경되지 않은 채로 유지된다. 단일의 물질 조성을 가진 장벽층은 특히 서로 다른 물질 조성을 가진 일련의 부분들을 포함하지 않는다.

[0008] 반도체 몸체가 다중양자우물구조를 포함하면, n형 측 캡핑층은 층 스택 및 n형층에 인접한다. p형 측 캡핑층은 층 스택과 p형층 사이에 배치되어 있고, 층 스택에 인접한다. 바람직하게는, p형 측 캡핑층은 p형층에 인접한다.

[0009] 바꾸어 말하면, 다중양자우물구조를 가진 반도체 몸체에서, 층 스택은 n형 측 캡핑층과 p형 측 캡핑층 사이에 배치되되, 반도체 몸체의 n형 측으로부터 보는 방향에서 n형 측 캡핑층이 층 스택의 제1양자우물층에 인접하고 p형 측 캡핑층이 층 스택의 최종 양자우물층에 인접하도록 배치된다.

[0010] 반도체 몸체가 단일양자우물구조를 포함하면, n형 측 캡핑층은 개별 양자우물층 및 n형층에 인접한다. p형 측 캡핑층은 개별 양자우물층과 p형층 사이에 배치되어 있고, 개별 양자우물층에 인접한다. 바람직하게는, p형 측 캡핑층은 p형층에 인접한다.

[0011] 광전 반도체 몸체, 특히 적어도 양자우물구조, n형층 및 p형층은 반도체 물질을 포함하고, 반도체 물질은 제1성분 및 상기 제1성분과 상이한 제2성분으로 구성된다. 이 때, 반도체 몸체의 모든 층들은 반도체 물질의 제1성분을 포함할 필요가 없다. 바람직하게는, 제1성분은 적어도 양자우물층(들) 내에서, 경우에 따라 장벽층(들), n형 측 캡핑층 및 p형 측 캡핑층내에 포함되어 있다. 제2성분의 조성은 반도체 몸체의 모든 층들에서 동일할 필요가 없다. 예컨대, 제2성분은 복수 개의 원소들을 포함할 수 있고, 제2성분에서 상기 원소들의 몰분율은 반도체 몸체의 서로 다른 층들에서 상이하다.

[0012] 반도체 물질은 예컨대 육각형 화합물 반도체 물질이다. 육각형 화합물 반도체 물질은 육각형 격자 구조를 포함한다. 예컨대, 육각형 화합물 반도체 물질은 화학 원소의 주기율표의 제2족 및 제6족의 원소들의 2성분, 3성분 및/또는 4성분 화합물을 가리킨다. 예컨대, 이하의 화합물을 가리킬 수 있다: ZnO, ZnMgO, CdS, ZnCdS, MgBeO.

또는, 육각형 화합물 반도체 물질은 제3족 및 제5족의 원소들의 2성분, 3성분 및/또는 4성분 화합물을 가리킬 수 있고, 예컨대 질화물 화합물 반도체 물질을 가리킬 수 있다. 예컨대, 이하의 반도체 구조들 중 하나를 가리킬 수 있다: Bn, AlGa_n, GaN, InAlGa_n.

- [0013] 이 때, 반도체 물질은 앞의 식 중 어느 하나에 따라 수학적으로 정확한 조성을 반드시 포함하지 않아도 된다. 오히려, 하나 이상의 도펀트 및 부가적 구성요소를 포함할 수 있다. 그러나, 앞의 수식은 간단함을 이유로, 결정 격자의 실질적 구성요소들만 포함하며, 비록 이러한 구성요소가 부분적으로 미량의 다른 물질로 대체될 수 있다고 하더라도 그러하다.
- [0014] 양자우물층들 각각 내의 반도체 물질에서 제1성분의 몰분율은, n형 측 캡핑층, p형 측 캡핑층 및 경우에 따라 층 스택의 장벽층 또는 장벽층들내에서보다 더 크다. 이러한 방식으로, 특히, 양자우물구조의 밴드 구조가 얻어지며, 상기 밴드 구조일 때 양자우물층들의 영역 내의 양자우물구조는, n형 측 캡핑층, p형 측 캡핑층 및 경우에 따라서 장벽층(들)의 영역 내에서보다 더 작은 밴드갭을 가진다. 일 실시예에서, 모든 양자우물층들에서 제1성분의 몰분율은 동일한 값이다.
- [0015] 제1성분의 몰분율은 n형층내에서보다 n형 측 캡핑층내에서 더 크다. p형 측 캡핑층에서, 제1성분의 몰분율은 바람직하게는 p형층내에서보다 더 크다.
- [0016] 예컨대, 육각형 화합물 반도체 물질을 포함한 반도체 몸체에서 - 가령 III/V 반도체 물질계 InAlGa_n, 즉 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$ 인 In_xAl_yGa_{1-x-y}N계 반도체 몸체에서 -, 양자우물구조 내에 압전장(piezoelectric field)이 발생한다. 압전장은 양자우물구조 내의 이동하는 전하 캐리어를 위한 에너지 장벽을 나타낸다.
- [0017] 전하 캐리어 장벽은, 특히 분극형 우르차이트(wurtzite) 결정 구조에 의해, 제1성분의 몰분율의 변화 시 - 즉, 이 경우 In 비율의 변화 시 - 반도체 물질 내에 응력이 형성될 때, 생성된다.
- [0018] 발명자는, 본 출원에 따른 반도체 몸체에서 상기 장벽은 매우 낮아서, 반도체 몸체는 매우 낮은 순방향 전압을 가지는 것을 확인하였다. 예컨대, 순방향 전압은, n형 측 캡핑층 및/또는 p형 측 캡핑층이 반도체 몸체의 제1성분을 포함하지 않는 경우의 반도체 몸체에 비해 줄어든다. 예컨대 n형 측 캡핑층과 층 스택의 제1양자우물층 - 또는 개별 양자우물층 - 사이에 부가적 층이 배치되고, 상기 부가적층이 n형 측 캡핑층에 비해 반도체 물질의 제1성분을 더 낮은 몰분율로 포함하는 경우의 반도체 몸체에 비해서도, 순방향 전압은 유리하게도 줄어든다.
- [0019] 일 실시예에서, 반도체 몸체는 440 nm 이상의 파장일 때, 바람직하게는 460 nm 이상의 파장일 때, 특히 바람직하게는 480 nm 이상의 파장일 때 방출 최대를 포함한다. 예컨대, 방출 최대는 녹색 스펙트럼 영역에 있다. 일 실시예에서, 방출 최대의 파장은 1400 nm 이하이다.
- [0020] 방출 최대의 파장이 증가하면서, 양자우물층(들)의 밴드갭이 감소함에 따라, 기본적으로 순방향 전압이 낮아질 것이다. 그러나, 밴드갭을 줄이기 위해, 반도체 물질에서 제1성분의 몰분율은 양자우물층들 또는 개별 양자우물층에서 증가한다. 이는, InAlGa_n으로 이루어진 종래 발광다이오드에서, 전하캐리어 장벽을 증가시키되, 순방향 전압이 방출 파장에 대해 거의 무관하도록 증가시킨다.
- [0021] 반면, 본 출원에 따른 반도체 몸체에서, 양자우물층(들) 내의 제1성분의 몰분율이 높으면, 전하 캐리어 장벽의 분할은 n형층과 n형 측 캡핑층 사이의 접합부 및 n형 측 캡핑층과 개별적 양자우물층 또는 제1양자우물층 사이의 접합부에 매우 유리하게 작용한다. 본 출원에 따른 반도체 몸체에 의해 달성가능한 순방향 전압의 감소는 더 큰 파장일 때 특히 두드러진다.
- [0022] 다른 실시예에 따르면, 장벽층 또는 장벽층들 내에서, 반도체 물질에서 제1성분의 몰분율은, 적어도 n형 측 캡핑층 내에서와 동일하다. 일 발전예에 따르면, 대안적 또는 부가적으로, 장벽층 또는 장벽층들 내에서, 반도체 물질에서 제1성분의 몰분율은 적어도 p형 측 캡핑층 내에서와 동일하다.
- [0023] 제1성분의 몰분율은 n형측 캡핑층 및 p형 측 캡핑층내에서 동일한 값일 수 있다. 또한, n형 측 캡핑층 내의 제1성분의 몰분율은 p형 측 캡핑층내에서와 다른 값을 가지는 것을 고려할 수 있다. 바람직하게는, 장벽층(들) 내의 반도체 물질에서 제1성분의 몰분율은 적어도, n형 측 캡핑층 및 p형 측 캡핑층 내의 제1성분의 몰분율들 중 더 큰 비율과 같다.
- [0024] 예컨대, 장벽층 또는 장벽층들 내의 반도체 물질에서 제1성분의 몰분율이 가지는 값은, 양자우물층들 내의 제1성분의 몰분율과, n형 측 캡핑층 및 p형 측 캡핑층 내의 제1성분의 몰분율들 중 더 큰 비율의 사이이다. 다른 실시예에서, n형 측 캡핑층, 장벽층 또는 장벽층들 및 p형 측 캡핑층 내의 반도체 물질에서 제1성분의 몰분율은

동일한 값이다.

- [0025] 이러한 맥락에서, 2개의 층들에서 제1성분의 "동일한 값의 몰분율"이란, 상기 층들에서 제1성분의 상기 몰분율 - 특히 각각의 층의 두께에 대해 평균을 낸 몰분율 - 이 5%미만만큼 상이하다는 것을 의미한다. 바꾸어 말하면, 2개의 층들 중 제2층 내의 몰분율은 상기 2개의 층들 중 제1층 내의 몰분율의 0.95배와 상기 제1층 내의 몰분율의 1.05배 사이의 범위에 있다. 바람직하게는, 몰분율은 1%이하만큼, 더욱 바람직하게는 0.5%이하만큼 상이하하다.
- [0026] 유리하게는, 순방향 전압은 이러한 방식으로 더욱 감소할 수 있다. 예컨대, 순방향 전압은, 장벽층(들)이 반도체 물체의 제1성분을 포함하지 않는 경우의 반도체 물체 또는, 서로 연속한 2개의 양자우물층들 사이에서 서로 다른 비율의 제1성분을 함유한 복수 개의 장벽층들을 포함하는 반도체 물체에 비해 줄어들 수 있다.
- [0027] 일 실시예에 따르면, n형층은 p형 측 가장자리 영역을 포함하고, n형 측 캡핑층은 n형 측 가장자리 영역을 포함한다. n형층의 p형 측 가장자리 영역 및 n형 측 캡핑층의 n형 측 가장자리 영역은 서로 인접한다. 특히, 상기 가장자리 영역들은 공통의 경계면을 가진다. n형층의 p형 측 가장자리 영역 및 n형 측 캡핑층의 n형 측 가장자리 영역은 예컨대 n형 도펀트로 도핑되어 있다. 예컨대, n형 도펀트는 규소를 가리킨다. n형 도펀트는, n형 측 캡핑층의 n형 측 가장자리 영역 하부에서 n형층의 p형 측 가장자리 영역에서 예컨대 5×10^{18} atoms/cm³ 이상의 농도로 존재한다. 예컨대, n형 도펀트의 농도는 5×10^{18} atoms/cm³ 이상과 5×10^{19} atoms/cm³ 이하이다. n형 도펀트를 이용하여, 특히, n형층과 n형 측 캡핑층 사이에 형성된 압전 장벽은 유리하게도 감소함으로써, 반도체 물체의 순방향 전압은 더욱 감소한다.
- [0028] 다른 실시예에서, n형 측 최중측은 p형 측 가장자리 영역을 포함하고, 상기 가장자리 영역은 개별 양자우물층 또는 층 스택에 인접하며 - 특히 제1양자우물층과 공통의 경계면을 가지며 - 공칭적으로(nominally) 도핑되어 있지 않다. 이러한 방식으로, n형 도펀트가 양자우물구조의 방출특성 및/또는 복사수신특성을 저하시킬 위험이 줄어든다.
- [0029] 가장자리 영역이 "공칭적으로 도핑되지 않는다"는 것은, 본원과 연계하여, 가장자리 영역이 도핑되지 않거나 낮게 n형 도핑된 것을 의미한다. 이 때 "낮게 도핑된" 것은, n형 도펀트의 농도가, n형 도핑된 영역 특히 n형 측 캡핑층의 n형 도핑된 가장자리 영역 내에서의 n형 도펀트의 농도에 비해, 최대 0.1배, 바람직하게는 최대 0.05배, 특히 최대 0.01배임을 의미한다. 예컨대, 공칭적으로 도핑되지 않은 영역 내의 n형 도펀트의 농도는 1×10^{18} atoms/cm³ 이하, 바람직하게는 5×10^{17} atoms/cm³ 이하이고, 특히 상기 농도는 1×10^{17} atoms/cm³ 이하이다.
- [0030] 일 실시예에서, n형 측 캡핑층은 10 nm 이상, 예컨대 50 nm 이상의 층 두께를 가진다. 일 발전예에서, p형 측 가장자리 영역은 10 nm 이상, 바람직하게는 50 nm 이상의 층 두께를 가진다. 이와 같은 층 두께는, 순방향 전압의 감소를 위해 매우 유리하다.
- [0031] 일 발전예에서, n형 측 캡핑층은 120 nm 이하의 층 두께를 가진다. n형 측 캡핑층의 층 두께가 더 두꺼우면, 양자우물구조의 제조 시 만족할만한 결정 품질을 얻지 못할 위험이 증가한다.
- [0032] 일 실시예에서, 반도체 물질의 제1성분은 In으로 구성된다. 반도체 물질의 제2성분은 예컨대 질소, 및 Al, Ga로 구성된 그룹 중 적어도 하나의 물질로 형성된다. 예컨대, 반도체 물질은 In_xAl_yGa_{1-x-y}N을 가리킨다. In으로 구성된 제1성분은 예컨대 n형 측 캡핑층 내의 0.05 이상의 비율(x)을 가진다. 비율(x)은 특히 In의 몰분율에 상응하거나, 적어도 상기 몰분율에 비례한다.
- [0033] 일 실시예에서, n형층은 반도체 물질의 제1성분을 포함하지 않는다. 다른 실시예에서, p형층은 반도체 물질의 제1성분을 포함하지 않는다. 특히, 상기 실시예에서, n형층 및/또는 p형층은 반도체 물질의 제2성분으로 구성된다.
- [0034] 다른 실시예에서, 반도체 물질에서 제1성분의 몰분율은 n형층으로부터 층 스택으로 - 또는 단일양자우물 구조의 경우 개별 양자우물층으로- 가는 방향에서 n형 측의 캡핑층의 n형 측 가장자리 영역 내의 연속적으로 또는 복수 개의 단계를 거쳐 증가한다. 피에조 장벽은 이러한 방식으로 매우 약하게 형성됨으로써, 달성 가능한 순방향 전압이 매우 낮다.
- [0035] 광전 반도체 물체의 다른 이점 및 유리한 실시예와 발전예는 이하 도면과 관련하여 설명한 실시예로부터 도출된다.

도면의 간단한 설명

- [0036] 도 1a는 제1실시예에 따른 광전 반도체 몸체를 개략적 횡단면도로 도시한다.
 도 1b는 도 1a의 실시예에 따른 반도체 몸체 내에 반도체 물질의 제1성분의 비율을 개략도로 도시한다.
 도 2a는 제2실시예에 따른 광전 반도체 몸체를 개략적 횡단면도로 도시한다.
 도 2b는 도 2a에 따른 광전 반도체 몸체 내의 반도체 물질의 제1성분의 비율을 개략도로 도시한다.
 도 3은 n형 측 캡핑층의 층 두께에 의존하여 제1실시예에 따른 광전 반도체 몸체의 순방향 전압을 도시한다.

발명을 실시하기 위한 구체적인 내용

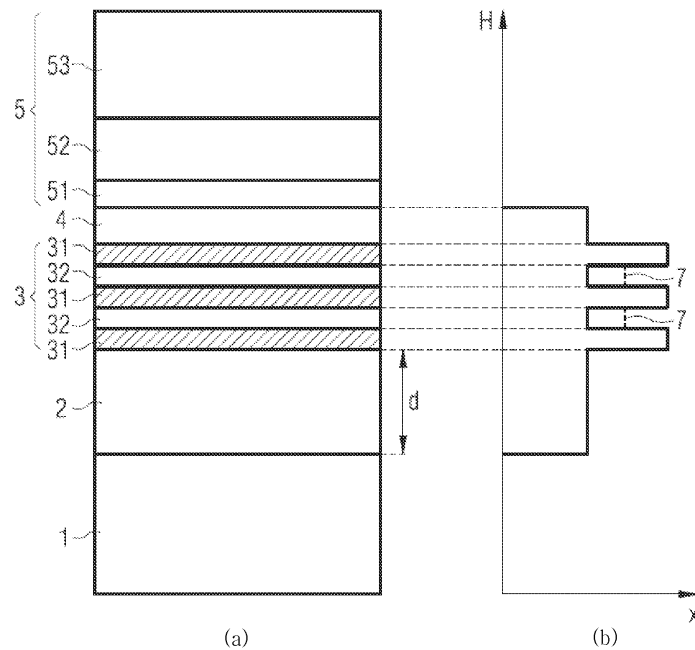
- [0037] 도면 및 실시예에서 동일하거나 유사한 요소 및 유사한 효과를 가진 요소는 동일한 참조번호를 가진다. 도면은 척도에 맞는 것으로 판단할 수 없다. 오히려, 예컨대 층과 같은 개별 요소는 이해 및/또는 표현을 용이하게 하기 위해, 과장되어 크게, 특히 과장되어 두껍게 도시되어 있을 수 있다.
- [0038] 도 1a는 제1실시예에 따른 광전 반도체 몸체의 개략적 횡단면도를 도시한다.
- [0039] 광전 반도체 몸체는 반도체 물질 $In_xAl_yGa_{1-x-y}N$ 으로 구성된다. 광전 반도체 몸체는 n형층(1)을 포함하고, n형층은 본원에서 n형 도펀트로서의 규소로 도핑된 GaN층을 가리킨다. 반도체 몸체는 n형층(1)에 대향한 측에서 p형층(5)을 포함한다.
- [0040] p형층(5)은 상기 실시예에서 다중층 구조를 포함한다. n형층(1)으로부터 멀어지는 방향에서, 다중층 구조는 우선 도핑되지 않은 GaN층(51)을 포함한다. 상기 층에는 p형 도핑된 AlGaIn층(52)이 인접한다. n형층(1)을 등지는 p형 도핑된 AlGaIn층(52)의 측에, p형 도핑된 GaN층(53)이 적층된다. p형 도핑된 AlGaIn층(52) 및/또는 p형 도핑된 GaN층(53)은 예컨대 p형 도펀트로서의 마그네슘으로 도핑된다. 그러나, n형층(5)의 구성은 상기 다중층 구조에 한정되지 않는다.
- [0041] n형층(1)과 p형층(5) 사이에 다중양자우물구조가 배치되어 있다. 다중양자우물구조는 n형 측 캡핑층(2), 층 스택(3) 및 p형 측 캡핑층(4)으로 구성된다.
- [0042] n형 측 캡핑층(2)은 층 스택(3)을 등지는 측에서 n형층(1)에 인접한다. p형 측 캡핑층(4)은 층 스택(3)을 등지는 측에서 n형층(5)에, 본원에서는 GaN층(51)에 인접한다.
- [0043] 본원에서, 층 스택(3)은 3개의 양자우물층들(31) 및 2개의 장벽층들(32)로 구성된다. 층 스택은 다른 수(n), 즉 $n = 2$ 또는 $n \geq 4$ 의 양자우물층들(31)을 포함할 수 있다. 층 스택은 n-1개의 장벽층들(32)을 포함한다.
- [0044] n형층(1)으로부터 p형층(5)으로 가는 방향에서, 각각 양자우물층(31) 및 장벽층(32)이 교번적으로 연속한다. 층 스택(3)은 n형층(1)으로 가는 방향 그리고 p형층(5)으로 가는 방향에서 각각 양자우물층(31)에 의해 종결된다.
- [0045] 이러한 방식으로, 각각 2개의 연속한 양자우물층들(31) 사이에 정확히 하나의 장벽층(32)이 배치되어 있다. 장벽층(32)은 n형 측, 즉 n형층(1)으로 가는 방향에서, 연속한 두 양자우물층들(31) 중 제1양자우물층에 인접한다. p형 측, 즉 p형층(5)으로 가는 방향에서, 장벽층(32)은 연속한 두 양자우물층들(31) 중 제2양자우물층에 인접한다.
- [0046] n형 측 캡핑층(2)은 p형 측에서 층 스택(3)의 제1양자우물층(31)에 인접한다. p형 측 캡핑층(4)은 n형 측에서 층 스택(3)의 최종 양자우물층(31)에 인접한다.
- [0047] 또한, 광전 반도체 몸체가 층 스택(3) 대신 개별 양자우물층(31)을 포함하는 경우를 고려할 수 있다. 이 경우, 개별 양자우물층은 예컨대 5 nm 이상, 바람직하게는 10 nm 이상의 층 두께를 가진다. 반도체 몸체가 개별 양자우물층(31)을 포함하면, 특히 n형 측 캡핑층(2)은 p형 측에서, 그리고 p형 측 캡핑층(4)은 n형 측에서 상기 개별 양자우물층(31)에 인접한다. 반도체 몸체는 이 경우 특히 캡핑층들(2, 4)과 개별 양자우물층(31) 사이에 어떠한 장벽층들(32)도 포함하지 않는다.
- [0048] 도 1b는 반도체 몸체 내의 위치(H)에 의존하여 상기 반도체 몸체의 반도체 물질의, In으로 구성된 제1성분의 비율(x)을 도시한다. 위치(H)는 특히, n형층(1)으로부터 p형층(5)으로 가는 방향에서 볼 때, n형층(1)의 n형 측 주요면으로부터의 간격을 나타낸다. 도 1a, 1b는 위치(H)와 관련하여 동일한 치수로 정해짐으로써, 도 1b의 H 축의 각 위치는 도 1a의 층 구조 내의 수평면에, 동일한 높이로 상응한다.

- [0049] 양자우물층들(31) 내에서, 반도체 물질의, In으로 구성된 제1성분의 비율(x)은 장벽층들(32), n형 측 캡핑층(2), p형 측 캡핑층(4) 내에서보다 더 크다. n형층(1) 및 p형층(5)은 본원에서 - 적어도 공칭적으로 - 인듐을 포함하지 않는다.
- [0050] In으로 구성된, 반도체 물질의 제1성분의 비율(x)은, n형 측 캡핑층(2), 장벽층들(32) 및 p형 측 캡핑층(4) 내의 동일한 값이다. 예컨대, 상기 비율은 $0.05 \leq x \leq 0.25$, 예컨대 $x = 0.05$ 이다.
- [0051] n형층(1)과 n형 측 캡핑층(2) 사이의 경계면에서 인듐 비율(x)의 변화는 이 곳에서 압전장에 의해 제1에너지 전하 캐리어 장벽을 야기한다. n형 측 캡핑층(2)과 제1양자우물층(31) 사이의 경계면에서 이러한 방식으로 제2에너지 장벽이 생성된다.
- [0052] 당 분야 통상적인 광전 반도체 몸체와 달리, 인듐 비율의 n형 측 캡핑층을 이용하여 이미 n형 측에서 제1양자우물층(31)에 의해 증가한다. n형 측 캡핑층(32)과 제1양자우물층 사이에 다시 감소하지 않는다. 따라서, 상기 반도체 몸체에서, n형 측 캡핑층(2)과 층 스택(3)의 제1양자우물층(31) 사이에서 인듐 비율(x)의 급격한 변화는 비교적 낮다.
- [0053] n형층(1)으로부터 제1양자우물층(31)까지의 전하 캐리어에 의해 극복해야 하는 전체 장벽은 n형층(1)과 n형 측 캡핑층(2) 사이의 경계면에서의 제1장벽 및 n형 측 캡핑층과 제1양자우물층(31) 사이의 경계면에서의 제2장벽 사이의 공간적 분리에 의해 매우 낮다. 이러한 점은, p형 측 캡핑층(4)과 p형층(5) 사이의 경계면, 그리고 p형 측 캡핑층(4)에 인접하는 최종 양자우물층(31) 사이에서 상기 층 스택(3)의 p형 측에서 전하 캐리어 장벽들을 위해서도 유사하게 적용된다.
- [0054] 상기 실시예의 변형예에서, 장벽층들(32) 내에서의 비율(x)은 n형 측 캡핑층(2)내에서보다, 그리고 p형 측 캡핑층(4) 내에서도보다 더 크다. 이러한 점은 도 1b에서 파선형 선분(7)으로 표시되어 있다. 이러한 방식으로, 개별 양자우물층들(31)상에서 특히 유리하며, 무엇보다도 특히 균일한 전하 캐리어 분포가 달성될 수 있다. 특히, 개별 양자우물층들(31) 사이에 매우 작은 피에조 장벽들이 얻어질 수 있다.
- [0055] 발명자는, 장벽층들(32) 내에서의 인듐 비율(x)이 적어도 n형 측 캡핑층(2) 및 p형 측 캡핑층(4) 내에서도와 같을 때, 예컨대 인듐 비율(x)이 n형 측 캡핑층(2), p형 측 캡핑층(4) 및 장벽층들(32) 내의 동일한 값일 때, 달성 가능한 순방향 전압이 매우 낮다는 것을 확인하였다. 예컨대 더 낮은 인듐 함량을 포함하거나 인듐을 미포함하는, 연속한 양자우물층들(31) 사이에서 부가적 장벽층들은 반도체 몸체의 순방향 전압을 불리하게도 증대시킬 수 있다.
- [0056] 발명자는, 순방향 전압(U_f)이 n형 측 캡핑층(2)의 두께(d)가 증가하면서 감소한다는 것을 확인하였다. 이러한 점은, 파장이 480 nm일 때 방출 최대인 전자기 복사를 방출하는 광전 반도체 몸체에 대해 도 3에 예시적으로 도시되어 있다.
- [0057] 순방향 전압(U_f)은 n형 측 캡핑층(2)의 층 두께(d)가 20 nm일 때 2.88 V에서, 층 두께(d)가 약 115 nm일 때의 순방향 전압(U_f)이 2.80 V으로 감소한다. 방출 최대 파장이 동일한 종래의 InAlGaN 반도체 몸체는 약 3.0 V 내지 3.3 V의 순 방향 전압을 포함한다.
- [0058] 바람직하게는, 층 두께(d)는 120 nm 이하, 바람직하게는 100 nm 이하이다. 발명자는, n형 측 캡핑층(2)의 층 두께(d)가 더 두꺼울 때, 다중양자우물 구조의 결정 품질이 저하될 위험이 증가한다는 것을 확인하였다.
- [0059] 도 2a, 2b는 도 1a, 1b의 제1실시예의 도면과 유사하게, 제2실시예에 따른 광전 반도체 몸체의 개략적 횡단면도 및 반도체 몸체 내의 위치(H)에 의존하는 인듐 비율(x)을 도시한다.
- [0060] 제2실시예에 따른 반도체 몸체는, 제1실시예의 반도체 몸체와 달리, n형 측 캡핑층(2)이 규소와 같은 n형 도펀트로 도핑된 n형 측 가장자리 영역(22) 및 공칭적으로 도핑되지 않은 p형 가장자리 영역(21)을 포함한다는 점에서 구분된다.
- [0061] 공칭적으로 도핑되지 않은 p형 측 가장자리 영역(21)은 층 스택(3)의 제1양자우물층(31)에 인접한다. n형 측 가장자리 영역(22)은 층 스택(3)을 등지는 n형 측 캡핑층(2)의 측에 배치되고, n형층(1)의 p형 측 가장자리 영역(11)에 인접한다.
- [0062] n형층(2)의 p형 측 가장자리 영역(11)도 마찬가지로, 예컨대 규소와 같은 n형 도펀트를 이용하여 n형 도핑된다. 본원에서, - 제1실시예와 같이 - 전체 n형층(1)은 n형 도펀트로서의 규소로 도핑된다.

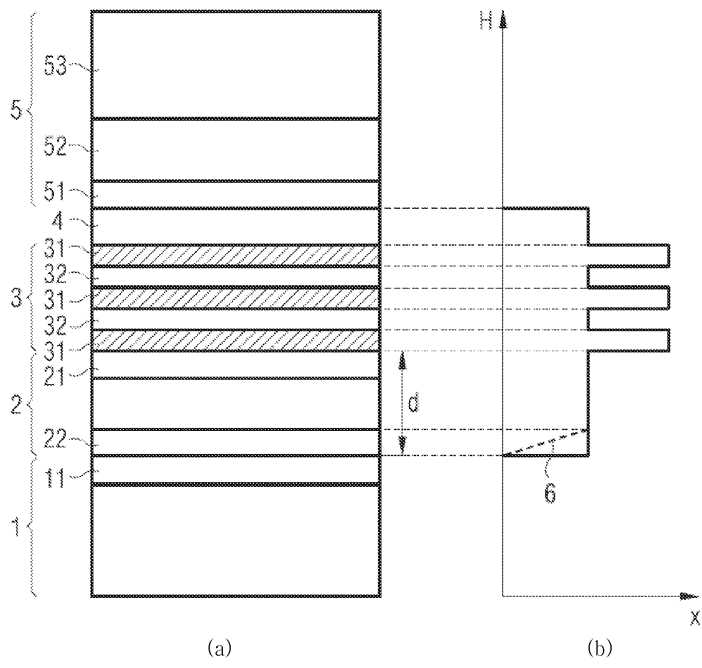
- [0063] n형층(1)의 p형 측 가장자리 영역(11) 및 n형 측 캡핑층(2)의 n형 측 가장자리 영역(22) 내에서, n형 도펀트는 5×10^{18} atoms/cm³ 이상이며 5×10^{19} atoms/cm³ 이하의 농도로 존재한다.
- [0064] 발명자는, n형 측 캡핑층(2)의 n형 측 가장자리 영역(22)의 n형 도핑을 이용하여 에너지 전하 캐리어 장벽은 n형층(1)과 n형 측 캡핑층(2) 사이의 경계면에서, 즉 본원에서는 n형층(1)의 p형 측 가장자리 영역(11)과 n형 측 캡핑층(2)의 n형 측 가장자리 영역(22) 사이의 경계면에서, 유리하게도 더욱 감소할 수 있다는 것을 확인하였다. 예컨대, n형 측 캡핑층(2)의 층 두께(d)가 20 nm이고, 폭장이 480 nm일 때 방출 최대 - 2.58 전자 볼트라는 에너지갭에 상응함 - 인 광전 반도체 물체에서, 제1실시예에 비해 순방향 전압(U_f)은 2.88 V로부터 예컨대 2.83 V로 감소할 수 있다.
- [0065] 상기 실시예의 변형예에서, 도 2b에서 점선(6)으로 표시된 바와 같이, n형 측 캡핑층(2)의 n형 도핑된 n형 측 가장자리 영역(22) 내의 인듐 비율(x)은 n형층(1)으로부터 층 스택(3)으로 가는 방향에서 연속적으로 증가한다. 이러한 방식으로, 에너지 전하 캐리어 장벽은 더욱 감소할 수 있다.
- [0066] 본 특허 출원은 독일 특허 출원 10 2009 034588.4 및 10 2009 040438.4에 대한 우선권을 청구하고, 그 공개 내용은 참조로 포함된다.
- [0067] 본 발명은 실시예들에 의거한 설명에 의하여 상기 실시예들에 한정되지 않는다. 오히려, 본 발명은 각각의 새로운 특징 및 특징들의 각 조합을 포함하며, 비록 상기 특징 또는 상기 조합이 실시예 또는 특허청구범위에 명백하게 제공되지 않더라도 그러하다.

도면

도면1



도면2



도면3

