

# 公告本

申請日期	90 年 3 月 5 日
案 號	90105030
類 別	H01L <sup>1/6</sup>

A4  
C4

497120

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	電晶體、半導體裝置及半導體裝置之製造方法
	英 文	Transistor, semiconductor device and manufacturing method of semiconductor device
二、發明 創作人	姓 名	(1) 西山彰
	國 籍	(1) 日本 (1) 日本國神奈川縣横浜市鶴見區駒岡四-三二-A-一〇五
	住、居所	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區堀川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 岡村正

裝  
訂  
線

經濟部智慧財產局

A6  
B6

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 2000年3月6日 2000-060184 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

### 發明領域

本發明大體上關於電晶體、半導體裝置及半導體之製造方法。更特別地但非排他地，發明係關於金屬絕緣體半導體場效電晶體 ( MISFET ) 結構。此發明也關於製造 MISFET 之方法。

### 相關技藝說明

現代的半導體製造技術係朝向無窮盡地降低場效電晶體 ( FET ) 的最小特徵長度。隨著 FET 微型化，閘極長度縮小至約 0.1 微米 (  $\mu\text{m}$  )。這是因為特徵尺寸縮小規則係為了同時取得較高的速度性能及較低的耗電而建立的。相關的微型化會造成積體電路 ( IC ) 元件的佔用面積減少，因而能夠在晶片上安裝更多元件。這接著會取得具有增進的多功能之非常大規模的集成 ( VLSI ) 或是超大規模集成 ( ULSI ) 晶片。

遺憾地，可預測到微電子技術將因最小特徵尺寸縮小至 0.1  $\mu\text{m}$  時遭遇到嚴重的問題，而快速地減緩或停止。問題係單純地微型化 IC 元件並無法成功取得較高速度的性能。這可說是因為特徵尺寸進一步縮小造成 IC 元件寄生電容的增加，而無法或至少非常難以增加其電可驅動性。

避免此問題的一習知方式係採用特別設計的裝置結構，其係使用自行對齊的金屬矽化物 ( silicide 或 salicide ) 技術或是具有增添的金屬作為選擇性地沈積於 FET 的源極 / 汲極及閘極上之其它結構。

(請先閱讀背面之注意事項  
寫本頁)

裝  
訂  
線

## 五、發明說明 ( 2 )

參考圖 26。此圖形顯示使用金屬矽化物設計之 MISFET 的剖面視圖。此金屬矽化物 MISFET 在矽基板 1101 上具有形成於其上絕緣閘極 1103，並以閘絕緣膜 1102 介於閘極 1103 與基板 1101 之間。閘極 1103 之側表面上會有閘絕緣側壁層 1104 形成於其上。矽基板 1101 具有形成於其上表面中之汲極區 1105。低電阻率層 1106 會掩埋於汲極 1105 中。此層係由電阻率與金屬一般低之金屬矽化物材料製成。金屬矽化物層 1106 會與閘極絕緣側壁 1104 的外垂直表面自行對齊。此處，汲極 1105 係藉由雜質擴散進入基板 1101 而形成。假使基板 1101 具有 p 導電率型時，汲極 1105 具有 n 型。基板 1101 與汲極 1105 之間形成介面 1200，在此處形成具有空乏層插入之 p-n 接面。MISFET 也具有源極區（未顯示），在結構上類似於汲極區。

藉由金屬矽化物 MISFET，能夠降低源極 / 汲極電極處的電阻率。不幸地，此優點伴隨有重大的缺點。pn 接面 1200 與金屬矽化物 1106 之間的距離減少（至約 100 奈米或更少）會造成 pn 接面的整流劣化，使得漏電流於其中開始流動。一旦此問題發生時，採用上述型式的金屬矽化物 MISFET 之動態隨機存取記憶體 (DRAM) 晶片之資料儲存固持特性會變差。在邏輯 IC 晶片中，耗電增加。在最壞的情形下，無法取得所要的電晶體操作。

當嘗試將 pn 接面製得更深以避免漏電流問題時，會發生另一問題—發生所謂的「短通道」效應，造成電晶體的臨限電位不規則地減少。簡而言之，為了解決這些互相衝

(請先閱讀背面之注意事項)

(寫本頁)

裝

訂

線

### 五、發明說明 ( 3 )

突或是「代價」問題，需要降低源極／汲極區的電阻率並同時將 pn 接面製成儘可能地淺。

降低源極／汲極電阻率並同時將 pn 接面製成較淺之一習知的方式係採用「金屬矽化物安裝」技術。更特別地，藉由選擇性磊晶生長 ( SEG ) 法以將源極／汲極區製成具有增加的厚度；然後，在每一這些區域上形成金屬矽化物層，藉以實際地增加金屬矽化物與 pn 接面之間有效的或「淨」距離。

以此方式形成的一典型金屬矽化物嵌入 FET 結構以剖面顯示於圖 27 中。

此 FET 具有矽基底 1201 及形成於其上之閘電極 1203，並以閘絕緣膜 1202 夾於它們之間。閘電極 1203 使其側壁上形成有諸如閘絕緣側壁 1204 之介電膜。以膜生長技術，在基底表面上形成汲極區 1205。汲極區 1205 橫向相鄰於閘極 1203，以閘絕緣側壁 1204 插入於它們之間。汲極區 1205 之上表面上形成有金屬矽化物層 1206 或是多層化的。基板 1201 及汲極區 1205 在導電型上是彼此相反的。一實施例係基板 1201 具有 p 導電型，而汲極區 1205 具有 n 型。介面 1200 形成於基板 1201 及汲極區 1205 之間，在此處 pn 接面係由介於其間之相關的空乏層所界定。FET 也具有其源極區，在結構上類似於汲極區 1205。

圖 27 的 FET 結構可視為適用於作為下一代高度微型化的電晶體，其閘極長度為  $0.1 \mu\text{m}$  或更低。這可說是因為汲極區 1205 可以經由微型製造成如圖 27 所示之具有約 0.1

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明(4)

$\mu\text{m}$  的範例增加厚度。這將能夠增加 pn 接面 1200 與金屬矽化物 1206 之間的距離。遺憾地，如同習於半導體裝置技藝者所習知般，隨著相關的閘絕緣側壁 1204 膜厚減少而增加之此距離會造成汲極區 1205 與閘電極 1203 之間的寄生電容增加。此寄生電容增加會產生無法取得所需的高速裝置性能，直接影響 LSI 的操作速度。

再者，具有  $0.1\ \mu\text{m}$  特徵尺寸世代或較新世代之「未來」裝置所關切之問題，係難以減少源極／汲極區或閘極所需電阻率又能使其它電晶體特性劣化，亦即，同時取得短通道效應以及最小的寄生電容增加之風險與最小的 pn 接面處漏電流增加之風險。此外，導因於電晶體尺寸之通道電阻率減少僅允許進一步減少寄生電阻。

應注意，藉由使用選擇性金屬生長技術以完成傳統的金屬矽化物製程。但是，根據此選擇性金屬生長，對於取得較高的選擇性而言，需要非常嚴格的製程條件，造成有時在介電膜的不希望之部份上部份地形成金屬。在此「非經選擇的」膜上之不必要的金屬形成通常會在源極／汲極之間造成電短路。此短路也會引起半導體裝置的產能降低。隨著導因於每一晶片中的元件數目增加，而使一晶片 IC 元件的最小特徵尺寸減少，此問題變得更加明顯。選擇性金屬生長法面對的另一問題係可用於增加相對於矽的選擇性之金屬是有限制的。

為避免上述問題而產生本發明，本發明之主要目的係提供電晶體，其即使對於  $0.1\ \mu\text{m}$  特徵尺寸世代或更新世代

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明(5)

而言，仍能夠取得通道電阻率現象而不會劣化電晶體特性，本發明亦提供製造半導體裝置之方法，所製造之半導體在其源極/汲極與閘極具有足夠低的接點電阻率。

發明的另一目的係提供製造半導體裝置之方法，其能夠避免使用選擇性金屬生長技術並允許使用任何所需種類的金屬於源極/汲極及閘極。

### 發明概述

為取得上述目的，本發明提供電晶體，包括：

半導體基板；

閘絕緣膜，形成於半導體基板上；

閘電極，形成於閘絕緣膜上；

通道區，形成於閘絕緣膜下方的半導體基板中；

源極區與汲極區，於半導體基板中形成為彼此間隔並設置成使得通道區置於源極與汲極區之間；

源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部及在面對閘電極之源極半導體層的側面與半導體基板的表面之間界定的角度係形成銳角；

汲極半導體層，形成於汲極區上，在汲極半導體層的上部具有凹部及在面對閘電極之汲極半導體層的側面與半導體基板的表面之間界定的角度係形成銳角；

源極電極形成於源極半導體層的上部之凹部處；及

汲極電極，形成於汲極半導體層的上部之凹部處。

較佳的是，所界定的角度為 $10^{\circ}$ 或更大及 $80^{\circ}$ 或更小

## 五、發明說明 ( 6 )

較佳的是，所界定的角度為  $20^\circ$  或更大及  $70^\circ$  或更小。

較佳的是，閘絕緣膜係由選自金屬氧化物、金屬氮化物、金屬氮氧化物及矽酸鹽之材料製成。

較佳的是，源極半導體層及汲極半導體層分別與源極電極及汲極電極相接觸之表面係由各向異性蝕刻所形成。

較佳的是，源極半導體層及汲極半導體層分別與源極電極及汲極電極相接觸之表面係由各向同性蝕刻形成。

本發明提供半導體裝置，包括：

共用的半導體基板；

n 通道 MISFET，在共用半導體基板上，包含，

閘絕緣膜，形成於共用半導體基板上，

閘電極，形成於閘絕緣膜上，

通道區，形成於閘絕緣膜下方之共用半導體基板中，

源極區與汲極區，於共用半導體基板中形成為彼此間隔並設置成造成通道區置於源極區與汲極區之間，

源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部，及在面對閘電極之源極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

汲極半導體層，形成於汲極區上，在汲極半導體層的上部具有凹部及在面對閘電極之汲極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

源極電極，形成於源極半導體層的上部之凹部，及

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線



## 五、發明說明(7)

汲極電極，形成於汲極半導體層的上部之凹部；及  
p 通道 MISFET，在共用半導體基板上，包含，  
閘絕緣膜，形成於共用半導體基板上，  
閘電極，形成於閘絕緣膜上，  
通道區，形成於閘絕緣膜下方之共用半導體基板中，  
源極區與汲極區，於共用半導體基板中形成為彼此間  
隔並設置成造成通道區置於源極區與汲極區之間，  
源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部，及在面對閘電極之源極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，  
汲極半導體層，形成於汲極區上，在汲極半導體層的上部具有凹部及在面對閘電極之汲極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，  
源極電極，形成於源極半導體層的上部之凹部，及  
汲極電極，形成於汲極半導體層的上部之凹部，  
其中，n 通道 MISFET 的源極電極與汲極電極與 p 通道 MISFET 的源極電極及汲極電極係不同的材料。

本發明提供半導體裝置，包括：

共用的半導體基板；

n 通道 MISFET，在共用半導體基板上，包含，

閘絕緣膜，形成於共用半導體基板上，

閘電極，形成於閘絕緣膜上，

通道區，形成於閘絕緣膜下方之共用半導體基板中，

源極區與汲極區，於共用半導體基板中形成為彼此間

## 五、發明說明(8)

隔並設置成造成通道區置於源極區與汲極區之間，

源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部，及在面對閘電極之源極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

汲極半導體層，形成於汲極區上，在汲極半導體層的上部具有凹部及在面對閘電極之汲極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

源極電極，形成於源極半導體層的上部之凹部，及汲極電極，形成於汲極半導體層的上部之凹部；及

p通道 MISFET，在共用半導體基板上，包含，

閘絕緣膜，形成於共用半導體基板上，

閘電極，形成於閘絕緣膜上，

通道區，形成於閘絕緣膜下方之共用半導體基板中，

源極區與汲極區，於共用半導體基板中形成為彼此間隔並設置成造成通道區置於源極區與汲極區之間，

源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部，及在面對閘電極之源極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

汲極半導體層，形成於汲極區上，在汲極半導體層的上部具有凹部及在面對閘電極之汲極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

源極電極，形成於源極半導體層的上部之凹部，及

汲極電極，形成於汲極半導體層的上部之凹部，

其中，n通道 MISFET的閘電極與p通道 MISFET的閘

## 五、發明說明( 9 )

電極係不同的材料。

本發明提供製造半導體裝置之方法，包括：

在半導體基板上形成第一介電膜；

在第一介電膜上沈積第一半導體層；

將第一介電膜及第一半導體層圖型化；

在半導體基板的主表面上形成第一和第二導電型之第二半導體層；

在第一介電膜及第一半導體層上以及第二半導體層上，沈積第二介電膜；

移除第二介電膜直至第一半導體層及第二半導體層的上表面出現為止；

移除第一半導體層及第二半導體層並使第二半導體層的至少部份留下；及

於第二半導體層上沈積金屬或金屬矽化物。

較佳的是，在沈積第一及第二導電型的第二半導體層時，以含有碳之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

較佳的是，在沈積第一及第二導電型的第二半導體層時，以含有氮化物之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

本發明提供製造半導體裝置之方法，包括：

在半導體基板上形成第一介電膜；

在第一介電膜上沈積第一半導體層；

將第一介電膜及第一半導體層圖型化；

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 10 )

在半導體基板的主表面上形成第一和第二導電型之第二半導體層；

在第二半導體層上形成組成不同於第二半導體層之第一及第二導電型的第三半導體層；

在第一介電膜、第一半導體層、第二半導體層及第三半導體層上，沈積第二介電膜；

移除第二介電膜直至第一半導體層及第三半導體層的上表面出現為止；

移除第一半導體層及第三半導體層直至第二半導體層的表面出現為止；及

於第二半導體層的上表面上沈積金屬或金屬矽化物。

較佳的是，在沈積第一及第二導電型的第二半導體層時，以含有碳之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

較佳的是，在沈積第一及第二導電型的第二半導體層時，以含有氮化物之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

本發明提供製造半導體裝置之方法，包括：

在半導體基板上形成第一介電膜；

在第一介電膜上沈積第一半導體層；

將第一介電膜及第一半導體層圖型化；

在半導體基板的主表面上形成第一和第二導電型之第二半導體層；

在第一介電膜、第一半導體層及第二半導體層上，沈

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 11)

積第二介電膜；

移除第二介電膜直至第一半導體層及第二半導體層的上表面出現為止；

氧化第一半導體層及第二半導體層並使至少部份第二半導體層留下；

移除第一半導體層及第二半導體層之氧化部份；及

於第二半導體層上沈積金屬或金屬矽化物。

較佳的是，在沈積第一及第二導電型的第二半導體層時，以含有碳之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

較佳的是，在沈積第一及第二導電型的第二半導體層時，以含有氮化物之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

本發明提供製造半導體裝置之方法，包括：

在半導體基板上形成第一介電膜；

在第一介電膜上沈積第一半導體層；

將第一介電膜及第一半導體層圖型化；

在半導體基板的主表面上形成第一和第二導電型之第二半導體層；

在第二半導體層上形成組成不同於第二半導體層之第一及第二導電型的第三半導體層；

在第一介電膜、第一半導體層、第二半導體層及第三半導體層上，沈積第二介電膜；

移除第二介電膜直至第一半導體層及第三半導體層的

(請先閱讀背面之注意事項)(寫本頁)

裝

訂

線

## 五、發明說明 ( 12 )

上表面出現為止；

氧化第一半導體層及第三半導體層；

移除第一半導體層及第三半導體層直至第二半導體層的上表面出現為止；及

於第二半導體層上沈積金屬或金屬矽化物。

較佳的是，在沈積第一及第二導電型的第二半導體層時，以含有碳之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

較佳的是，在沈積第一及第二導電型的第二半導體層時，以含有氮化物之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

第二半導體層的氣體或汽相生長能夠在面對閘電極之側面上形成剖面。此時，藉由選擇在適當的晶體平面方向上之半導體基板的生長表面，能夠調整此剖面的傾斜度或梯度。

另一優點在於能夠減少寄生電阻而不會對其餘的電晶體特性有不良影響（諸如短通道效應、寄生電容增加、及 pn 接面處漏電流）。

發明的實施例提供製造源極／汲極及閘電極之方法，包含下述步驟：形成凹陷部份、在整個表面上形成金屬、然後令此接受回饋刻處理。此製造方法不再需要使用傳統的選擇性金屬生長製程。因此，所造成的裝置結構可不用取決於所使用的金屬之選擇性生長力，即可免於源極與汲極電極之間短路之風險。因此，能夠改進產能。

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 13 )

## 圖式簡述

圖 1 係顯示根據本發明的一較佳實施例之具有二電晶體的半導體裝置之剖面視圖。

圖 2 係顯示根據本發明的另一較佳實施例之具有二電晶體的半導體裝置之剖面視圖。

圖 3 至 10 係以剖面顯示具體實施發明的半導體裝置製造中的某些主要處理步驟。

圖 11 係以剖面顯示根據發明的又一實施例之半導體裝置。

圖 12 至 25 係以剖面顯示發明的又一實施例之製程中某些主要處理步驟。

圖 26 - 27 均顯示習知半導體裝置的剖面視圖。

圖 28 - 30 係以剖面顯示根據發明的又另一實施例之半導體裝置的製造中某些主要處理步驟。

## 主要元件對照表

101	半導體基板
102	閘絕緣膜
103	閘電極
104	閘側壁
105A	源極半導體層
105B	汲極半導體層
106	中間層介電膜

(請先閱讀背面之注意事項再寫本頁)

裝  
訂  
線

(請先閱讀背面之注意事項再寫本頁)

裝  
訂  
線

## 五、發明說明 ( 14)

- 107A 源極區
- 107B 汲極區
- 108A 源極電極
- 108B 汲極電極
- 120 側面
- 121 表面
- 130 pn 接面
- 201 元件隔離區
- 202 p 型井區
- 203 n 型井區
- 204  $TiO_2$  膜
- 205  $SiO_2$  膜
- 206 多晶矽閘電極
- 207  $SiO_2$  膜
- 208 閘側壁
- 209 SiN 膜
- 210 矽源極/汲極半導體層
- 211 SiN 膜
- 212 矽源極/汲極半導體層
- 213 n 型源極/汲極區
- 214 p 型源極/汲極區
- 215  $SiO_2$  膜
- 216 閘電極
- 217 源極/汲極電極



## 五、發明說明 ( 15)

- 301 金屬
- 302 多晶矽
- 303 金屬
- 304 多晶矽
- 401 元件隔離區
- 402 p 型井區
- 403 n 型井區
- 404 TiO<sub>2</sub>膜
- 405 n<sup>+</sup>型 SiGe 閘電極
- 406 p<sup>+</sup>型 SiGe 閘電極
- 407 SiO<sub>2</sub>膜
- 408 閘側壁
- 409 SiN 膜
- 410 矽源極 / 汲極半導體層
- 411 SiGe 源極 / 汲極半導體層
- 412 SiN 膜
- 413 Si 源極 / 汲極半導體層
- 414 SiGe 源極 / 汲極半導體層
- 415 n 型源極 / 汲極區
- 416 p 型源極 / 汲極區
- 417 SiO<sub>2</sub>膜
- 418 源極及汲極電極
- 419 源極 / 汲極電極
- 503 元件隔離區

(請先閱讀背面之注意事項再  
寫本頁)

裝

訂

線

## 五、發明說明 ( 16)

- 504 閘絕緣膜
- 505 矽膜
- 506 矽膜
- 507 SiO<sub>2</sub>介電膜
- 508 閘側壁
- 509 Si源極/汲極半導體層
- 510 Si源極/汲極半導體層
- 511 n<sup>+</sup>型擴散層
- 512 p<sup>+</sup>型擴散層
- 513 SiO<sub>2</sub>膜
- 514 SiO<sub>2</sub>膜
- 515 閘電極
- 516 金屬
- 701 元件分離區
- 702 p型井區
- 703 n型井區
- 704 TiO<sub>2</sub>膜
- 705 n<sup>+</sup>型矽閘電極
- 706 p<sup>+</sup>型矽閘電極
- 707 SiO<sub>2</sub>膜
- 708 閘側壁
- 709 SiN膜
- 710 源極/汲極半導體
- 711 SiN膜

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 17 )

- 712 Si 源極 / 汲極半導體層
- 1101 矽基板
- 1102 閘絕緣膜
- 1103 閘
- 1104 閘絕緣側壁層
- 1105 汲極區
- 1106 低電阻率層
- 1200 界面
- 1201 矽基板
- 1202 閘絕緣膜
- 1203 閘電極
- 1204 介電膜
- 1205 汲極區
- 1206 金屬矽化物層

## 發明詳述

將於下參考附圖，說明本發明的實施例。

首先參考圖 1，其以剖面顯示根據本發明的一實施例之金屬絕緣體半導體場效電晶體 ( MISFET )。

如圖 1 所示，此 MISFET 係形成於具有上表面之半導體基板 101 上，半導體基板 101 典型上係由矽製成。MISFET 在半導體基板 101 的表面上具有閘絕緣膜 102。閘絕緣膜 102 係由氧化矽、等等製成。MISFET 在閘絕緣膜上具有閘電極 103。MISFET 也具有形成於半導體基板 101 中成對的

## 五、發明說明 ( 18 )

重度摻雜源極區 107A 及汲極區 107B。MISFET 具有界定源極區 107A 與汲極區 107B 之間的通道區 10。閘電極 103 實質上覆蓋通道區。換言之，源極區 107A 及汲極區 107B 係位於半導體基板中，在閘電極 103 的相對相反側上。

MISFET 在源極區 107A 上具有源極半導體層 105A 及在汲極區 107B 上具有汲極半導體層 105B。源極半導體層 105A 及汲極半導體層 105B 分別在上部具有凹部。MISFET 在源極半導體層 105A 的上部之凹部具有源極電極 108A 並在汲極半導體層 105B 的上部之凹部具有汲極電極 108B。注意，在其餘說明中，此處，為了便於說明，將刪除字尾 "A" 及 "B" 以標示個別部份。

圖 1 中所示之 MISFET 結構之獨特的結構特點係面對閘電極 103 的源極半導體層 105A 之側面 120 與半導體基板 101 的表面 121 之間界定的銳角角度  $\theta$  以及面對閘電極 103 的汲極半導體層 105B 之側面 120 與半導體基板 101 的表面 121 之間界定的銳角角度  $\theta$ 。源極半導體 105A 及汲極半導體 105B 均設計成具有大致推拔形的剖面，該推拔剖面具有傾斜的側面。更特別地，各別的源極 / 汲極半導體層 105 在其面對閘電極 103 的對應垂直側壁之一側面上具有傾斜的或「斜坡的」側壁 120，在半導體基板 101 的側壁 120 與表面 121 之間界定銳角  $\theta$ 。

電晶體具有形成於源極半導體層 105A 之上部的凹部處之源極電極 108A。而且，電晶體具有形成於汲極半導體層 105B 之上部的凹部處之汲極電極 108B。源極半導體層

## 五、發明說明 ( 19 )

105A 及汲極半導體層 105B 在其上表面處具有凹部，以源極電極 108A 及汲極電極 108B 中對應之一掩埋於凹部中。

代號 "106" 用以代表中間層介電 (LCD) 膜。數字 104 代表閘側壁，其係由用於閘側壁的電隔離之選取的介電材料所製成。源極 / 汲極半導體層 105 之個別一者形成為其以閘側壁 104 與閘絕緣膜 102 稍微間隔指定距離，指定距離係相當於閘側壁 104 的膜厚 "a"。藉由此配置，能夠排除源極 / 汲極半導體層 105 與閘電極之間的漏電流之流動。

此 MISFET 係如圖 1 所示面對閘電極 103 之源極 / 汲極半導體層 105 中每一者的側面 120 與半導體基材 101 的表面之間界定銳角  $\theta$ ，造成源極 / 汲極半導體層 105 與閘電極 103 以增加的距離間隔。因此，能夠減少有關的寄生電容。

較佳地，此銳角  $\theta$  設定  $10^\circ$  或更大以減少寄生電容。更佳地，此角度為  $20^\circ$  或更大。同樣地，為了降低寄生電容，角度較佳地低於或等於  $80^\circ$ 。更佳地，角度小於或等於  $70^\circ$ 。

此外，在源極 / 汲極半導體層 105 的上部分別形成凹部。這些凹部分別掩埋有源極及汲極電極 108。因此，源極 / 汲極電極 108 與源極 / 汲極半導體層 105 之間所造成的接點區可製成較大。這使得其能夠減少接點電阻係數。

此外，源極 / 汲極區 107 上分別有源極 / 汲極半導體層 105 淺淺地形成於其上。因此，pn 接面 130 與源極 / 汲極電極 108 之間的距離製成較長。

因此，pn 接面淺至足以排除任何短通道效應發生。此

## 五、發明說明 ( 20 )

pn 接面可免於因金屬沈積造成漏電流特性劣化之風險。

應注意，在圖 1 中所示的 MISFET 係由諸如反應離子蝕刻 ( RIE ) 等各向異性蝕刻技術部份地移除源極 / 汲極半導體層 105，以便掩埋或嵌入源極 / 汲極電極 108。因此，所造成的結構係一側面會被實質垂直蝕刻，在該側面處每一源極 / 汲極半導體層 105 與其對應的源極 / 汲極電極 108 之一相接觸。

另一 MISFET 顯示於圖 2 中，除了源極 / 汲極半導體層 105 由諸如電漿蝕刻等各向同性蝕刻技術移除之外，其餘部份類似圖 1。使用此各向同性蝕刻會允許源極 / 汲極半導體層 105 被各向同性地蝕刻，造成形成於源極 / 汲極半導體層 105 的上部之凹部均具有類似 U 形的剖面。此外，面對閘電極 103 之每一源極 / 汲極半導體層 105 的側面與半導體基板 101 之間界定的角度  $\theta$  係銳角。源極 / 汲極電極 108 會分別掩埋於源極 / 汲極半導體層 105 之凹部中，並形成為前者覆蓋後者。且面對閘電極 103 之每一源極 / 汲極電極 108 的側面 123 具有與側表面 123 與半導體基板的表面 121 之間界定的銳角  $\theta$  相同之銳角  $\theta$ 。這些側面 120 與 123 係彼此齊平的，因而形成「無縫」平坦表面。

當面對閘電極 103 之每一源極 / 汲極半導體層 105 的側面與半導體基板的表面 121 之間界定的銳角設定於銳角  $\theta$  時，能夠增加源極 / 汲極半導體層 105 與閘電極之間的「淨」距離以及增加源極 / 汲極電極 108 與閘電極 103 之間的距離，藉以能夠減少寄生電容。

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 21 )

注意，在圖 2 中所示的 MISFET，相同的部份係由相同的標號表示，此處並省略其說明。

在圖 2 中所示的 MISFET 之情形中，凹陷部份（凹部）會形成於源極／汲極半導體層 105 的上部，以源極／汲極電極 108 分別埋於凹部中。因此，能夠增加源極／汲極電極 108 與源極／汲極半導體層 105 之接觸面積。這將接著能夠減少其接觸電阻率。

此外，源極／汲極區 107 會有源極／汲極半導體層 105 分別淺淺地形成於其上。因此，pn 接面平面 130 與源極／汲極電極 108 之間的距離製成較長。

因此，pn 接面淺至足以防止短通道效應發生。此 pn 接面免於因金屬沈積而造成漏電流特性劣化之風險。

下述係(1)圖 1-2 中所示的場效電晶體、(2)圖 26 中所示的金屬矽化物製程所形成的場效電晶體、及(3)圖 27 中所示的金屬矽化物製程所形成的具有升高的源極／汲極結構的場效電晶體中個別的電晶體之裝置固有的寄生電容  $C_{tot}$ 、寄生電阻及閘極延遲時間  $T_{pd}$ ：

- |     |                            |                          |                     |
|-----|----------------------------|--------------------------|---------------------|
| (1) | $C_{tot}[fF/\mu m] = 5.9$  | $R_{sd}[ohm(S/D)] = 120$ | $pd[ps] = 5.5$      |
| (2) | $C_{tot}[fF/\mu m] = 5.1$  | $R_{sd}[ohm(S/D)] = 440$ | $pd[ps] = 7.3$      |
| (3) | $C_{tot}[fF/\mu m] = 11.1$ | $R_{sd}[ohm(S/D)] = 200$ | $T_{pd}[ps] = 11.5$ |

從上述列出的值顯然可知，以(2)之電晶體而言，寄生電容的值會減少，但是寄生電阻卻增加。相反地，對(3)的電晶體而言，寄生電阻小，但是寄生電容大。相對地，對

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 22 )

(1)的電晶體而言，寄生電容及寄生電阻的值均會減少。關於開延遲時間，可知具體實施發明之電晶體會比(2)及(3)的電晶體短。

非常重要地，當本實施例應用至具有諸如  $\text{TiO}_2$  等高介電性金屬氧化物膜形成的閘絕緣膜之某些電晶體時，會增加有效性。這可說是由於使用此高介電金屬氧化物膜而在大部份的情形中造成閘絕緣膜厚度增加。這接著使得源極／汲極半導體層的側面與其相關的閘膜之間的接觸面積增加，造成傾向於增加寄生電容。但是，藉由本發明，由於源極／汲極半導體層的側面係特別地設計成落在上述角度區之內，所以，與閘絕緣膜造成的接觸面積會減少，因而能夠減少寄生電容。

將於下述中參考圖 3 至 10，說明製造本發明的半導體裝置之方法。

首先，如圖 3 所示，爲了在矽 ( Si ) 基板(半導體基板)的主要表面上製造元件隔離區 201，蝕刻 Si 基板以形成用於淺溝隔離 (STI) 之深度約  $0.4 \mu\text{m}$  的溝槽。之後，以化學汽相沈積法 (CVD) 技術，在整個表面上沈積  $\text{SiO}_2$  層。然後，施加化學／機械拋光 ( CMP )，藉以平坦化整個表面。在圖 3 中，比 STI 溝槽 201 深的基板較低部份由於與本發明的說明無關，所以未顯示。圖示中的其餘部份亦同樣地未顯示此部份。

然後，對應於 p 通道電晶體形成區及 n 通道電晶體形成區之基板的選取部份會由微縮影製程掩罩；接著，執行離

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線



## 五、發明說明 ( 23 )

子佈植，因而分別形成 n 型井區 203 及 p 型井區 202。

爲了調整這些電晶體的臨界電壓值，在分別的通道區執行離子佈植。

將成爲閘絕緣膜（第一介電膜）之  $TiO_2$  膜 204 會沈積於 Si 基板（半導體基板）的整個表面上至 20 奈米 (nm) 的厚度，並使鈦酸四異丙酯 (TPT)  $(Ti(OC_3H_7)_4)$  與氧氣的混合氣體在  $380^\circ C$  的溫度反應。

接著，多晶矽或「多晶 Si」之層（第一半導體層）會沈積於閘絕緣膜 204 的整個表面至 50 nm 的厚度。此多晶矽層可以以 CVD 或濺射技術製造。

在使用微縮影製程掩罩 p 通道形成區及 n 通道形成區之後，以不同能量之離子佈植技術摻雜劑量約  $1 \times 10^{15} \text{ cm}^{-2}$  選取的雜質，此處，選取的雜質爲磷 (P) 或硼 (B)。

接著，於整個表面上沈積厚度 20 nm 的  $SiO_2$  膜 407。因此，可採用 CVD 或濺射技術。接著，經由退火（在  $800^\circ C$  下氮氣中 30 分鐘）以使摻雜於多晶矽鍺中的雜質活化，藉以在 n 及 p 通道形成區上分別形成重度摻雜的  $n(n^+)$  型矽閘電極 205 及  $p^+$  型矽閘電極 206。

接著，使用反應離子技術 (RIE) 以將閘絕緣膜（第一介電膜）204 及多晶矽閘電極 205、205 以及  $SiO_2$  膜 207 蝕刻成閘極形狀。

在以 CVD 技術於整個表面上沈積 10nm 厚的  $SiO_2$  膜之後，以 RIE 製程，在閘電極（第一半導體層）205、206 的側面上製造閘側壁 208。從閘電極 205、206 的對應側壁量測時

（請先閱讀背面之注意事項，再寫本頁）

裝

訂

線

## 五、發明說明 ( 24 )

，閘側壁 208 均具有約 10nm 的厚度。

如圖 4 所示，在整個表面上沈積 50 nm 厚的 SiN 膜。之後，使用微縮影製程以執行蝕刻，藉以促使 SiN 膜 209 僅存在於覆蓋 p 通道電晶體形成區之選取部份。

接著，經由 600 °C 下，SiH<sub>4</sub>、PH<sub>3</sub>及 HCl 的混合氣體中之汽相生長，僅在半導體基板的曝露部份 (n 通道電晶體形成區) 選擇性地沈積 70 nm 厚的 Si 源極 / 汲極半導體層 (第一導電型的第二半導體層) 210，其含有摻雜濃度  $1 \times 10^{20} \text{ cm}^{-3}$  之磷雜質。在此情形中，由於 SiO<sub>2</sub> 膜 207 存在於閘電極 205 上，所以，難以沈積任何矽層；因此，所造成的多晶矽閘 205 及矽源極 / 汲極半導體層 210 會於其上表面上彼此實質地齊平。

沈積溫度為 600 °C 或更高時會造成所沈積的矽源極 / 汲極半導體層 210 為單晶。因此，與閘側壁 208 相面對之個別的源極 / 汲極半導體層 210 的特定面為 {111} 或 {311} 平面或晶向，因而形成晶面。雖然此晶面的晶體平面晶向會視製造條件而定，但是，經由製程控制可確保 Si 源極 / 汲極半導體層 210 的側面與半導體基板的表面之間的角度為銳角。之後，藉由使用「熱」磷酸或是乾蝕刻技術，移除覆蓋 p 通道電晶體形成區之 SiN 膜 209。

如圖 5 所示，在整個表面上沈積 50 nm 厚的 SiN 膜之後，使用微縮影製程以執行蝕刻，藉以使得 SiN 膜 211 僅存在於覆蓋 n 通道電晶體形成區之選取部份。

經由 600 °C 下 SiH<sub>4</sub> 及 B<sub>2</sub>H<sub>6</sub> 加上 HCl 之混合氣體中的汽

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 25 )

相生長，僅在半導體基板的曝露部份(p通道電晶體形成區)選擇性地沈積 70 nm 厚的 Si 源極/汲極半導體層(第二導電型的第二半導體層)212，其含有濃度  $1 \times 10^{20} \text{ cm}^{-3}$  之硼(B)雜質。在此情形中，由於  $\text{SiO}_2$  膜 207 存在於閘電極 206 上，所以，不會沈積任何矽層；因此，所造成的多晶矽閘 206 及矽源極/汲極半導體層 212 會於其上表面上彼此實質地齊平。

注意，此處沈積溫度設定為  $600^\circ \text{C}$  或更高時會造成所沈積的矽源極/汲極半導體層 212 為單晶。因此，面對閘側壁 208 之個別的源極/汲極半導體層 212 的特定面為 {111} 或 {311} 平面，因而形成晶面。雖然此晶面的晶體平面晶向會視製造條件而定，但是，經由製程控制可確保半導體基板 Si 源極/汲極半導體層 212 的側面與半導體基板的表面之間的角度為銳角。之後，藉由使用熱磷酸或是乾蝕刻技術，移除覆蓋 n 通道電晶體形成區之  $\text{SiN}$  膜 211。

如圖 6 所示，在  $600^\circ \text{C}$  的氬氣(Ar)中執行熱處理 60 分鐘，使得摻雜的磷雜質經過 n 型矽源極/汲極半導體 210 向外擴散至半導體基板，同時，令硼(B)雜質經由 p 型矽源極/汲極半導體 212 擴散進入基板，藉以分別形成 n-型源極/汲極區 213 及 p 型源極/汲極區 214。這些源極/汲極區 213、214 在半導體基板中是非常淺的，其淺的程度使得每一源極/汲極區 213、214 均具有約 10 至 20 nm 範圍之縮減深度。這將能夠充份地抑制如此製造的電晶體之短通道效應。

如圖 7 所示，於整個表面上沈積 100 nm 厚的  $\text{SiO}_2$  膜 (

## 五、發明說明 ( 26 )

第二介電膜) 215。

之後，使用化學／機械拋光 ( CMP ) 法以移除  $\text{SiO}_2$  膜 215 的上部，以至於閘電極 ( 第一半導體層 ) 205-206 及源極 / 汲極半導體層 ( 第二半導體層 ) 210、212 的上表面均於 n 通道電晶體形成區及 p 通道電晶體形成區中曝露。

如圖 8 所示，在使用微縮影製程以形成僅覆蓋於 n 通道電晶體形成區之光阻膜 ( 未顯示 ) 之後，以 RIE 製程蝕刻源極 / 汲極半導體層 ( 第二半導體層 ) 212 的指定部份及矽閘電極 ( 第一半導體層 ) 206。

在此製程步驟，應小心確保閘區處的多晶矽層 206 完全移除，以部份地留在底表面上之方式蝕刻源極 / 汲極半導體層 212 的單晶矽。

在顧及所使用的蝕刻氣體與諸如  $\text{TiF}_x$ 、 $\text{TiCl}_x$  等鈦 ( Ti ) 化合物相混合之事實，可容易地偵測到此蝕刻的結束點。這些 Ti 化合物可從閘絕緣膜 204 產生。在本實施例中，理想上蝕刻係一直執行直到底部達到指定的高度為止，此指定的高度係比源極 / 汲極區 214 的「原始」表面高約 20nm。接著，移除所使用的光阻膜，僅允許被蝕刻的部份存在，以致於均具有凹狀剖面形狀。

如圖 9 所示，作為源極 / 汲極及閘的電極之選取的導電材料層會沈積於整個表面上。材料可為金屬或金屬矽化物，或者，特別地，這些材料之蕭基 ( Schottky ) 能障高度 ( SBH ) 相對於 p 型矽為低，舉例而言，可為 Pt、PtSi、或 Pd。此沈積可由 CVD、濺射及其它習知的全表面沈積

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 27 )

法之一達成。

接著，以 CMP 技術執行全表面蝕刻直至偵測到  $\text{SiO}_2$  膜 215 為止，藉以在閘絕緣膜 204 中界定的凹部中形成所需的電極。更特別地，在如此界定於閘絕緣膜 204 的上表面的凹部中形成閘電極 216，而源極／汲極電極（金屬或金屬矽化物）216 係在源極／汲極半導體層（第二半導體層）212 的凹部中。

如圖 10 所示，在藉由微縮影製程，僅於覆蓋 p 通道電晶體的選取部份處形成光阻膜（未顯示）之後，以 RIE 法蝕刻源極／汲極半導體層（第二半導體層）210 的部份與 Si 閘電極（第一半導體層）205。

在此處理步驟中，應小心閘區處的多晶矽層 205 完全地移除，而以部份地存在於底部表面上之方式，蝕刻源極／汲極半導體層 210 的單晶矽。

在考量所使用的蝕刻氣體與諸如  $\text{TiF}_x$ 、 $\text{TiCl}_x$  等鈦（Ti）化合物相混合之事實，可容易地偵測到此蝕刻的結束點。在本實施例中，理想上蝕刻係一直執行直到底部達到指定的高度為止，此指定的高度係比源極／汲極區 213 的「原始」表面高約 20nm。接著，移除所使用的光阻膜，僅允許被蝕刻的部份存在，以致於均具有凹狀剖面形狀。

接著，作為源極／汲極及閘的電極之選取的導電材料層會沈積於整個表面上。材料可為金屬或金屬矽化物，或者，特別地，這些材料之蕭基（Schottky）能障高度（SBH）相對於 n 型矽為低，舉例而言，可為  $\text{ErSi}_2$ 。此沈積

（請先閱讀背面之注意事項再寫本頁）

裝

訂

線

## 五、發明說明 ( 28 )

可由 CVD、濺射及其它習知的全表面沈積法之一達成。

接著，以 CMP 技術執行全表面蝕刻直至偵測到  $\text{SiO}_2$  膜 215 為止。以此方式，在形成於第二半導體層 210 中的凹部中形成源極/汲極電極(金屬或金屬矽化物)217。同時，閘電極 216 會形成於界定於閘絕緣膜 204 的上表面之凹部中。

接著，完全地沈積  $\text{SiO}_2$  膜(未顯示)且接著於其中選擇性地蝕刻形成接點孔(未顯示)以形成電連接線或晶片上導線(未顯示)，藉以形成 LSI。

雖然在本實施例中，舉例說明，閘絕緣膜 204 係由具有高介電性之  $\text{TiO}_2$  製成，但是，此材料可由其它類似的適當材料取代，包含但不侷限於  $\text{Ta}_2\text{O}_5$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $(\text{Ba},\text{Sr})\text{TiO}_3$ 。

此外，雖然以金屬有機 CVD(MOCVD)技術形成  $\text{TiO}_2$  閘絕緣膜 204，但是，也可以以濺射形成此膜。

選加地，在沈積  $\text{TiO}_2$  閘絕緣膜期間，可採用 200 瓦(W)的氙(Xe)燈。氙燈可發射波長 300 nm 的近紫外光，其會經過沈積設備的窗口而落入晶圓的整個表面(半導體基板)。在沈積氣體流動之前此燈即已操作並連續地致動直到所要的沈積製程終止為止。藉由此配置，能夠排除不必要之來自所使用的有機源氣體之碳(C)及/或質子(H)之混合物，因而能夠沈積具有幾乎完全的  $\text{TiO}_2$  組成之膜。

此外，MOCVD 製程所使用的原材料氣體不應侷限於具有上述組合之氣體，也可以是鈦酸乙酯(TET)  $(\text{Ti}(\text{OC}_2\text{H}_5)_4)$  或四異丙醇鈦(TTIP)及氧的混合氣體。在

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 29 )

TTIP 的情形中， $TiO_2$  是可以不用與氧混合即可製造的。或者，有機源可由諸如  $TiCl_4$  等無機源取代。假使為此情形時，則反應溫度需要稍微高點，舉例而言，達到  $600^\circ C$  左右。

閘絕緣膜 204 不應總是由上述高介電膜形成，或者可由  $SiO_2$  或  $SiN$  製成。

閘絕緣膜 204 不需利用第一沈積介電膜。一實施例係在圖 8 的處理步驟移除閘區的多晶矽 206 之後，暫時移除介電膜 204 並接著新近地沈積另一材料(舉例而言， $SiO_2$ 、 $SiN$ 、高介電膜、鐵電膜或其它)以作為閘絕緣膜。

顯然地，此時，可能留下閘絕緣膜 204 的部份。舉例而言，在圖 8 的步驟，假使源極/汲極半導體層 212 需要留在源極/汲極區 214 至 40 nm 而非 20 nm 的厚度時，則藉由將  $TiO_2$  膜的厚度設定於 40nm，可偵測到蝕刻處理的結束點。在某些情形中，此 40nm 厚度對閘絕緣膜而言太厚。在這些情形時，執行蝕刻處理以將膜厚減至 20 nm。

舉例而言，在需要時， $TiN$  層可形成於  $TiO_2$  閘絕緣膜 204 上以防止閘絕緣膜 204 與其相關的閘材料之間發生化學反應。

在圖 8 的步驟之蝕刻不應總是設計成完全地移除閘區之多晶矽 206。在此情形中，如圖 11 所示，閘電極具有基本上由金屬 301、303 及多晶矽 302、304 構成的多層結構。因此，能夠取得使用 n 型 Si 的 n 通道電晶體及使用 p 型 Si 的 p 通道電晶體之表面通道配置並同時因為這些金屬的存

## 五、發明說明（30）

在而允許閘電極提供低電阻率。顯然地，在此情形中，以彼此獨立之方式，將安裝於 n 及 p 之金屬設定在工作函數；因此，能夠使多晶矽 302、304 及金屬 301、303 之間的接點電阻率最小。

另一方面，假使在圖 8 的步驟完全地移除多晶矽 206 時，則內含不同雜質之多晶矽層 205-206 可設計成含有單一種雜質（舉例而言，磷擴散多晶矽）或設計成未含有雜質。但是，在本情形中，其變成難以在圖 8 的蝕刻步驟以同於摻雜雜質於矽中之比率控制蝕刻。慮及此點，希望這些層均含有相同的雜質。

由選擇性磊晶生長（SEG）製程所沈積的單晶矽層 210、212 不應僅侷限於 CVD 之摻雜設計。舉例而言，在圖 4 的製程步驟，在 n 通道電晶體形成區及 p 通道電晶體形成區的矽曝露部份，選擇性地預沈積未含雜質之「純」單晶矽，接著執行離子佈植，藉以形成個別的含有雜質之部份。可在製造單晶矽之後或者在完成圖 7 所示的介電膜 215 之 CMP 製程之後，立即執行此離子佈植。此處要注意，由於存在有因離子佈植而發生之點缺陷，所以，難以在稍後的步驟控制雜質擴散，因此，無法精確地控制 pn 接面在基板中處於 10 至 20nm 的範圍內。因此，CVD 同時摻雜法被視為更佳的。顯然地，在 CVD 為基礎的摻雜法中，在延著矽的厚度之方向上，雜質量可能不是均勻的。可考慮的一可能變異的實施例係雜質濃度在接近矽基板的部份較高，但在遠離矽基板之部份較低。



## 五、發明說明 ( 31 )

可在單晶矽沈積之前，以離子佈植，在 n 通道電晶體形成區與 p 通道電晶體形成區中達成 pn 界面。

在單晶矽選擇沈積期間，為了使其選擇性維持較高，舉例而言，需在接近 800 °C 的溫度中於 CVD 設備內執行 H<sub>2</sub> 退火或真空退火，以移除任何餘留在曝露的矽表面上之自然氧化物膜，因而能夠在矽上可靠地製造具有優良晶性之矽。

如此沈積的單晶矽之晶性可能影響圖 8 步驟之蝕刻處理的再現性並在金屬接點電阻率的再現性上影響 IC 元件之特性。

雖然如同源極/汲極半導體層 210、212 之選擇性 CVD 製造之前已形成一般，以 CVD 及 RIE 製程，在閘側面上形成介電膜 208，但是，也可經由半導體層 205-206 之氧化或氮化，以形成這些膜。

當需要時，也能夠免掉閘側面上的介電膜 208 並使得閘絕緣膜 204 用於在半導體層 205-206 與源極/汲極半導體層 210、212 之間電隔離。舉例而言，藉由使用介電層 106，可取得所要的隔離。

在 SEG 製程期間作為掩罩之材料 209、211 不應僅侷限於 SiN 且可由碳膜或任何其它可對 SiO<sub>2</sub> 及 Si 提供增強的可選擇移除性之類似的適當材料取代。但是，注意，在採用碳膜的情形中，由於一般的成灰技術無法在碳膜蝕刻製程期間用於移除光阻膜，所以，需要採用濕處理（舉例而言，使用硫酸及過氧化氫之混合溶液）。對習於半導體技藝

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 32 )

者而言，在掩罩 209、211 由碳膜形成的情形中，能夠藉由成灰技術，輕易地移除它們。顯然地，如同此處所述，碳膜僅是能夠由成灰輕易地移除之代表性膜。掩罩膜可由也含有諸如 Si 或 Ge 等其它元素而以碳為主要組成之其它含碳材料取代。

雖然金屬材料 216-217 分別用於 n 通道電晶體及 p 通道電晶體以便降低源極 / 汲極電極或閘電極的電阻率，但是，也可使用類似的材料。在此情形中，不再需要在這些彼此獨立的 n 及 p 通道電晶體中形成凹部以便金屬嵌入。這將能夠減少所需的製程步驟數目。在本情形中，將希望採用相對於 n 型矽及 p 型矽而言，SBH 彼此實質相同之某些金屬或金屬矽化物。

個別金屬層 216-217 不應由單層形成。舉例而言，在配置相對於 n 型及 p 型矽而言 SBH 為低之選取材料之後，諸如 Al、W 或高貴金屬等低電阻率材料會形成於其上，藉以減少源極 / 汲極電極或閘電極的電阻率。

當使用金屬矽化物製程製造與矽直接接觸的金屬矽化物時，金屬矽化物製程會要求在遮蓋下方的 pn 接面之區域中設置具有特定厚度的矽層。為使此矽層的厚度最小，必須使用某些技術以形成儘可能薄的金屬矽化物。矽層厚度的最小化對於抑制閘電極與源極 / 汲極區之間的寄生電容之不必要增加是有效的，同時可取得相關之高速性能的 IC 元件。

圖 8 中所示的蝕刻不應排他地僅限於諸如 RIE 等各向

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

### 五、發明說明 ( 33 )

異性蝕刻。此可為諸如使用含  $CF_4$  之氣體或使用諸如氟硝酸等選取液體之電漿蝕刻等各向同性蝕刻。

在混合地使用各向異性蝕刻及各向同性蝕刻之情形中，最後取得之金屬的形狀及源極 / 汲極電極的接觸面之形狀與圖 1 及 2 中所示不同。

雖然完成製造並使個別的區域被掩罩以便個別地形成 n 通道電晶體及 p 通道電晶體，但是，此個別形成可以省略。在個別形成的情形中，首先形成者可依情形而為 p 通道電晶體及 n 通道電晶體中的任一者。

相對於 p 型矽而言，SBH 為低之材料不應僅限於鉑 ( Pt ) 及鈦 ( Pd ) ，也可以是銥 ( Ir ) 、鎳 ( Ni ) 、或其金屬矽化物。

相對於 n 型矽而言，SBH 為低之材料不應僅限於  $ErSi_2$  ，也可以是鈦 ( H.F. ) 、鉭 ( Ta ) 、釷 ( Sc ) 或其金屬矽化物。

圖 10 中所示的場效電晶體係從源極 / 汲極區 213-214 上的結構觀視時，源極 / 汲極半導體層 210、212 各自的側面係形成為此面與半導體基板表面形成銳角。因此，源極 / 汲極半導體層 210、212 各自的側面及閘電極的側面彼此以某角度而非平行方式相對。因此，能夠防止寄生電容值大幅增加。

由於凹部會形成於源極 / 汲極半導體層的上表面中並有源極 / 汲極電極掩埋於其中，所以，裝置的結構能夠加大所造成的接觸面積，因而能夠減少接點電阻率。顯然地

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明（34）

，形成淺至足以排除短通道效應發生之接點或接面。這將確保所造成的 pn 接面免於因金屬沈積而使漏電流特性惡化之風險。

將於下參考圖 12 至 19，說明具體實施本發明之另一半導體裝置製造方法。

首先，如圖 12 所示，爲了在半導體基板的主表面上製造元件隔離區 401，蝕刻矽基板以形成深度約  $0.4 \mu\text{m}$  之用於淺溝槽隔離 (STI) 之溝槽。之後，以 CVD 法，於整個表面上沈積  $\text{SiO}_2$  層。然後，施加化學 / 機械或「化學 - 機械」拋光 (CMP)，藉以平坦化整個表面。

然後，以微縮影製程，掩罩對應於 p 通道電晶體形成區及 n 通道電晶體形成區之選取部份；之後，執行離子佈植，因而分別形成 n 型井區 403 及 p 形井區 402。

接著，爲了調整這些電晶體的臨界電位，在分別的通道形成區，執行離子佈植。

接著，在矽基板的整個表面上沈積厚度 20 nm 的  $\text{TiO}_2$  膜 404（這將變成閘絕緣膜（第一介電膜），並使鈦酸四異丙酯 (TPT)  $(\text{Ti}(\text{OC}_3\text{H}_7)_4)$  與氧氣的混合氣體在  $380^\circ\text{C}$  的溫度反應。

接著，於閘絕緣膜 404 的整個表面上沈積 50 nm 厚度的多晶 SiGe 層（第一半導體層）。此層可以以 CVD 或濺射技術製造。

接著，在使用微縮影製程掩罩 p 通道形成區及 n 通道形成區之後，以離子佈植技術摻雜劑量約  $1 \times 10^{15} \text{cm}^{-2}$  選取的

## 五、發明說明 ( 35 )

雜質，此處，選取的雜質為磷(P)或硼(B)。

接著，於整個表面上沈積厚度 20 nm 的  $\text{SiO}_2$  膜 407。因此，可採用 CVD 或濺射技術。接著，經由退火（在  $800^\circ\text{C}$  下氮氣中 30 分鐘）以使摻雜於多晶 SiGe 中的雜質活化，藉以在 n 及 p 通道形成區上分別形成  $n^+$  型 SiGe 閘電極 405 及 p 型 SiGe 閘電極 406。

接著，使用反應離子技術(RIE)以蝕刻閘絕緣膜(第一介電膜)404 及多晶矽閘電極 405-406 以及  $\text{SiO}_2$  膜 407。

在以 CVD 技術於整個表面上沈積 10nm 厚的  $\text{SiO}_2$  膜之後，以 RIE 製程，在閘電極(第一半導體層)405-406 的側面上製造閘側壁 408。每一閘側壁 408 約 10nm 厚。

接著，如圖 13 所示，在整個表面上沈積 50 nm 厚的 SiN 膜。之後，使用微縮影製程以執行蝕刻，藉以促使 SiN 膜 409 僅存在於覆蓋 p 通道電晶體形成區之選取部份。

接著，經由  $600^\circ\text{C}$  下， $\text{SiH}_4$ 、 $\text{PH}_3$  及 HCl 的混合氣體中之汽相生長，僅在半導體基板的曝露部份(n 通道電晶體形成區)選擇性地沈積 20 nm 厚的 Si 源極/汲極半導體層(第一導電型的第二半導體層)410，其含有摻雜濃度  $1 \times 10^{20} \text{ cm}^{-3}$  之磷雜質。

接著，在相同的真空中，在  $\text{GeH}_4$ 、 $\text{SiH}_4$ 、 $\text{PH}_3$  及 HCl 的混合氣體中，執行汽相生長，藉以在源極/汲極半導體層 410 上選擇性地沈積 50nm 厚的 SiGe 源極/汲極半導體層(在組成上與第二半導體層不同，具有第一導電性的第三半導體層)411，其含有摻雜濃度為  $1 \times 10^{20} \text{ cm}^{-3}$  之磷。在此情

## 五、發明說明 ( 36 )

形中，由於  $\text{SiO}_2$  膜 407 存在於閘電極 405 上，所以，未沈積 Si 及 SiGe 層；因此，所造成的多晶 SiGe 閘電極 405 與 Si 源極 / 汲極半導體層 410 在其上表面上幾乎彼此齊平。

將沈積溫度設定在  $600^\circ\text{C}$  或更高，造成單晶之沈積的 Si 或 SiGe。因此，與閘側壁 408 相對的個別源極 / 汲極半導體層 410 之指定面成爲 {111} 或 {311} 平面，因而形成晶面。雖然此晶面的晶體平面方向會視製造條件而定，但是，可執行製程控制以確保源極 / 汲極半導體層 410 的側面與半導體基板的表面之間的角度成爲銳角。之後，藉由使用「熱」磷酸或是乾蝕刻技術，移除覆蓋 p 通道電晶體形成區之 SiN 膜 409。

如圖 14 所示，在整個表面上沈積 50 nm 厚的 SiN 膜之後，使用微縮影製程以執行蝕刻，藉以使得 SiN 膜 412 僅存在於覆蓋 n 通道電晶體形成區之選取部份。

經由  $600^\circ\text{C}$  下  $\text{SiH}_4$  及  $\text{B}_2\text{H}_6$  加上 HCl 之混合氣體中的汽相生長，僅在半導體基板的曝露部份 (p 通道電晶體形成區) 選擇性地沈積 20 nm 厚的 Si 源極 / 汲極半導體層 (第二導電型的第二半導體層) 413，其含有濃度  $1 \times 10^{20} \text{cm}^{-3}$  之硼 (B) 雜質。

接著，在相同的真空中，在  $\text{GeH}_4$ 、 $\text{SiH}_4$ 、 $\text{PH}_3$  及 HCl 的混合氣體中，執行汽相生長，藉以在源極 / 汲極半導體層 410 上選擇性地沈積 50 nm 厚的 SiGe 源極 / 汲極半導體層 (在組成上與第二半導體層不同，具有第二導電性的第三半導體層) 414，其含有摻雜濃度爲  $1 \times 10^{20} \text{cm}^{-3}$  之硼 (B)。在此

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

### 五、發明說明 ( 37 )

情形中，由於  $\text{SiO}_2$  膜 407 存在於閘電極 406 上，所以，未沈積 Si 及 SiGe 層；因此，所造成的多晶 SiGe 閘電極 406 與 Si 源極 / 汲極半導體層 413 在其上表面上幾乎彼此齊平。

將沈積溫度設定在  $600^\circ\text{C}$  或更高，造成單晶之沈積的 Si 或 SiGe。因此，與閘側壁 408 相對的個別源極 / 汲極半導體層 413 之指定面成爲 {111} 或 {311} 平面，因而形成晶面。雖然此晶面的晶體平面方向會視製造條件而定，但是，可執行製程控制以確保源極 / 汲極半導體層 413 的側面與半導體基板的表面之間的角度成爲銳角。之後，藉由使用「熱」磷酸或是乾蝕刻技術，移除覆蓋 n 通道電晶體形成區之  $\text{SiN}$  膜 412。

如圖 15 所示，在  $600^\circ\text{C}$  的氬氣 (Ar) 中執行熱處理 60 分鐘，使得摻雜的磷雜質經過 n 型矽源極 / 汲極半導體 410 向外擴散至半導體基板，同時，令硼 (B) 雜質經由 p 型矽源極 / 汲極半導體 213 擴散進入基板，藉以分別形成 n-型源極 / 汲極區 415 及 p 型源極 / 汲極區 416。這些源極 / 汲極區 415-416 在半導體基板中是非常淺的，其淺的程度使得每一源極 / 汲極區 415-416 均具有約 10 至 20 nm 範圍之縮減深度。這將能夠充份地抑制如此製造的電晶體之短通道效應。

如圖 16 所示，於整個表面上沈積 100 nm 厚的  $\text{SiO}_2$  膜 (第二介電膜) 417。

使用化學 / 機械拋光 (CMP) 法以移除  $\text{SiO}_2$  膜 417 的上部，以至於閘電極 (第一半導體層) 405-406 及源極 / 汲極半

(請先閱讀背面之注意事項再寫本頁)

裝 訂 線

## 五、發明說明 ( 38 )

導體層(第三半導體層)411、414的上表面均於n通道電晶體形成區及p通道電晶體形成區中曝露。

如圖 17 所示，在使用微縮影製程以形成僅覆蓋於 n 通道電晶體形成區之光阻膜（未顯示）之後，以 RIE 方法蝕刻源極／汲極半導體層（第三半導體層）414 的指定部份及 SiGe 閘電極（第一半導體層）406。在此情形中，在適當情形下，使用 CF<sub>4</sub> 及氬（Ar）之混合氣體，能夠相對於 Si，選擇性地移除 SiGe；因此，能夠輕易地控制製程，以致於蝕刻會停止於源極／汲極半導體層 411 與源極／汲極半導體層 410 之界面。之後，移除光阻，造成受蝕刻的部份以凹狀存在。

如圖 18 所示，於整個表面上沈積作為源極／汲極與閘的電極之選取的導電材料層。其材料可為金屬或金屬矽化物，特別地，相對於 p 型矽，這些材料的蕭基能障高度（SBH）是低的，舉例而言，可為鉑（Pt）、PtSi、鈹等等。以 CVD、濺射及其它習知之全表面沈積法中任一技術，執行此沈積。

接著，以 CMP 技術執行全表面蝕刻直至偵測到 SiO<sub>2</sub> 膜 417 為止。藉由此製程，如同形成於源極／汲極半導體層 413 的上表面中般，能夠在凹部中形成源極及汲極電極 418。同時，也能夠如同形成於閘絕緣膜 404 的上表面中般，在凹部中形成閘電極。

如圖 19 所示，在使用微縮影製程，僅於覆蓋 p 通道電晶體之選取部份處形成光阻膜（未顯示）之後，以 RIE 方

（請先閱讀背面之注意事項再寫本頁）

裝

訂

線



## 五、發明說明 ( 39 )

法蝕刻源極 / 汲極半導體層 ( 第三半導體層 ) 414 的部份及 SiGe 閘電極 ( 第一半導體層 ) 407 。在此情形中，由於在適當情形下，使用  $CF_4$  及氬 ( Ar ) 之混合氣體，而能夠相對於 Si，選擇性地移除 SiGe；因此，能夠輕易地在源極 / 汲極半導體層 411 與源極 / 汲極半導體層 410 之界面停止蝕刻。之後，移除光阻，造成受蝕刻的部份以凹狀存在。

於整個表面上沈積諸如  $ErSi_2$  等蕭基能障高度 ( SBH ) 為低的選取材料。以 CVD、濺射、或任何其它類似之全表面沈積技術，執行此沈積。此外，在凹部中形成所需的電極，亦即，在閘絕緣膜 204 上形成閘電極 419 並於源極 / 汲極半導體層 ( 第二半導體層 ) 410 上形成源極 / 汲極電極 ( 金屬或金屬矽化物 ) 419，凹部係由 CMP 為基礎的蝕刻應用至整個表面直至偵測到  $SiO_2$  膜時所界定的。

接著，完全地沈積  $SiO_2$  膜 ( 未顯示 )，然後，選擇性地蝕刻  $SiO_2$  膜以在其中形成接點孔 ( 未顯示 )，以建立電連接線或晶片上導線 ( 未顯示 )，藉以形成 LSI。

雖然在本實施例中，舉例說明，閘絕緣膜 410 由具有高介電性之  $TiO_2$  製成，但是，此材料可由其它類似的適當材料取代，包含但不限於  $Ta_2O_5$ 、 $Al_2O_3$ 、 $Y_2O_3$ 、 $ZrO_2$ 、 $(Ba,Sr)TiO_3$ 。

此外，雖然以 MOCVD 技術形成  $TiO_2$  膜，但是，也可藉由濺射，形成此膜。

選加地，在  $TiO_2$  閘絕緣膜 410 的沈積期間，可採用 200 瓦 ( W ) 的氙 ( Xe ) 燈。氙燈可發射波長 300 nm 的近紫外光

(請先閱讀背面之注意事項再寫本頁)

裝 訂 線

## 五、發明說明 ( 40 )

，其會經過沈積設備的窗口而落入晶圓的整個表面。在沈積氣體流動之前，此燈即已操作並連續地致動直到所要的沈積製程終止為止。藉由此配置，能夠排除不必要之來自所使用的有機源氣體之碳 ( C ) 及 / 或 質子 ( H ) 之混合物，因而能夠沈積具有幾乎完全的  $TiO_2$  組成之膜。

此外，MOCVD 製程所使用的原材料氣體不應侷限於具有上述組合之氣體，也可以是鈦酸乙酯 ( TET ) ( $Ti(OC_2H_5)_4$ ) 或四異丙醇鈦 ( TTIP ) 及氧的混合氣體。在 TTIP 的情形中， $TiO_2$  是可以不用與氧混合即可製造的。或者，有機源可由諸如  $TiCl_4$  等無機源取代。假使為此情形時，則反應溫度需要稍微高點，舉例而言，達到  $600^\circ C$  左右。

閘絕緣膜 404 不應總是由上述高介電膜形成，或者可由  $SiO_2$  或  $SiN$  製成。

閘絕緣膜 404 不需利用第一沈積介電膜。一實施例係在圖 17 的處理步驟移除閘區的多晶  $SiGe$  406 之後，暫時移除介電膜 404 並接著新近地沈積另一材料 ( 舉例而言， $SiO_2$ 、 $SiN$ 、高介電膜、鐵電膜或其它 ) 以作為閘絕緣膜。

顯然地，此時，會留下部份閘絕緣膜 204。一實施例係在圖 17 的步驟蝕刻  $SiGe$  至 40 nm 預定厚度之後，執行表面切割而造成此厚度在此步驟減少至 20 nm，以充份地清潔  $TiO_2$  膜 404 的上表面。

舉例而言，假使需要時，在  $TiO_2$  閘絕緣膜 404 上形成  $TiN$  層以防止閘絕緣膜 204 與其相關的閘材料之間發生化學

(請先閱讀背面之注意事項再寫本頁)

裝 訂 線

## 五、發明說明 ( 41 )

反應。

圖 17 的步驟之蝕刻不應總是設計成完全地移除閘區的多晶矽 SiGe 407。在此情形中，如圖 11 所示，閘電極會具有包括金屬 301、303 及多間 SiGe 302、304 之多層結構。因此，能夠取得使用 n 型 SiGe 之 n 通道電晶體及使用 p 型 SiGe 的 p 通道電晶體之表面通道配置，並同時因這些金屬的存在而允許閘電極提供低電阻率。顯然地，在此情形中，以彼此獨立之方式，將安裝於 n 及 p 之金屬設定在工作函數；因此，能夠使多晶 SiGe 302、304 及金屬 301、303 之間的接點電阻率最小。

另一方面，假使在圖 17 的步驟完全地移除多晶 SiGe 406 時，則內含不同雜質之多晶 SiGe 層 405-406 可設計成含有單一種雜質(舉例而言，磷擴散多晶 SiGe)或設計成未含有雜質。但是，在本情形中，其變成難以在圖 17 的蝕刻步驟以同於摻雜雜質於 SiGe 中之比率控制蝕刻。慮及此點，希望這些層均含有相同的雜質。

由選擇性磊晶生長 ( SEG ) 製程所沈積的單晶 SiGe 層 411、414 不應僅侷限於 CVD 之摻雜設計。舉例而言，在圖 13 的製程步驟，在 n 通道電晶體形成區及 p 通道電晶體形成區的矽曝露部份，選擇性地預沈積未含雜質之「純」單晶矽，接著，選擇性地沈積無雜質摻雜於其中之單晶 SiGe，之後執行離子佈植，藉以形成個別的含有雜質之部份。可在製造單晶 SiGe 之後或者在完成圖 16 所示的介電膜 417 之 CMP 製程之後，立即執行此離子佈植。此處要注意，由

(請先閱讀背面之注意事項再將本頁)

裝

訂

線

## 五、發明說明 ( 42 )

於存在有因離子佈植而發生之點缺陷，所以，難以在稍後的步驟控制雜質擴散，因此，無法精確地控制 pn 接面在基板中處於 10 至 20nm 的範圍內。因此，CVD 同時摻雜法在此情形中被視為更佳的。顯然地，在 CVD 為基礎的摻雜法中，在延著矽的厚度之方向上，雜質量可能不是均勻的。可考慮的一可能變異的實施例係雜質濃度在接近矽基板的部份較高，但在遠離矽基板之部份較低。

可在單晶矽沈積之前，以離子佈植，在 n 通道電晶體形成區與 p 通道電晶體形成區中達成 pn 接面。

在單晶矽選擇沈積期間，為了使其選擇性維持較高，舉例而言，需在接近 800 °C 的溫度中於 CVD 設備內執行 H<sub>2</sub> 退火或真空退火，以移除任何餘留在曝露的矽表面上之自然氧化物膜，因而能夠在矽上可靠地製造具有優良晶性之矽。

如此沈積的單晶矽之晶性可能影響圖 17 步驟之蝕刻處理的再現性並於金屬接點電阻率的再現性上影響 IC 元件之特性。

雖然金屬材料 418-419 分別用於 n 通道電晶體及 p 通道電晶體以便降低源極 / 汲極電極或閘電極的電阻率，但是，也可使用類似的材料。在此情形中，不再需要在這些彼此獨立的 n 及 p 通道電晶體中形成凹部以便金屬嵌入。這將能夠減少所需的製程步驟數目。在本情形中，將希望採用相對於 n 型矽及 p 型矽而言，SBH 彼此實質相同之某些金屬或金屬矽化物。

## 五、發明說明 ( 43 )

個別金屬層 418-419 不應由單層形成。舉例而言，在配置相對於 n 型及 p 型矽而言 SBH 為低之選取材料之後，諸如鋁 (Al)、鎢 (W) 或高貴金屬等低電阻率材料會形成於其上，藉以減少源極 / 汲極電極或閘電極的電阻率。

雖然可採用金屬矽化物以製造與 Si 直接接觸的金屬矽化物，但是，此金屬矽化物製程之執行將要求在覆蓋達到其下方 pn 接面之區域中設置具有指定厚度之矽層。為了使此矽層的厚度最小，必須使用某些技術，以形成儘可能薄的金屬矽化物。矽層厚度最小化對於抑制閘電極與源極 / 汲極區之間寄生電容之不必要增加是有效的，同時，取得有關的 IC 元件之高速性能。

圖 17 中所示的 SiGe 蝕刻不應排它地僅限於諸如 RIE 等各向異性蝕刻。此可為諸如使用含  $CF_4$  之氣體或使用諸如氟硝酸等選取液體之電漿蝕刻等各向同性蝕刻。

在混合地使用各向異性蝕刻及各向同性蝕刻之情形中，最後取得之金屬的形狀及源極 / 汲極電極的接觸面之形狀與圖 1 及 2 中所示不同。

雖然完成製造並使個別的區域被掩罩以便個別地形成 n 通道電晶體及 p 通道電晶體，但是，此個別形成可以省略。在個別形成的情形中，首先形成者可依情形而為 p 通道電晶體及 n 通道電晶體中的任一者。

相對於 p 型矽而言，SBH 為低之材料不應僅限於鉑 (Pt) 及鈀 (Pd)，也可以是銱 (Ir)、鎳 (Ni)、或其金屬矽化物。

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 44 )

相對於 n 型矽而言，SBH 為低之材料不應僅限於  $\text{ErSi}_2$ ，也可以是鉛 ( H.F. )、鉭 ( Ta )、釷 ( Sc ) 或其金屬矽化物。

此外，雖然覆蓋源極 / 汲極區之二半導體層係形成為上層者為矽而下層者為 SiGe，但是它們的疊層次序可以顛倒為下層是 SiGe 而上層是矽。當執行此點時，應小心記得對應於圖 17 的步驟之 SiGe 的選擇性蝕刻成為為相對於 SiGe 的 Si 之選擇性蝕刻。在此情形中，也應改變蝕刻溶液或蝕刻劑。舉例而言，可採用 10-wt% 氨水以便以相對於 SiGe 之增加的選擇性，成功地蝕刻 Si。而且，較佳地，非 SiGe 之 Si 可作為圖 12 的閘材料。假使為此情形時，則與金屬 418、419 接觸的不是 Si 而是 SiGe。因此，可預期所造成的接點電阻率變得較低，特別是在 p 通道電晶體。

雖然，SiGe 的濃度設定為 1:1，但是，本發明不應排他地侷限於此濃度比例。但是，希望 Ge 的濃度以指定程度降低至能夠建立充份的蝕刻選擇性，如同已指出般，在矽上單晶生長時，會因晶格常數差異而產生變形且假使此形變太大則會發生缺陷。

雖然使用 SiGe 作為第二半導體，但是，本發明不限於此。SiGe 可由 SiC 取代。其它類似的材料只要能夠以相當於 SEG 的增進選擇性沈積於矽上並同時提供相對於矽而言具有良好選擇性的蝕刻能力，則均可使用。

將於下參考圖 20-25，說明根據本發明的又一實施例之半導體裝置製造方法。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

## 五、發明說明 ( 45 )

首先，製造圖 20 中所示的裝置結構。此裝置在半導體基板的主表面上具有數個元件隔離區 503、閘絕緣膜(第一介電膜)504、矽膜(第一半導體層)505-506、閘側壁 508、 $\text{SiO}_2$ 介電膜 507、及矽源極/汲極半導體層(第一及第二導電型)第二半導體層 509-510，以淺  $n^+$ 及  $p^+$ 型擴散層 511-512 形成於層 509-510 之下。這些層的製程類似於先前參考圖 3-6 所述之半導體裝置製造方法的處理步驟。

如圖 21 所示， $\text{SiO}_2$ 膜(第二介電膜) 513 會沈積於整個表面上至 100 nm 的厚度。

接著，使用 CMP 方法以移除  $\text{SiO}_2$ 膜 513 的上部，直至閘電極(第一半導體層) 505-506 及源極/汲極半導體層(第二半導體層) 509-510 之上表面均曝露於 n 通道電晶體形成區及 p 通道電晶體形成區中。接著，如圖 22 所示，執行始於表面之熱處理以經由 50nm 的矽膜 505-506 之氧化而形成  $\text{SiO}_2$ 膜 514 直至到達閘電極區之  $\text{TiO}_2$ 膜 504 為止，同時執行氧化以確保 Si 源極/汲極半導體(第二半導體層) 509-510 部份地存在。在此製程中，源極/汲極半導體層 509-510 的表面部份會氧化以致於始於半導體基板界面之厚度 20 nm 的指定部份會留下。此時，希望使用矽的氧化速率與磷(P)及硼(B)摻雜至其中相同的條件。此時，由於氧化係從此雜質摻雜的矽源極/汲極半導體層 509-510 之表面各向同性地進行，所以，會在源極/汲極半導體層 509-510 的表面中形成凹部。

如圖 23 所示，在以微縮影製程，僅於覆蓋 n 通道電晶

(請先閱讀背面之注意事項再寫本頁)

裝  
訂  
線

## 五、發明說明 ( 46 )

體形成區之某部份處，選擇性地形成光阻膜（未顯示）之後，使用選取的含有稀釋的氫氟酸（HF）之溶液，以移除覆蓋 p 通道電晶體形成區的源極／汲極半導體層 510 及閘極絕緣膜 504 之 SiO<sub>2</sub> 膜 514 的選取部份。在此製程步驟，慮及 CVD 形成的 SiO<sub>2</sub> 膜 513 未含雜質，而 SiO<sub>2</sub> 膜 514 於其中含有增加的硼(B)量，所以，導因於稀釋的氫氟酸溶液之蝕刻速率會保持高蝕刻率，允許 SiO<sub>2</sub> 膜 514 如同圖 23 所示般被蝕刻並使 SiO<sub>2</sub> 膜 513 難以被蝕刻。

接著，作為源極／閘極與閘的電極之選取的導電材料之層會沈積於整個表面上。其材料可為金屬或金屬矽化物，或者，特別地，這些材料之蕭基（Schottky）能障高度（SBH）相對於 p 型矽為低，舉例而言，可為鉑（Pt）、PtSi、或鈀（Pd）。此沈積可由 CVD、濺射及其它習知的全表面沈積法之一達成。

如圖 24 所示，以 CMP 技術執行全表面蝕刻直至偵測到 SiO<sub>2</sub> 膜 513 為止。藉由此製程，能夠在形成於源極／汲極半導體層 510 的上表面之凹部中製造源極／汲極電極 515。同時，也能夠在閘絕緣膜 504 的上表面中界定的凹部中形成閘電極 515。

如圖 25 所示，在藉由微縮影製程，僅於覆蓋 p 通道電晶體形成區之某部份處選擇地形成光阻膜（未顯示）之後，使用選取的含稀釋氫氟酸（HF）之溶液以移除覆蓋 n 通道電晶體形成區中的源極／汲極半導體層 514 之 SiO<sub>2</sub> 膜 514 的選取部份。在此製程步驟，慮及 CVD 形成的 SiO<sub>2</sub> 膜 513

（請先閱讀背面之注意事項再寫本頁）

裝

訂

線



## 五、發明說明（47）

未含雜質，而  $\text{SiO}_2$  膜 514 於其中含有增加的磷 (B) 量，所以，導因於稀釋的氫氟酸溶液之蝕刻速率會保持高蝕刻率，允許  $\text{SiO}_2$  膜 514 被蝕刻並使  $\text{SiO}_2$  膜 513 難以被蝕刻。

接著，作為源極 / 閘極與閘的電極之選取的導電材料之層會沈積於整個表面上。此材料可為金屬或金屬矽化物，或者，特別地，這些材料之蕭基 (Schottky) 能障高度 (SBH) 相對於 n 型矽為高。此沈積可由 CVD、濺射及其它習知的全表面沈積法之一達成。

接著，以 CMP 法執行全表面蝕刻直至偵測到  $\text{SiO}_2$  膜 513 為止。藉由此製程，能夠在形成於源極 / 汲極半導體層 509 的上表面之凹部中製造源極 / 汲極電極 217。同時，也能夠在閘絕緣膜 504 的上表面中界定的凹部中形成閘電極 514。

接著，執行一般製程以全表面沈積  $\text{SiO}_2$  膜 (未顯示) 並於其中形成接點孔 (未顯示) 以提供晶片上電導線 (未顯示)，因而形成 LSI。

雖然在此半導體裝置製造方法中，舉例說明，閘絕緣膜 504 係由具有高介電性之  $\text{TiO}_2$  製成，但是，此材料可由其它類似的適當材料取代，包含但不侷限於  $\text{Ta}_2\text{O}_5$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 。

此外，雖然以 MOCVD 法形成  $\text{TiO}_2$  膜，但是，也可以以濺射形成此膜。

選加地，在沈積  $\text{TiO}_2$  膜期間，可採用 200 瓦 (W) 的氙 (Xe) 燈。氙燈可發射波長 300 nm 的近紫外光，其會經過沈

## 五、發明說明 ( 48 )

積設備的窗口而落入晶圓的整個表面。在沈積氣體流動之前此燈即已操作並連續地致動直到所要的沈積製程終止為止。藉由此配置，能夠排除不必要之來自所使用的有機源氣體之 C 及 / 或 H 之混合物，因而能夠沈積具有幾乎完全的  $TiO_2$  組成之膜。

此外，MOCVD 製程所使用的原材料氣體不應侷限於具有上述組合之氣體，也可以是鈦酸乙酯 ( TET ) ( $Ti(OC_2H_5)_4$ ) 或四異丙醇鈦 ( TTIP ) 及氧的混合氣體。在 TTIP 的情形中， $TiO_2$  是可以不用與氧混合即可製造的。或者，有機源可由諸如  $TiCl_4$  等無機源取代。假使為此情形時，則反應溫度需要稍微高點，舉例而言，達到  $600^\circ C$  左右。

此外，閘絕緣膜不應總是由上述高介電膜形成，或者可由  $SiO_2$  或  $SiN$  製成。

在圖 22 的步驟，閘區的多晶矽不應總是完全氧化。留下部份多晶矽會造成閘電極變成如圖 11 所示之金屬及多晶半導體層之多層結構。因此，能夠取得使用 n 型矽之 n 通道電晶體及使用 p 型矽之 p 通道電晶體之表面通道配置並允許閘電極因這些金屬的存在而能提供低電阻率。顯然地，在此情形中，以彼此獨立之方式，將安裝於 n 及 p 之金屬設定在工作函數；因此，能夠使多晶矽與金屬之間的接點電阻率最小。

假使在圖 22 的熱氧化步驟中閘區的多晶矽完全地氧化時，內含不同雜質的多晶矽層 505-506 可設計成包含單種雜

## 五、發明說明 ( 49 )

質(舉例而言，磷擴散的多晶矽)或是設計成未含雜質。但是，在此情形中，在圖 22 的氧化步驟變成難以以同於雜質摻雜矽之速率控制。慮及此點，希望這些層包含相同的雜質。

以 SEG 製程沈積的單晶矽層 505-506 不應僅侷限於摻雜於 CVD 之方式。舉例而言，在 n 通道電晶體形成區及 p 通道電晶體形成區的矽曝露部份，選擇性地預沈積未含雜質之「純」單晶矽，之後執行離子佈植，藉以形成個別的含有雜質之部份。可在製造單晶 Si 之後或者在完成圖 21 的介電膜 513 之 CMP 製程之後，立即執行此離子佈植。此處要注意，由於存在有因離子佈植而發生之點缺陷，所以，難以在稍後的步驟控制雜質擴散，因此，無法精確地控制 pn 接面在基板中處於 10 至 20nm 的範圍內。因此，CVD 同時摻雜法在此情形中被視為更佳的。顯然地，在 CVD 為基礎的摻雜法中，在延著矽的厚度之方向上，雜質量可能不是均勻的。可考慮的一可能變異的實施例係雜質濃度在接近矽基板的部份較高，但在遠離矽基板之部份較低。

可在單晶矽沈積之前，以離子佈植，在 n 通道電晶體形成區與 p 通道電晶體形成區中達成 pn 接面。

在單晶矽選擇沈積期間，為了使其選擇性維持較高，舉例而言，需在接近 800 °C 的溫度中於 CVD 設備內執行 H<sub>2</sub> 退火或真空退火，以移除任何餘留在曝露的矽表面上之自然氧化物膜，因而能夠在矽上可靠地製造具有優良晶性之矽。如此沈積的單晶矽之晶性會於金屬接點電阻率的再現

(請先閱讀背面之注意事項再為本頁)

裝 訂 線

## 五、發明說明 ( 50 )

性上影響所造成的 IC 元件之特性。

用於源極 / 汲極電極或閘電極的電阻率之金屬材料 515-516 可由單種材料製成。假使為此情形時，不再需要在這些彼此獨立的 n 及 p 型部份中形成凹部以便金屬嵌入。這將有利於能夠減少所需的製程步驟數目。在本情形中，將希望採用相對於 n 型矽及 p 型矽而言，SBH 彼此實質相同之某些金屬或金屬矽化物。

個別金屬層 515-516 不應為單層。舉例而言，在配置相對於 n 型及 p 型矽而言 SBH 為低之選取材料之後，諸如 Al、鎢 W 或高貴金屬等低電阻率材料會形成於其上，藉以減少源極 / 汲極或閘之電極的電阻率。

在採用金屬矽化物製程以形成與 Si 直接接觸的金屬矽化物之情形中，這將要求在覆蓋達到其下方 pn 接面之區域中設置具有指定厚度之矽層。為了使此矽層的厚度最小，必須使用某些技術，以形成儘可能薄的金屬矽化物。矽層厚度最小化對於抑制閘電極與源極 / 汲極區之間寄生電容之不必要增加是有效的，同時，取得有關的 IC 元件之高速性能。

圖 22 中所使用的氧化製程步驟不應侷限於使用乾氧之製程，也可為濕氣蒸氣氧化或是使用氧自由基、稀釋氧、氧化氛圍與鹽酸 ( HCl ) 混合氣體之任一方法、等等。

此氧化製程也不應需設計成一次氧化整個所需厚度部份，且可修改成氧化及蝕刻步驟循環重覆多次。

雖然在上述實施例中使用濕蝕刻技術以蝕刻氧化物膜

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 五、發明說明 ( 51 )

，但是，此可由諸如電漿蝕刻法等乾蝕刻技術取代。

雖然在圖 20 中，所沈積的半導體層 509-510 均由單層形成，但是，舉例而言，個別層也可設計成具有使用 SiC 之多層構造。在此情形中，藉由使用氧化速率差異以完全氧化 SiC 層之方法及接著移除其，也能夠增加餘留膜的矽厚度控制能力。

雖然達成製造並留下個別的區域被掩罩以便個別地形成 n 通道電晶體及 p 通道電晶體，但是，此個別形成也可省略。在個別形成的情形中，首先形成者可依情形而為 p 通道電晶體及 n 通道電晶體中的任一者。

相對於 p 型矽而言，SBH 為低之材料不應僅限於鉑 ( Pt ) 及鈮 ( Pd ) ，也可以是銥 ( Ir ) 、鎳 ( Ni ) 、或其金屬矽化物。

相對於 n 型矽而言，SBH 為低之材料不應僅限於  $\text{ErSi}_2$  ，也可以是鈦 ( H.F. ) 、鉭 ( Ta ) 、釷 ( Sc ) 或其金屬矽化物。

圖 25 中所示的場效電晶體係從源極 / 汲極區 511-512 上的結構觀視時，源極 / 汲極半導體層 509-510 各自的側面係形成為此面與半導體基板表面形成銳角。結果，形成這些並防止源極 / 汲極電極與閘電極之間的寄生電容值大幅增加。

由於凹部會形成於源極 / 汲極半導體層的上表面中並有源極 / 汲極電極掩埋於其中，所以，裝置的結構能夠加大所造成的接觸面積，因而能夠減少接點電阻率。顯然地

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

## 五、發明說明 ( 52 )

，形成淺至足以排除短通道效應發生之接點或接面。這將確保所造成的 pn 接面免於因金屬沈積而使漏電流特性惡化之風險。

此外，當考慮 CMOS 結構時，其具有容易採用不同的金屬材料於 p 通道電晶體及 n 通道電晶體之特點。此特點將能夠顯著地一次減少二電晶體之寄生電阻值。

再者，關於閘電極材料，在 n 通道電晶體的情形中，也能夠以功函數接近矽的傳導帶  $E_c$  的邊緣之等級之某些材料實施，而在 p 通道電晶體的情形中，可以以功函數接近矽的共價電子帶  $E_v$  的邊緣之等級之特定材料實施。這將能夠適當地設計電晶體作為均具有通道形成於表面中之 IC 元件並允許它們具有金屬閘結構。因此，此方式能夠提供非常較佳地抑制短通道效應之結構及製程。

將於下參考圖 28-30，說明根據本發明的又一實施例之半導體裝置製造方法。

首先，如圖 28 所示，為了在諸如矽 ( Si ) 製成的半導體基板的主要表面上形成元件隔離區 201，在 Si 基板中「挖出」用於淺溝隔離 (STI) 之溝槽。之後，以 CVD 方法，在整個表面上沈積  $SiO_2$  層。然後，以化學 / 機械 ( CMP ) 拋光技術，以平坦化整個表面。

在以微縮影掩罩 p 通道電晶體形成區及 n 通道電晶體形成區之後，執行離子佈植，以分別形成 n 型井區 703 及 p 型井區 702。

之後，對個別的通道區施加離子佈植，以調整電晶體

(請先閱讀背面之注意事項再寫本頁)

裝  
訂  
線

## 五、發明說明 ( 53 )

的臨界電壓。

經由鈦酸四異丙酯(TPT)( $Ti(OC_3H_7)_4$ )與氧氣的混合氣體在  $380^\circ C$  溫度下之化學反應，將作為閘絕緣膜（第一介電膜）之  $TiO_2$  膜 704 沈積於 Si 基板（半導體基板）的整個表面上至 20 奈米(nm)的厚度。

多晶矽或「多晶 Si」之層（第一半導體層）沈積於閘絕緣膜 704 的整個表面至 50 nm 的厚度。此多晶矽層可以以 CVD 或濺射技術製造。

在使用微縮影製程掩罩 p 通道形成區及 n 通道形成區之後，以離子佈植技術摻雜劑量約  $1 \times 10^{15} \text{ cm}^{-2}$  選取的雜質，此處，選取的雜質為磷(P)或硼(B)。

於整個表面上沈積厚度 20 nm 的  $SiO_2$  膜。其可採用 CVD 或濺射技術。接著，經由退火（在  $800^\circ C$  下氮氣中 30 分鐘）以使摻雜於多晶矽中的雜質活化，藉以在 n 及 p 通道形成區上分別形成  $n^+$  型矽閘電極 705 及  $p^+$  型矽閘電極 706。

之後，使用反應離子技術(RIE)以將閘絕緣膜(第一介電膜)704 及多晶矽閘電極 705-706 以及  $SiO_2$  膜 707 蝕刻成閘極形狀。在此步驟，執行處理以造成閘長度的方向變成  $\langle 100 \rangle$  而非  $\langle 110 \rangle$ 。

在以 CVD 技術於整個表面上沈積 10nm 厚的  $SiO_2$  膜之後，以 RIE 製程，在閘電極(第一半導體層)705-706 的側面上製造閘側壁 708。從閘電極的對應側面量測時，閘側壁 708 均具有約 10nm 的厚度。

(請先閱讀背面之注意事項再  
寫本頁)

裝

訂

線

## 五、發明說明 ( 54 )

如圖 29 所示，在整個表面上沈積 50 nm 厚的 SiN 膜。之後，使用微縮影製程以執行蝕刻，藉以促使 SiN 膜 709 僅存在於覆蓋 p 通道電晶體形成區之選取部份。

經由 600 ° C 下，SiH<sub>4</sub>、PH<sub>3</sub>及 HCl 的混合氣體中之汽相生長，僅在半導體基板的曝露部份 (n 型電晶體形成區) 選擇性地沈積 70 nm 厚的 Si 源極 / 汲極半導體層 (第一導電型的第二半導體層) 710，其含有摻雜濃度  $1 \times 10^{20} \text{ cm}^{-3}$  之磷雜質。在此情形中，由於 SiO<sub>2</sub> 膜 707 存在於閘電極 705 上，所以，未沈積任何矽層；因此，所造成的多晶矽閘 705 及矽源極 / 汲極半導體層 710 會於其上表面上幾乎彼此實質地齊平。

沈積溫度設定為 600 ° C 或更高時會造成所沈積的矽為單晶。因此，與閘側壁接觸的每一部份均具有 {110} 較佳晶向，因而形成晶面。但是，由於在此情形中的矽生長比形成於 {111} 平面上的晶面之情形更快，所以，矽也會生長在閘側壁 708 及 STI 701 上。因此，會使面對閘電極 705 的每一源極 / 汲極半導體層 710 之側面在其下方以減少的厚度與閘側壁 708 接觸，在其上方，與半導體基板表面形成銳角斜度。

之後，藉由使用熱磷酸或是乾蝕刻技術，移除覆蓋 p 通道電晶體形成區之 SiN 膜 709。

如圖 30 所示，在整個表面上沈積 50 nm 厚的 SiN 膜之後，使用微縮影製程以執行蝕刻，藉以促使 SiN 膜 711 僅存在於覆蓋 n 通道電晶體形成區的選取部份。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線



## 五、發明說明 ( 55 )

接著，在  $600^{\circ}\text{C}$  下， $\text{SiH}_4$ 、 $\text{B}_2\text{H}_6$  及  $\text{HCl}$  的混合氣體中，僅在半導體基板的曝露部份 (p 通道電晶體形成區) 選擇性地沈積 70 nm 厚的 Si 源極 / 汲極半導體層 (第二導電型的第二半導體層) 712，其含有摻雜濃度  $1 \times 10^{20} \text{ cm}^{-3}$  之硼 (B) 雜質。在此情形中，由於  $\text{SiO}_2$  膜 707 存在於閘電極 706 上，所以，未沈積矽層；因此，所造成的多晶矽閘電極 706 及矽源極 / 汲極半導體層 712 會於其上表面上幾乎彼此實質地齊平。

注意，此處沈積溫度設定為  $600^{\circ}\text{C}$  或更高時會造成所沈積的矽源極 / 汲極半導體層為單晶。因此，面對閘側壁的個別源極 / 汲極半導體層 712 之指定面會成為 {111} 平面，因而形成晶面。但是，由於在此情形中的矽生長比形成於 {111} 平面上的晶面之情形更快，所以，矽也會生長在閘側壁 708 及 STI 701 上。因此，面對閘電極 705 的每一源極 / 汲極半導體層 712 之側面會於其下方以減少的厚度與閘側壁 708 接觸，在其上方，與半導體基板表面形成銳角斜度。

之後，藉由使用熱磷酸或是乾蝕刻技術，移除覆蓋 p 通道電晶體形成區之  $\text{SiN}$  膜 709。

上述製程之後的製程步驟類似於配合圖 6-10 之上文中所述。

如同上述，具有本發明的原理之半導體裝置能夠設計成防止寄生電容之值因為其源極半導體層及汲極半導體層以銳角與半導體基板接觸之事實而最大地增加。另一顯著優點在於由於凹部係形成於源極 / 汲極半導體層的上表面中，以源極 / 汲極電極掩埋或嵌入於這些凹部中，所以，

(請先閱讀背面之注意事項再  
寫本頁)

裝

訂

線

### 五、發明說明 ( 56 )

增加接觸面積之能力，而減少接點電阻率。

此外，發明的半導體裝置製造方法係在未採用任何選擇性金屬生長技術完成全表面沈積製程之後，以回蝕技術，製造源極／汲極電極及閘電極。結果，在源極／汲極電極之間不再發生電短路，因而能夠改進半導體裝置製造之產能改進。

(請先閱讀背面之注意事項再  
寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 電晶體、半導體裝置及半導體裝置 )  
之製造方法

一種半導體裝置及其製造方法，半導體裝置係具有低通道電阻，即使在  $0.1 \mu\text{m}$  世代或更新世代時，也不會使電晶體特性劣化。提供不使用選取的金屬生長方法以製造所要的源極／汲極電極及閘電極。

在形成閘電極之後，選擇性地在源極／汲極區中，暫時地形成半導體膜。於基板上沈積介電膜，然後，以化學／機械拋光 (CMP) 技術，蝕刻表面至半導體膜曝露於表面上之程度。此時，部份地蝕刻半導體膜直至其延著厚度的中途部份被移除為止。之後，在整個表面上沈積所需的金屬或金屬矽化物。接著，執行 CMP 蝕刻，因而形成電極，並令它們留在源極／汲極半導體層及閘絕緣層上。

英文發明摘要(發明之名稱： TRANSISTOR, SEMICONDUCTOR DEVICE AND )  
MANUFACTURING METHOD OF SEMICONDUCTOR  
DEVICE

There is provided a semiconductor device having low channel resistance without degrading transistor characteristics even for  $0.1 \mu\text{m}$  generation or later, and also a manufacturing method of the device. A technique is also provided for fabricating the intended source/drain electrodes and gate electrode without the use of selective metal growth methods.

After forming the gate electrode, a semiconductor film is temporarily formed selectively in source/drain regions. A dielectric film is deposited on the substrate and then, the surface is etched by chemical/mechanical polish (CMP) techniques to the extent that the semiconductor film is exposed on the surface. At this time the semiconductor film is partly etched until its midway portion along the thickness is removed away. Thereafter, a desired metal or silicide is deposited on the entire surface. Next, CMP etching is carried out, thus forming electrodes while letting them reside on or over the source/drain semiconductor layers and a gate insulation layer.

(請先閱讀背面之注意事項再填  
本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種電晶體，包括：

半導體基板；

閘絕緣膜，形成於半導體基板上；

閘電極，形成於閘絕緣膜上；

通道區，形成於閘絕緣膜下方之半導體基板中；

源極區與汲極區，於半導體基板中形成為彼此間隔並設置成使得通道區置於源極與汲極區之間；

源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部及在面對閘電極之源極半導體層的側面與半導體基板的表面之間界定的角度係形成銳角；

汲極半導體層，形成於汲極區上，在汲極半導體層的上部具有凹部及在面對閘電極之汲極半導體層的側面與半導體基板的表面之間界定的角度係形成銳角；

源極電極，形成於源極半導體層的上部之凹部處；及

汲極電極，形成於汲極半導體層的上部之凹部處。

2. 如申請專利範圍第1項之電晶體，其中，所界定的角度為 $10^\circ$ 或更大及 $80^\circ$ 或更小。

3. 如申請專利範圍第1項之電晶體，其中，所界定的角度為 $20^\circ$ 或更大及 $70^\circ$ 或更小。

4. 如申請專利範圍第1項之電晶體，其中，閘絕緣膜係由選自金屬氧化物、金屬氮化物、金屬氮氧化物及矽酸鹽之材料製成。

5. 如申請專利範圍第1項之電晶體，其中，源極半導體層及汲極半導體層分別與源極電極及汲極電極相接觸

## 六、申請專利範圍

之表面係由各向異性蝕刻所形成。

6. 如申請專利範圍第 1 項之電晶體，其中，源極半導體層及汲極半導體層分別與源極電極及汲極電極相接觸之表面係由各向同性蝕刻形成。

7. 一種半導體裝置，包括：

共用的半導體基板；

n 通道 MISFET，在共用半導體基板上，包含，  
閘絕緣膜，形成於共用半導體基板上，  
閘電極，形成於閘絕緣膜上，  
通道區，形成於閘絕緣膜下方之共用半導體基板中，  
源極區與汲極區，於共用半導體基板中形成為彼此間隔並設置成造成通道區置於源極區與汲極區之間，

源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部，及在面對閘電極之源極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

汲極半導體層，形成於汲極區上，在汲極半導體層的上部具有凹部及在面對閘電極之汲極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

源極電極，形成於源極半導體層的上部之凹部，及

汲極電極，形成於汲極半導體層的上部之凹部；及

p 通道 MISFET，在共用半導體基板上，包含，

閘絕緣膜，形成於共用半導體基板上，

閘電極，形成於閘絕緣膜上，

通道區，形成於閘絕緣膜下方之共用半導體基板中，

## 六、申請專利範圍

源極區與汲極區，於共用半導體基板中形成為彼此間隔並設置成造成通道區置於源極區與汲極區之間，

源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部，及在面對閘電極之源極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

汲極半導體層，形成於汲極區上，在汲極半導體層的上部具有凹部及在面對閘電極之汲極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

源極電極，形成於源極半導體層的上部之凹部，及

汲極電極，形成於汲極半導體層的上部之凹部，

其中，n通道MISFET的源極電極與汲極電極與p通道MISFET的源極電極及汲極電極係不同的材料。

8. 一種半導體裝置，包括：

共用的半導體基板；

n通道MISFET，在共用半導體基板上，包含，

閘絕緣膜，形成於共用半導體基板上，

閘電極，形成於閘絕緣膜上，

通道區，形成於閘絕緣膜下方之共用半導體基板中，

源極區與汲極區，於共用半導體基板中形成為彼此間隔並設置成造成通道區置於源極區與汲極區之間，

源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部，及在面對閘電極之源極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

汲極半導體層，形成於汲極區上，在汲極半導體層的

## 六、申請專利範圍

上部具有凹部及在面對閘電極之汲極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

源極電極，形成於源極半導體層的上部之凹部，及

汲極電極，形成於汲極半導體層的上部之凹部；及

p 通道 MISFET，在共用半導體基板上，包含，

閘絕緣膜，形成於共用半導體基板上，

閘電極，形成於閘絕緣膜上，

通道區，形成於閘絕緣膜下方之共用半導體基板中，

源極區與汲極區，於共用半導體基板中形成為彼此間隔並設置成造成通道區置於源極區與汲極區之間，

源極半導體層，形成於源極區上，在源極半導體層的上部具有凹部，及在面對閘電極之源極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

汲極半導體層，形成於汲極區上，在汲極半導體層的上部具有凹部及在面對閘電極之汲極半導體層的側面與共用半導體基板的表面之間界定的角度係形成銳角，

源極電極，形成於源極半導體層的上部之凹部，及

汲極電極，形成於汲極半導體層的上部之凹部，

其中，n 通道 MISFET 的閘電極與 p 通道 MISFET 的閘電極係不同的材料。

9. 一種製造半導體裝置之方法，包括：

在半導體基板上形成第一介電膜；

在第一介電膜上沈積第一半導體層；

將第一介電膜及第一半導體層圖型化；

## 六、申請專利範圍

在半導體基板的主表面上形成第一和第二導電型之第二半導體層；

在第一介電膜、第一半導體層、以及第二半導體層上，沈積第二介電膜；

移除第二介電膜直至第一半導體層及第二半導體層的上表面出現為止；

移除第一半導體層及第二半導體層並使第二半導體層的至少部份留下；及

於第二半導體層上沈積金屬或金屬矽化物。

10．如申請專利範圍第9項之製造半導體裝置之方法，其中，在沈積第一及第二導電型的第二半導體層時，以含有碳之膜遮蓋n型場效電晶體及p型場效電晶體中任一者之場效電晶體形成區。

11．如申請專利範圍第9項之製造半導體裝置之方法，其中，在沈積第一及第二導電型的第二半導體層時，以含有氮化物之膜遮蓋n型場效電晶體及p型場效電晶體中任一者之場效電晶體形成區。

12．一種製造半導體裝置之方法，包括：

在半導體基板上形成第一介電膜；

在第一介電膜上沈積第一半導體層；

將第一介電膜及第一半導體層圖型化；

在半導體基板的主表面上形成第一和第二導電型之第二半導體層；

在第二半導體層上，形成組成不同於第二半導體層之



## 六、申請專利範圍

第一及第二導電型的第三半導體層；

在第一介電膜、第一半導體層、第二半導體層及第三半導體層上，沈積第二介電膜；

移除第二介電膜直至第一半導體層及第三半導體層的上表面出現為止；

移除第一半導體層及第三半導體層直至第二半導體層的表面出現為止；及

於第二半導體層的上表面上沈積金屬或金屬矽化物。

1 3 . 如申請專利範圍第 1 2 項之製造半導體裝置之方法，在沈積第一及第二導電型的第二半導體層時，以含有碳之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

1 4 . 如申請專利範圍第 1 2 項之製造半導體裝置之方法，在沈積第一及第二導電型的第二半導體層時，以含有氮化物之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

1 5 . 一種製造半導體裝置之方法，包括：

在半導體基板上形成第一介電膜；

在第一介電膜上沈積第一半導體層；

將第一介電膜及第一半導體層圖型化；

在半導體基板的主表面上形成第一和第二導電型之第二半導體層；

在第一介電膜、第一半導體層及第二半導體層上，沈積第二介電膜；

## 六、申請專利範圍

移除第二介電膜直至第一半導體層及第二半導體層的上表面出現為止；

氧化第一半導體層及第二半導體層並使至少部份第二半導體層留下；

移除第一半導體層及第二半導體層之氧化部份；及於第二半導體層上沈積金屬或金屬矽化物。

1 6 . 如申請專利範圍第 1 5 項之製造半導體裝置之方法，其中，在沈積第一及第二導電型的第二半導體層時，以含有碳之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

1 7 . 如申請專利範圍第 1 5 項之製造半導體裝置之方法，其中，在沈積第一及第二導電型的第二半導體層時，以含有氮化物之膜遮蓋 n 型場效電晶體及 p 型場效電晶體中任一者之場效電晶體形成區。

1 8 . 一種製造半導體裝置之方法，包括：

在半導體基板上形成第一介電膜；

在第一介電膜上沈積第一半導體層；

將第一介電膜及第一半導體層圖型化；

在半導體基板的主表面上形成第一和第二導電型之第二半導體層；

在第二半導體層上形成組成不同於第二半導體層之第一及第二導電型的第三半導體層；

在第一介電膜、第一半導體層、第二半導體層及第三半導體層上，沈積第二介電膜；

## 六、申請專利範圍

移除第二介電膜直至第一半導體層及第三半導體層的上表面出現為止；

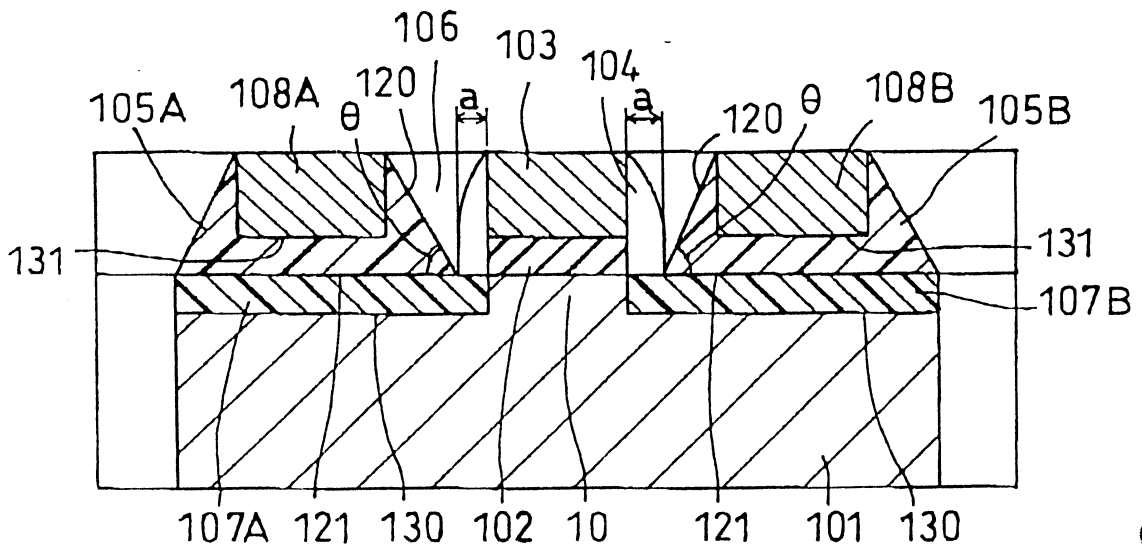
氧化第一半導體層及第三半導體層；

移除第一半導體層及第三半導體層直至第二半導體層的上表面出現為止；及

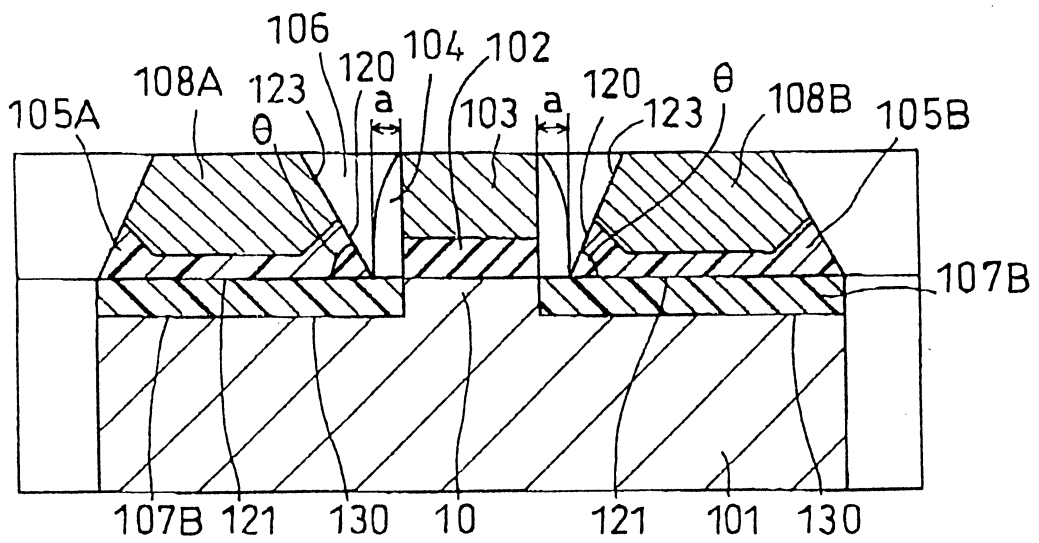
於第二半導體層上沈積金屬或金屬矽化物。

19. 如申請專利範圍第18項之製造半導體裝置之方法，其中，在沈積第一及第二導電型的第二半導體層時，以含有碳之膜遮蓋n型場效電晶體及p型場效電晶體中任一者之場效電晶體形成區。

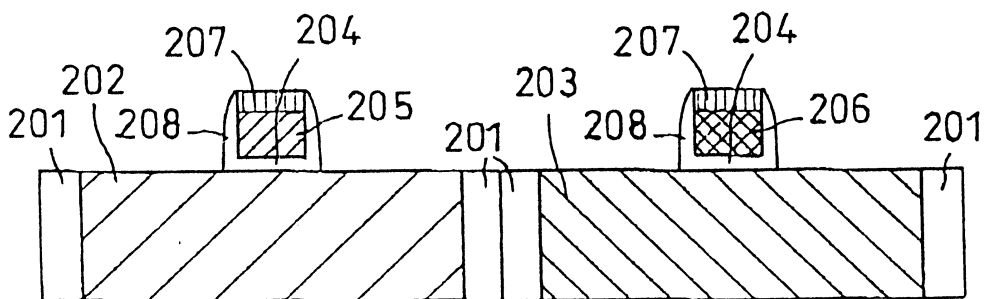
20. 如申請專利範圍第18項之製造半導體裝置之方法，其中，在沈積第一及第二導電型的第二半導體層時，以含有氮化物之膜遮蓋n型場效電晶體及p型場效電晶體中任一者之場效電晶體形成區。



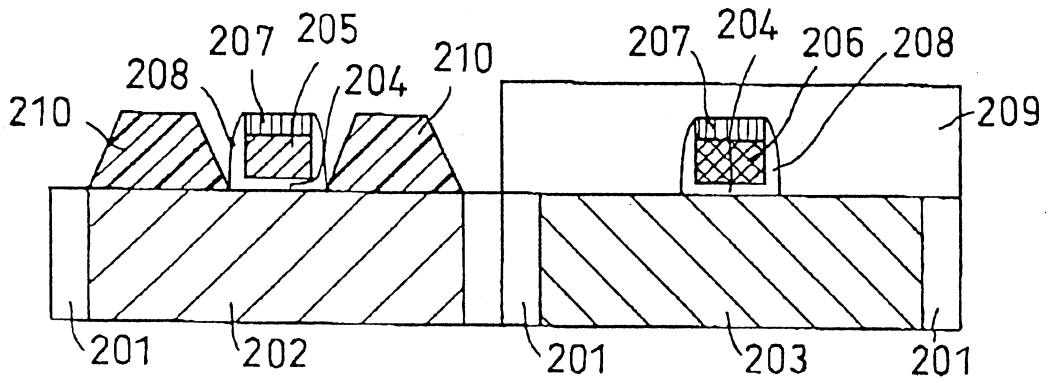
第 1 圖



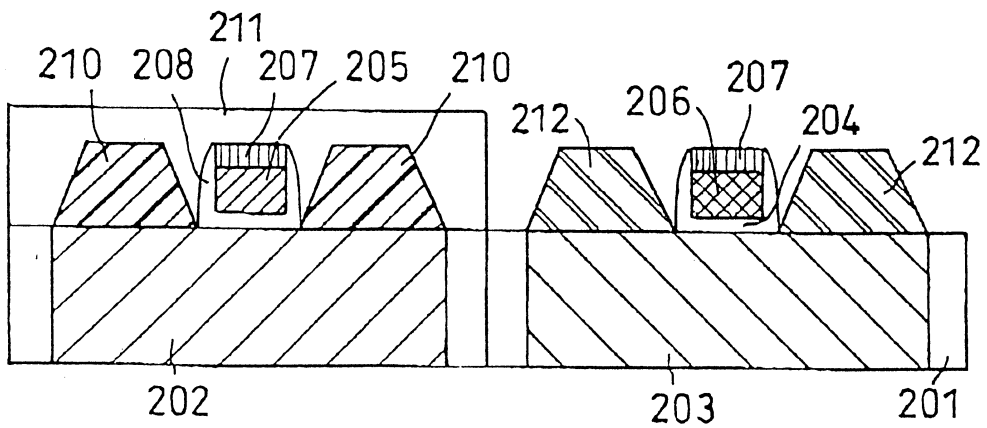
第 2 圖



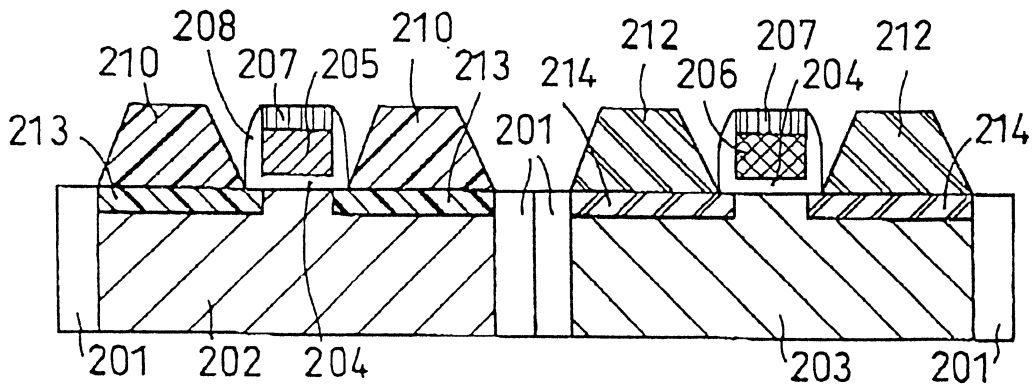
第 3 圖



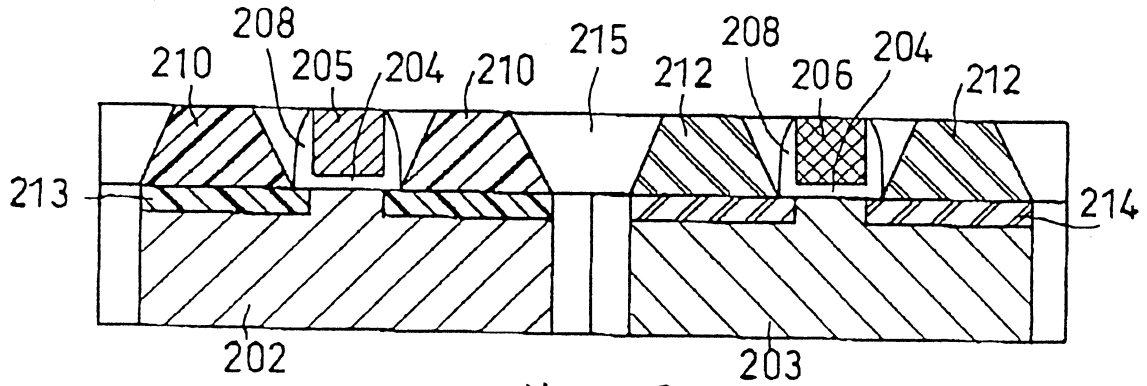
第 4 圖



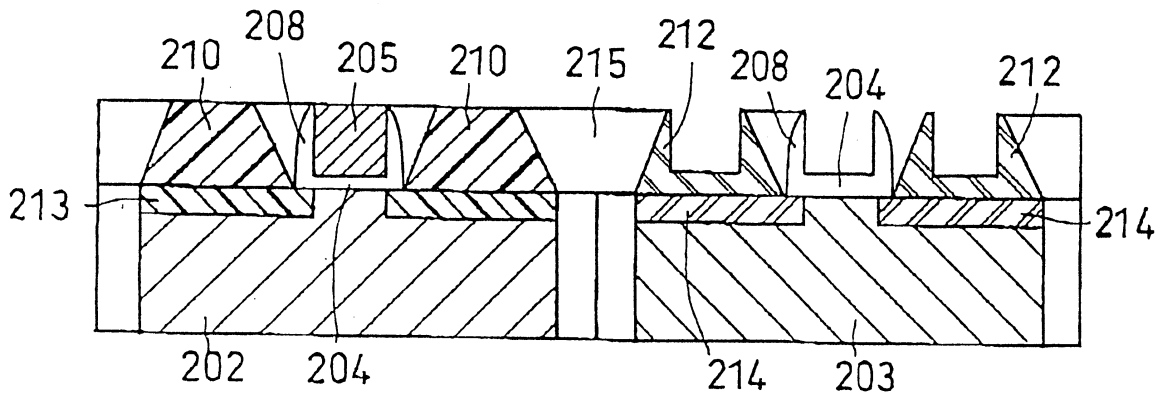
第 5 圖



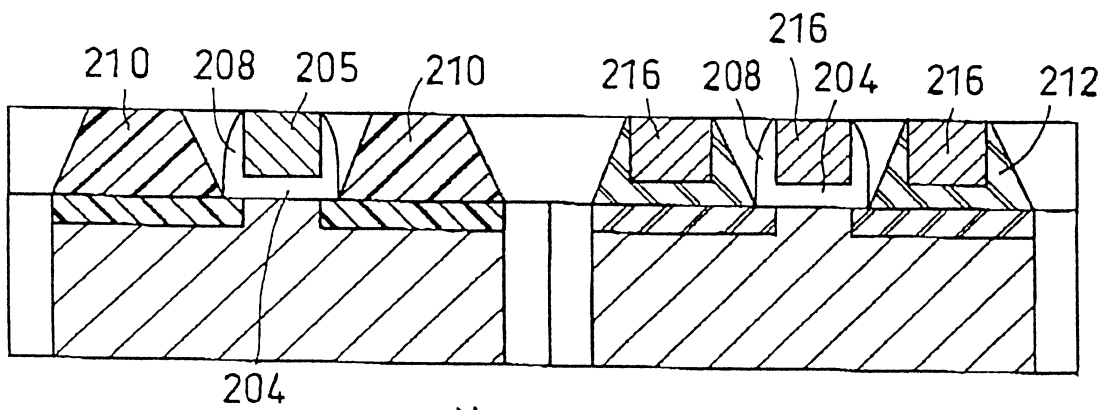
第 6 圖



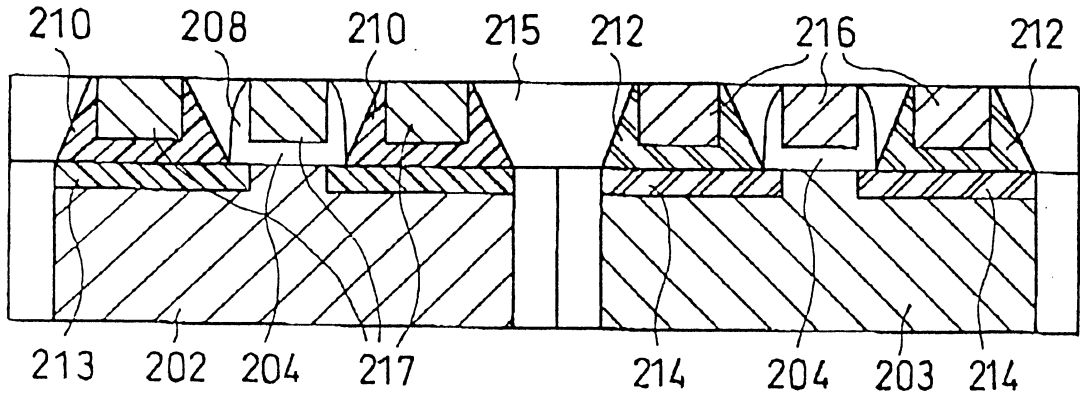
第 7 圖



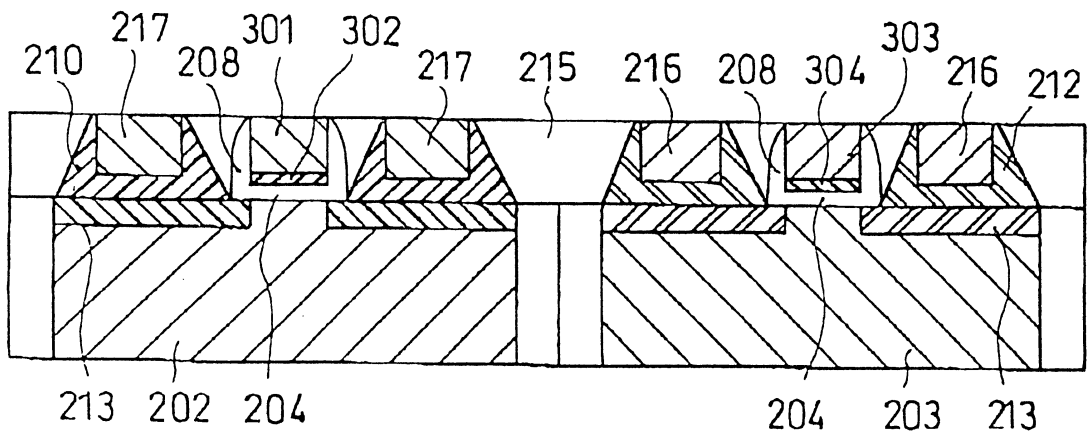
第 8 圖



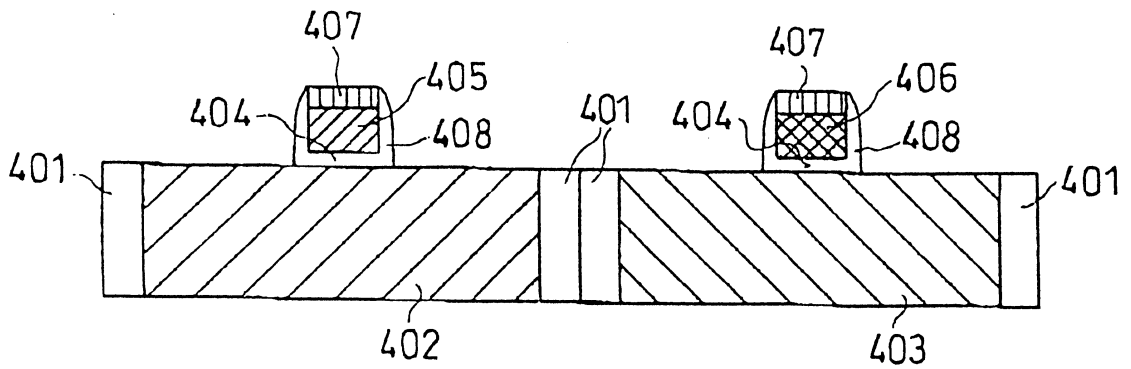
第 9 圖



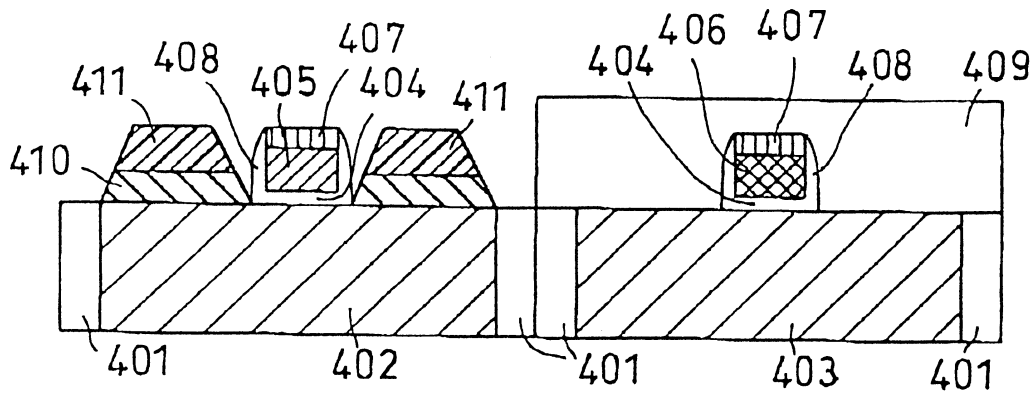
第 10 圖



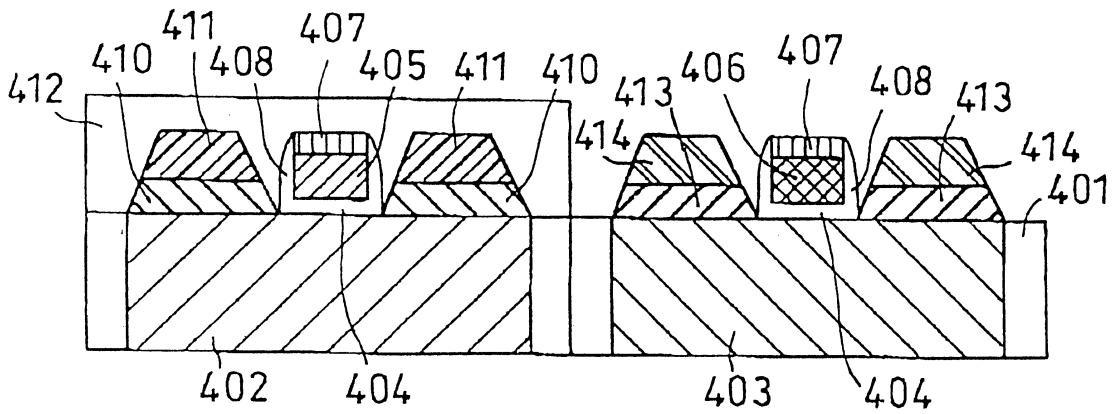
第 11 圖



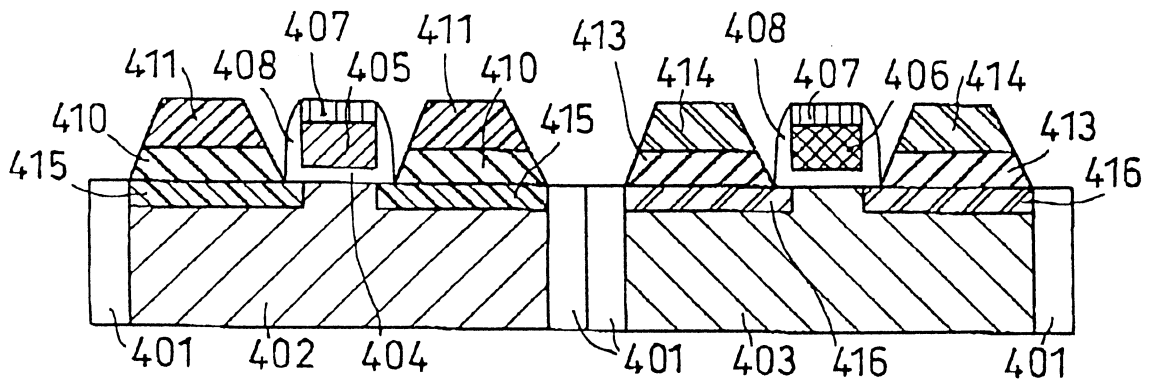
第 12 圖



第 13 圖

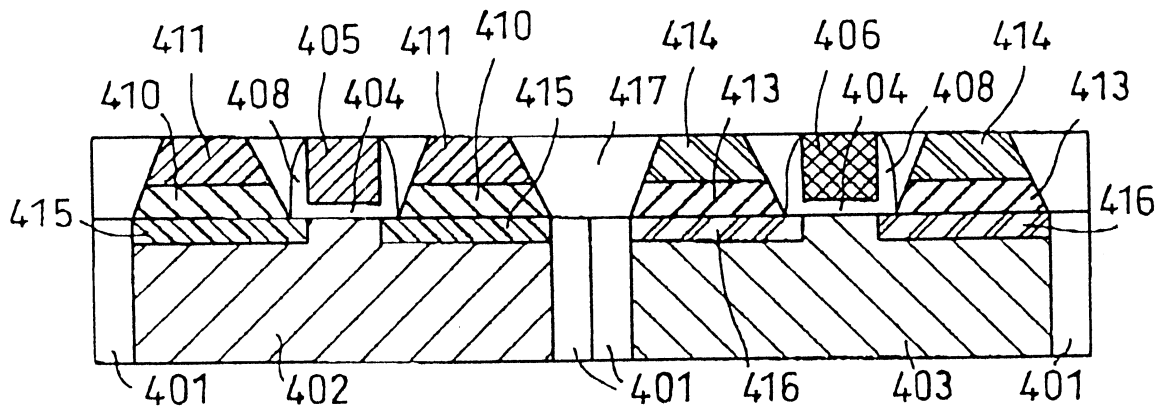


第 14 圖

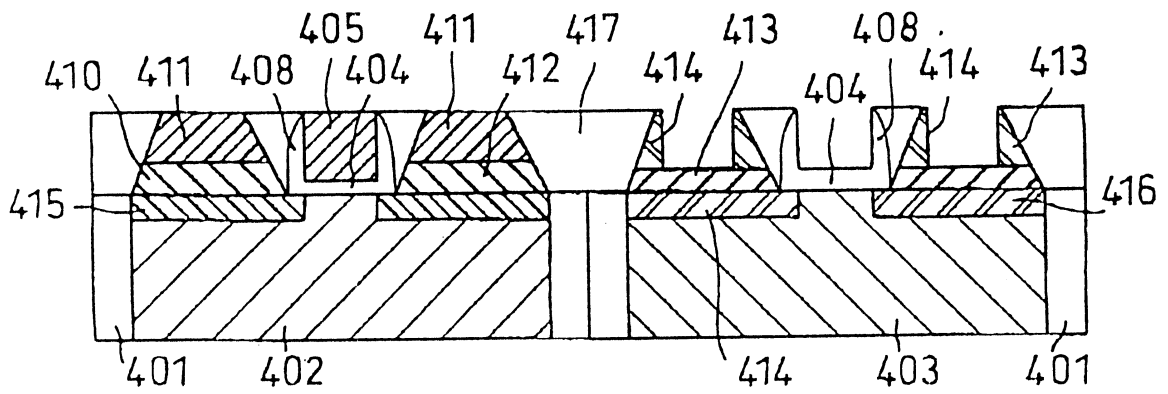


第 15 圖

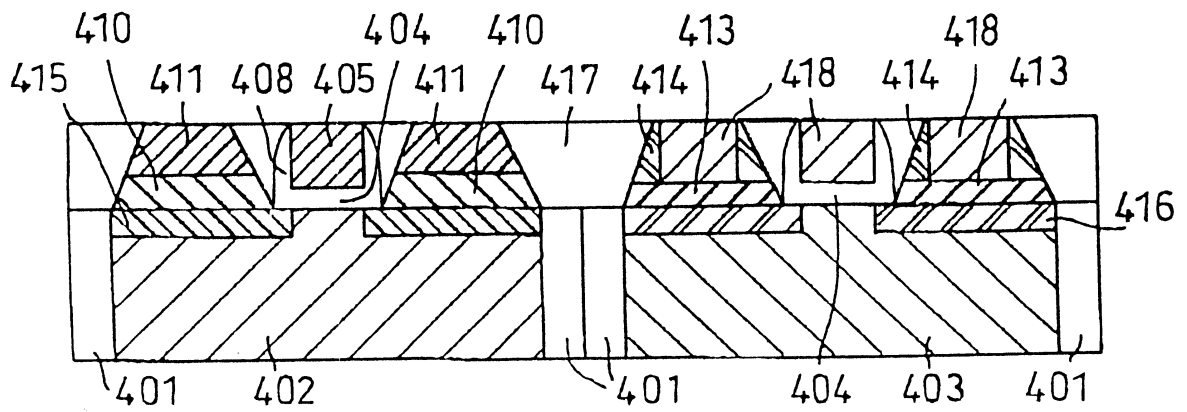




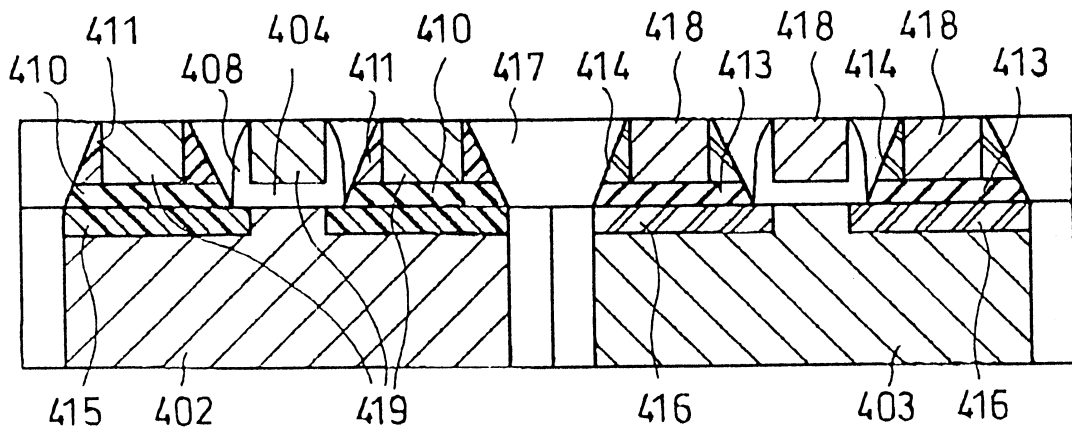
第 16 圖



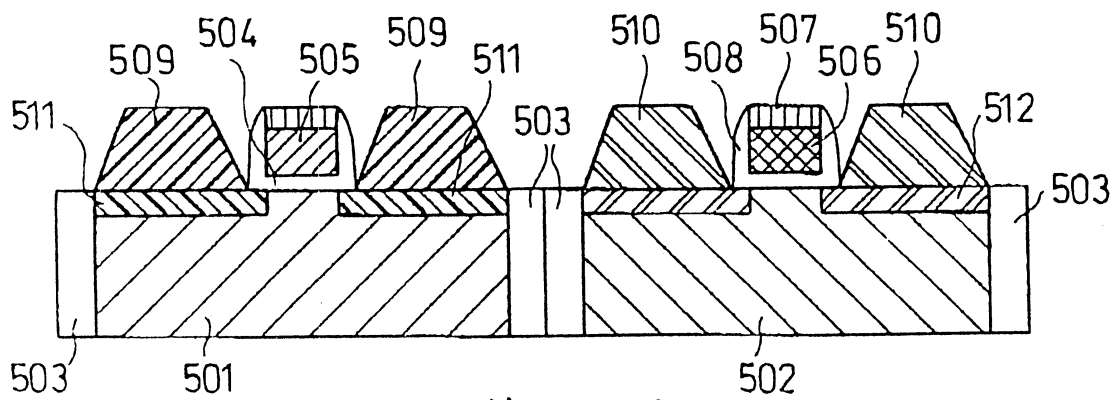
第 17 圖



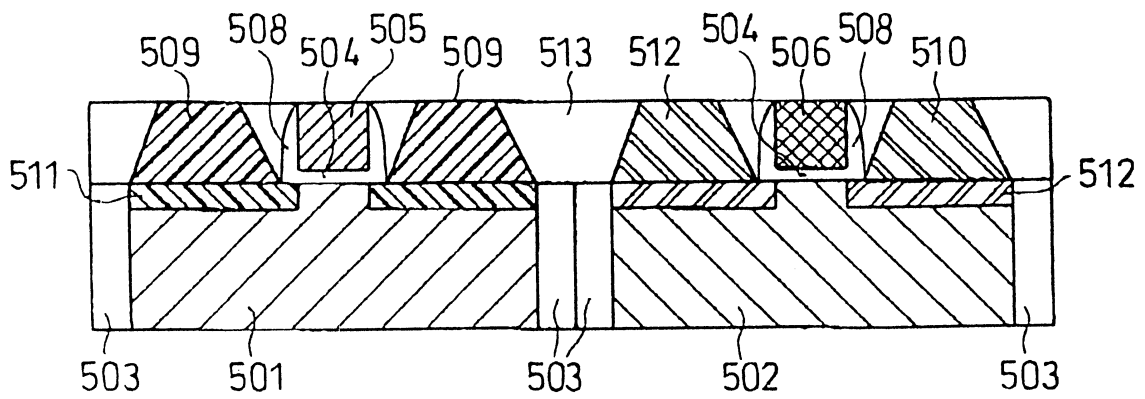
第 18 圖



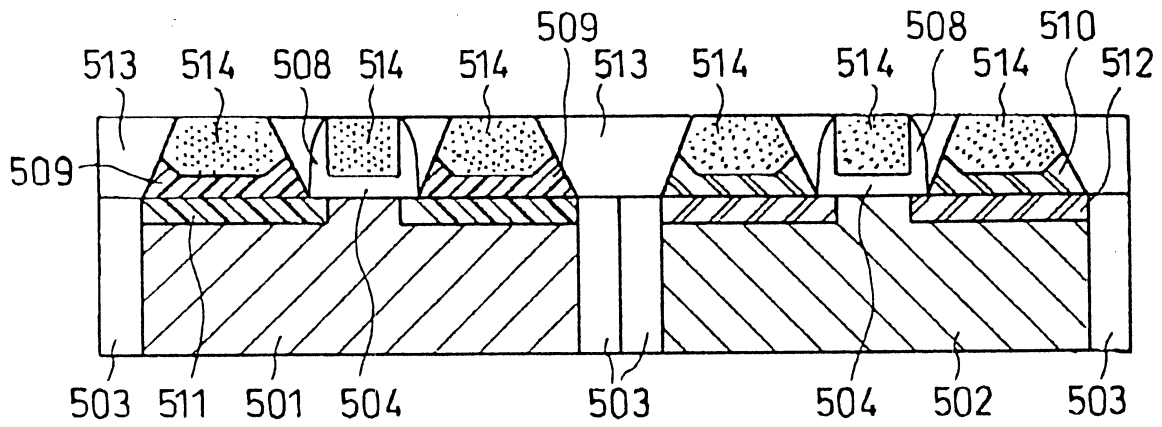
第 19 圖



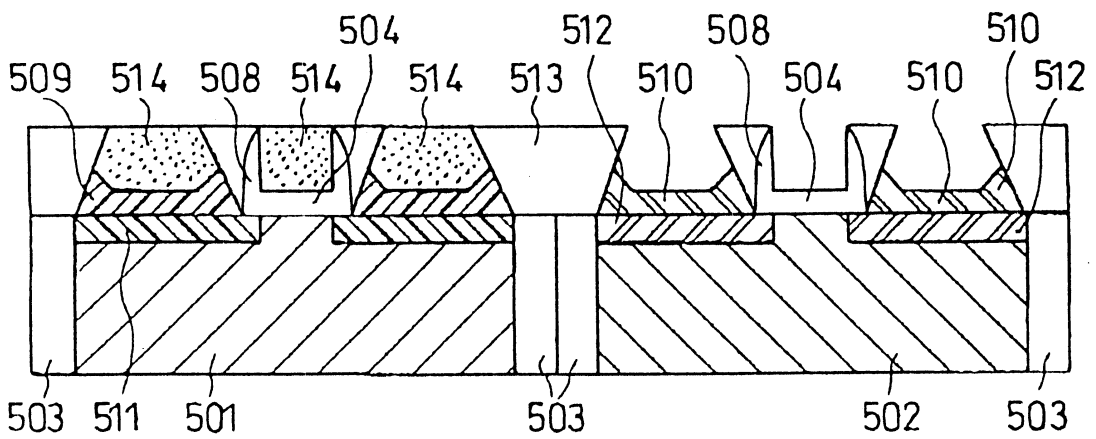
第 20 圖



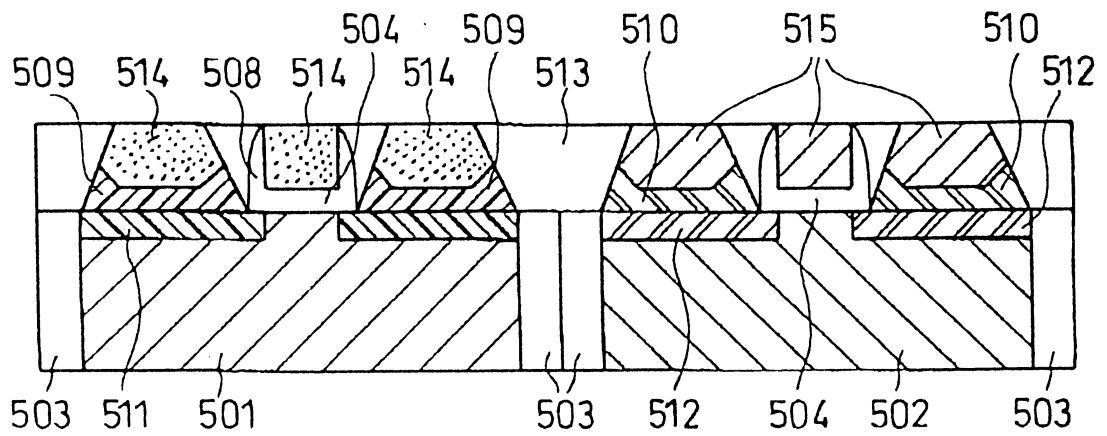
第 21 圖



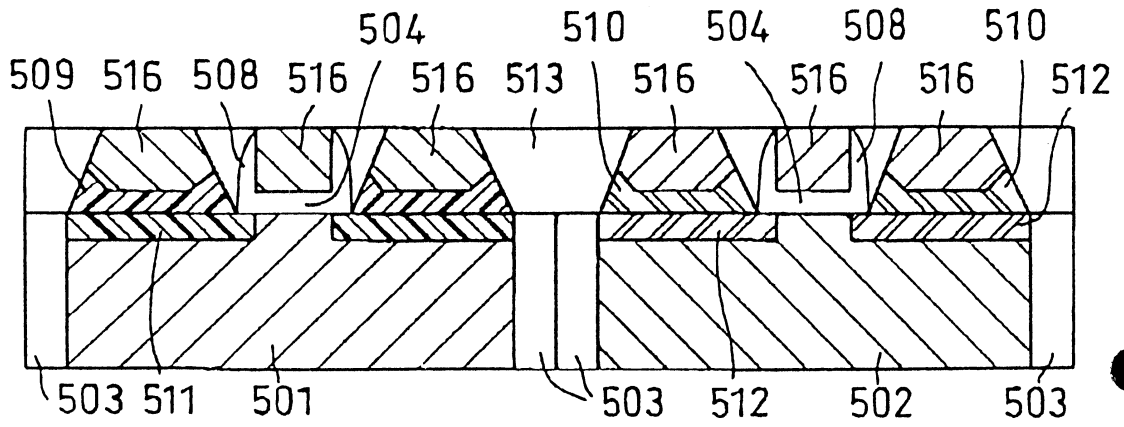
第 22 圖



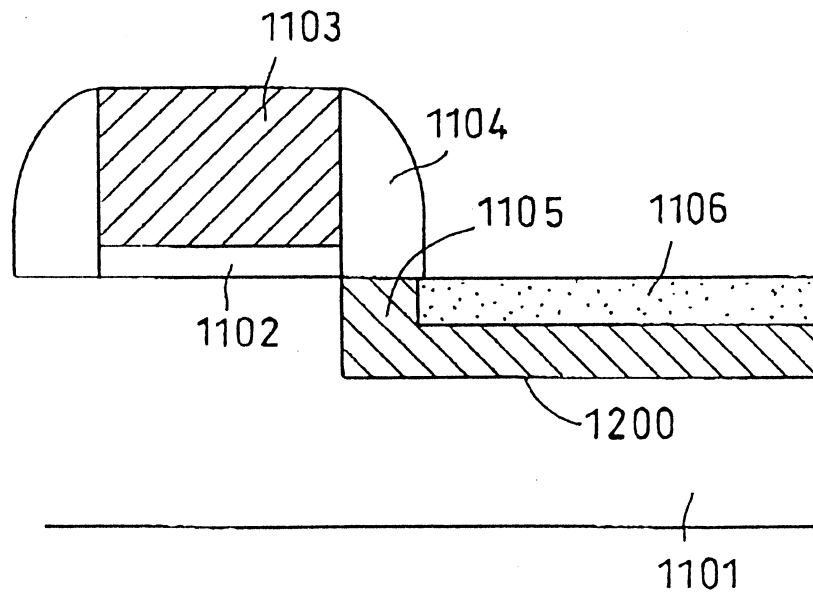
第 23 圖



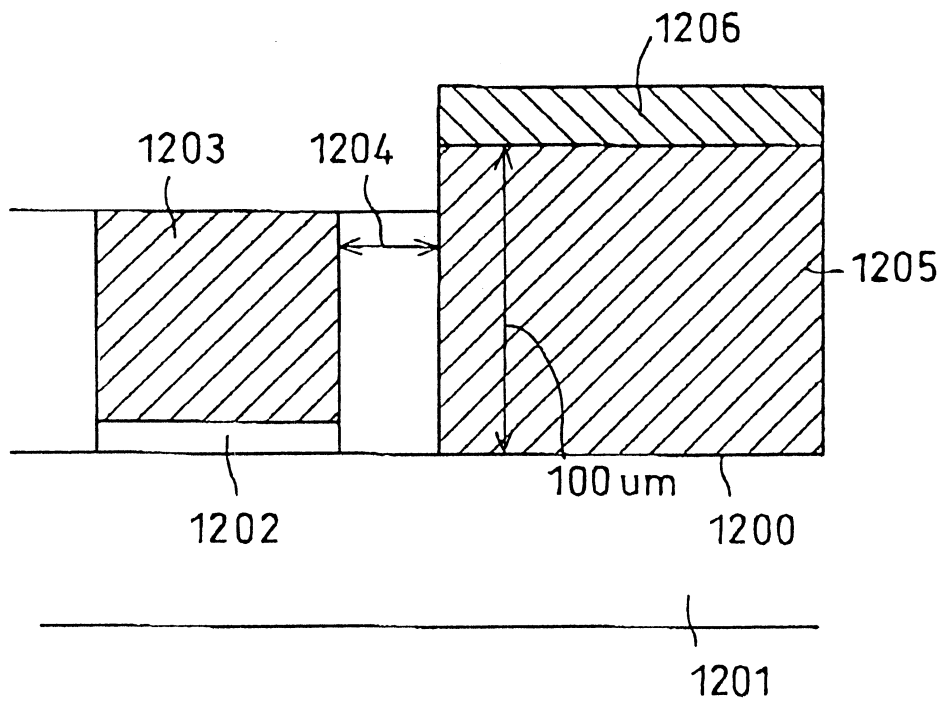
第 24 圖



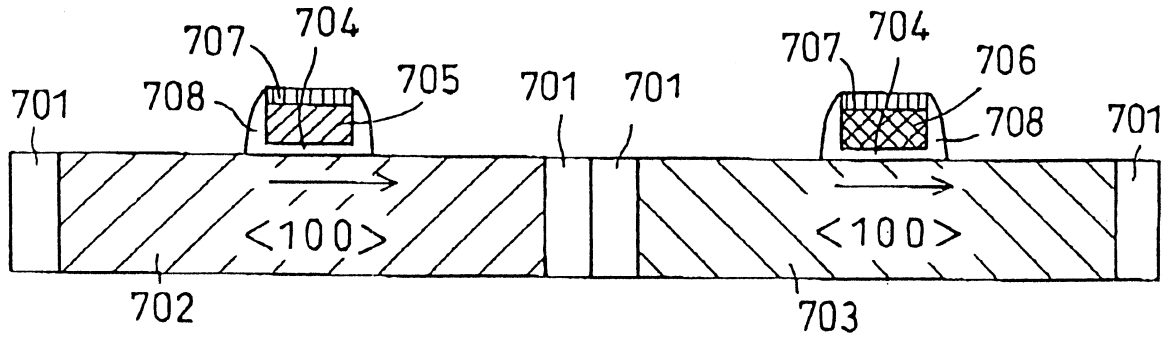
第 25 圖



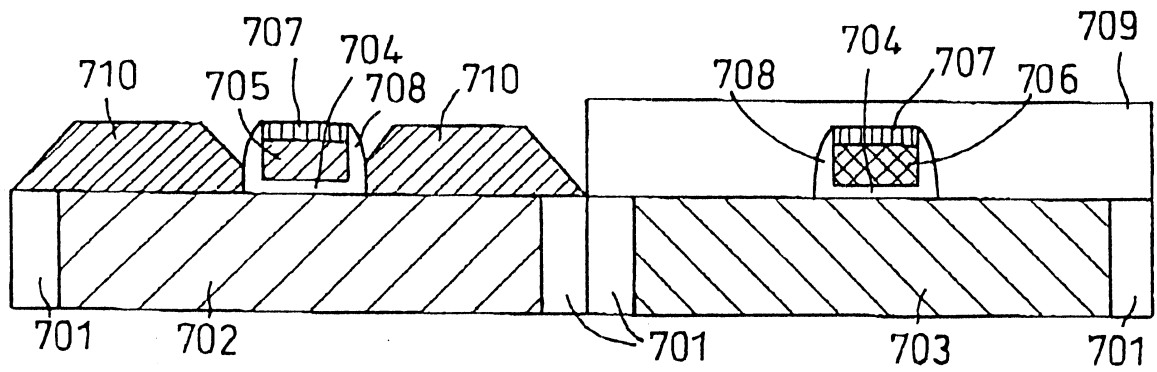
第 26 圖



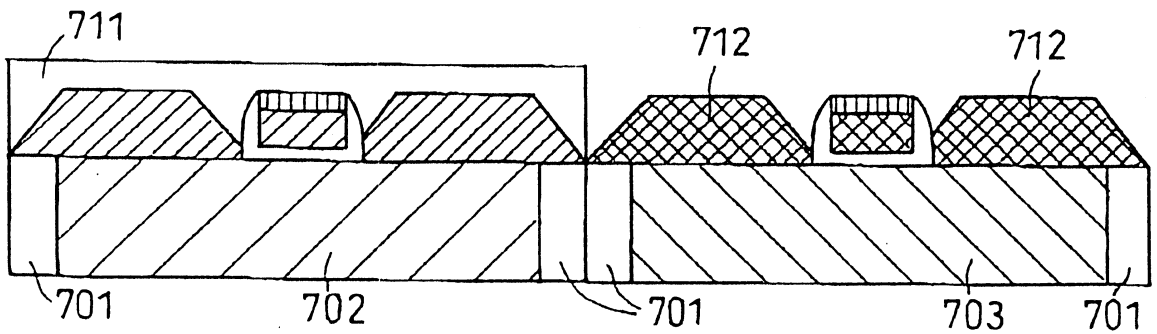
第 27 圖



第 28 圖



第 29 圖



第 30 圖