



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월31일  
(11) 등록번호 10-2561095  
(24) 등록일자 2023년07월25일

(51) 국제특허분류(Int. Cl.)  
G11C 7/10 (2021.01) G11C 8/18 (2015.01)  
(52) CPC특허분류  
G11C 7/1006 (2013.01)  
G11C 7/1015 (2013.01)  
(21) 출원번호 10-2016-0045604  
(22) 출원일자 2016년04월14일  
심사청구일자 2021년04월07일  
(65) 공개번호 10-2017-0117776  
(43) 공개일자 2017년10월24일  
(56) 선행기술조사문헌  
KR1020150124751 A\*  
(뒷면에 계속)

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
김도현  
경기도 수원시 영통구 영통로514번길 52 황골마을  
주공1단지아파트 141동 901호  
신범주  
경기도 수원시 영통구 태장로82번길 32 동수원엘  
지빌리지1차 103동 1305호  
(74) 대리인  
김성남

전체 청구항 수 : 총 2 항

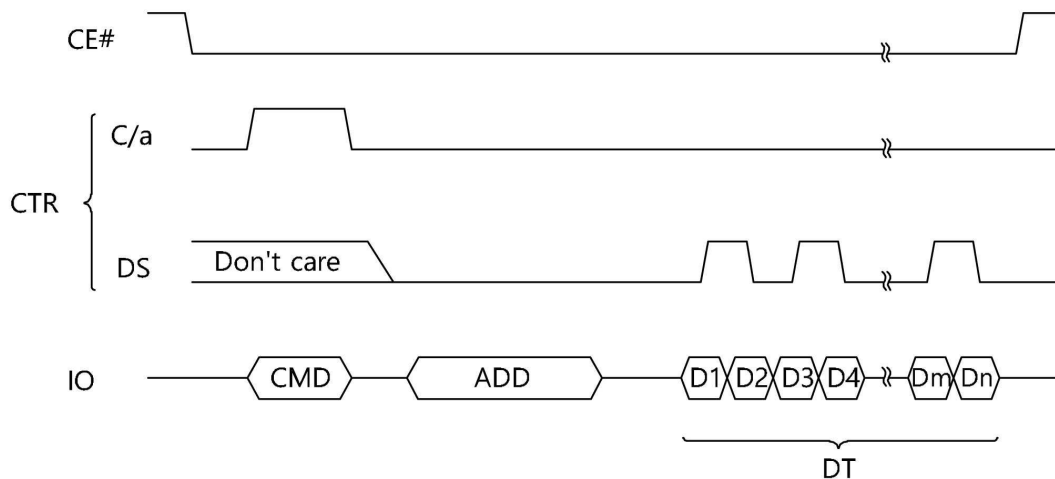
심사관 : 박소정

(54) 발명의 명칭 반도체 메모리 장치의 동작 방법

(57) 요약

본 발명은 제어 신호에 근거하여 입출력 신호를 수신하는 반도체 메모리 장치의 동작 방법에 관한 것이다. 상기 반도체 메모리 장치의 동작 방법은, 커맨드, 어드레스 및 데이터를 포함하는 입출력 신호들을 입출력 라인들을 통해서 수신하고, 그리고 제1 제어 신호와 제2 제어 신호를 수신하되, 상기 제2 제어 신호의 상태와는 무관하게 활성화된 제1 제어 신호를 수신할 때, 상기 입출력 라인들을 통해서 수신된 입출력 신호들을 커맨드로 인식한다.

대표도 - 도4



(52) CPC특허분류

*G11C 8/06* (2013.01)

*G11C 8/18* (2013.01)

(56) 선행기술조사문헌

KR100617334 B1

KR1020030057642 A

KR1020060036327 A

US20060092754 A1

US20080106967 A1

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

커맨드, 어드레스 및 데이터를 포함하는 입출력 신호들을 입출력 라인들을 통해서 수신하고, 그리고

제1 제어 신호와 제2 제어 신호를 수신하되,

상기 제2 제어 신호의 상태와는 무관하게, 활성화된 제1 제어 신호를 수신할 때, 상기 입출력 라인들을 통해서 수신된 입출력 신호들을 커맨드로 인식하고,

비활성화된 제1 제어 신호와, 비활성화된 제2 제어 신호를 수신할 때, 상기 입출력 라인들을 통해서 수신된 입출력 신호들을 어드레스로 인식하며,

상기 제2 제어 신호는 상기 입출력 라인들을 통해서 전송되는 입출력 신호들이 데이터라는 것을 인식시키기 위해서 외부 장치로부터 송신되는 반도체 메모리 장치의 동작 방법.

#### 청구항 2

삭제

#### 청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

비활성화된 제1 제어 신호를 수신하고, 토글되는 제2 제어 신호를 수신할 때, 상기 입출력 라인들을 통해서 수신된 입출력 신호들을 데이터로 인식하는 반도체 메모리 장치의 동작 방법.

#### 청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제3항에 있어서,

상기 제2 제어 신호가 토글될 때마다 상기 입출력 라인들을 통해서 하나의 데이터를 수신하는 반도체 메모리 장치의 동작 방법.

#### 청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1 제어 신호는 상기 입출력 라인들을 통해서 전송되는 입출력 신호들이 커맨드인지 어드레스인지를 인식시키기 위해서 상기 외부 장치로부터 송신되는 반도체 메모리 장치의 동작 방법.

#### 청구항 6

삭제

#### 청구항 7

제1 제어 신호와 제2 제어 신호를 수신하고,

입출력 신호들을 수신하고, 그리고

상기 제1 제어 신호와 상기 제2 제어 신호의 조합에 따라서, 상기 입출력 신호들을 커맨드, 어드레스 및 데이터 중에서 어느 것인지 인식하되,

상기 제1 제어 신호와 상기 제2 제어 신호가 비활성화될 때, 상기 입출력 신호들을 어드레스로 인식하며,

상기 제2 제어 신호는 입출력 라인들을 통해서 전송되는 상기 입출력 신호들이 데이터라는 것을 인식시키기 위해서 외부 장치로부터 송신되는 반도체 메모리 장치의 동작 방법.

**청구항 8**

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제7항에 있어서,

상기 제2 제어 신호의 상태와는 무관하게, 상기 제1 제어 신호가 활성화될 때, 상기 입출력 신호를 상기 커맨드로 인식하는 반도체 메모리 장치의 동작 방법.

**청구항 9**

삭제

**청구항 10**

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제7항에 있어서,

상기 제1 제어 신호가 비활성화되고, 상기 제2 제어 신호가 토글될 때, 상기 입출력 신호들을 데이터로 인식하는 반도체 메모리 장치의 동작 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 제어 신호에 근거하여 입출력 신호를 수신하는 반도체 메모리 장치의 동작 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 메모리 장치는 일반적으로 휘발성 메모리 장치와 불휘발성 메모리 장치로 분류된다. 휘발성 메모리 장치는 전원이 차단될 때 저장된 데이터를 잃지만, 불휘발성 메모리 장치는 전원이 차단되더라도 저장된 데이터를 보존할 수 있다.

[0003] 휘발성 메모리 장치는 메모리 셀의 구조에 따라서 커패시터를 이용한 다이내믹 램(Dynamic RAM: DRAM) 그리고 플립플롭(flip-flop)을 이용한 스태틱 램(Static RAM: SRAM) 등을 포함할 수 있다.

[0004] 불휘발성 메모리 장치는 메모리 셀의 구조에 따라서 플래시 메모리 장치, 강유전체 커패시터를 이용한 강유전체 램(Ferroelectric RAM: FRAM), 터널알(Tunneling Magneto-Resistive: TMR) 막을 이용한 마그네틱 램(Magnetic RAM: MRAM), 그리고 칼코겐 화합물(chalcogenide alloys)을 이용한 상 변화 메모리 장치(phase change memory device), 전이 금속 산화물(transition metal oxide)을 이용한 저항 메모리 장치(resistive RAM: RRAM) 등을 포함할 수 있다.

[0005] 반도체 메모리 장치는 컨트롤러로부터 제공된 제어 신호에 따라서 동작할 수 있다. 반도체 메모리 장치를 제어하기 위한 제어 신호는 반도체 메모리 장치마다 달리 정의 또는 규약될 수 있다. 반도체 메모리 장치를 제어하기 위한 제어 신호가 많을수록, 반도체 메모리 장치는 제어 신호를 수신하기 위한 외부 접속 단자의 수가 많아져야 한다. 반대로, 반도체 메모리 장치를 제어하기 위한 제어 신호가 적을수록, 반도체 메모리 장치는 제어 신호를 수신하기 위한 외부 접속 단자의 수가 줄어들 수 있다. 제어 신호의 수가 감소되면, 레이아웃(layout) 간소화되는 이점이 있지만, 제어 동작이 복잡해지는 단점이 있을 수 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명의 실시 예는 제어 신호를 수신하기 위한 외부 접속 단자의 수가 감소된 반도체 메모리 장치를 제공하는

데 있다.

**과제의 해결 수단**

[0007] 본 발명의 실시 예에 따른 반도체 메모리 장치의 동작 방법은, 커맨드, 어드레스 및 데이터를 포함하는 입출력 신호들을 입출력 라인들을 통해서 수신하고, 그리고 제1 제어 신호와 제2 제어 신호를 수신하되, 상기 제2 제어 신호의 상태와는 무관하게 활성화된 제1 제어 신호를 수신할 때, 상기 입출력 라인들을 통해서 수신된 입출력 신호들을 커맨드로 인식한다.

[0008] 본 발명의 실시 예에 따른 반도체 메모리 장치의 동작 방법은, 제1 제어 신호와 제2 제어 신호를 수신하고, 입출력 신호들을 수신하고, 그리고 상기 제1 제어 신호와 상기 제2 제어 신호의 조합에 따라서, 상기 입출력 신호들을 커맨드, 어드레스 및 데이터 중에서 어느 것인지 인식한다.

**발명의 효과**

[0009] 본 발명의 실시 예에 따르면 제어 신호를 수신하기 위한 반도체 메모리 장치의 외부 접속 단자의 수가 감소될 수 있다.

[0010] 본 발명의 실시 예에 따르면 반도체 메모리 장치가 마운트되는 인쇄 회로 기판의 레이아웃(layout)이 간소화될 수 있다.

[0011] 본 발명의 실시 예에 따르면 반도체 메모리 장치를 제어하는 컨트롤러의 외부 접속 단자의 수가 감소될 수 있다.

**도면의 간단한 설명**

- [0012] 도 1은 반도체 메모리 장치와 컨트롤러의 연결 관계를 예시적으로 보여주는 도면이다.
- 도 2는 본 발명의 실시 예에 따른 입출력 멀티플렉싱 방식을 설명하기 위한 타이밍도이다.
- 도 3은 도 2에 도시된 입출력 멀티플렉싱 방식에서 사용되는 제어 신호를 설명하기 위한 테이블이다.
- 도 4는 본 발명의 다른 실시 예에 따른 입출력 멀티플렉싱 방식을 설명하기 위한 타이밍도이다.
- 도 5는 도 4에 도시된 입출력 멀티플렉싱 방식에서 사용되는 제어 신호를 설명하기 위한 테이블이다.
- 도 6은 본 발명의 실시 예에 따른 데이터 처리 시스템을 예시적으로 보여주는 블록도이다.
- 도 7은 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(SSD)를 예시적으로 보여주는 블록도이다.
- 도 8은 도 7에 도시된 SSD 컨트롤러를 예시적으로 보여주는 블록도이다.
- 도 9는 본 발명의 실시 예에 따른 데이터 저장 장치가 장착되는 컴퓨터 시스템을 예시적으로 보여주는 블록도이다.
- 도 10은 본 발명의 실시 예에 따른 데이터 저장 장치에 포함된 반도체 메모리 장치의 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0013] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.

[0014] 도면들에 있어서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니며 명확성을 기하기 위하여 과장된 것이다. 본 명세서에서 특정한 용어들이 사용되었으나, 이는 본 발명을 설명하기 위한 목적에서 사용된 것이며, 의미 한정이나 특허 청구 범위에 기재된 본 발명의 권리 범위를 제한하기 위하여 사용된 것은 아니다.

[0015] 본 명세서에서 '및/또는'이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 또한, '연결되는/결합되는'이란 표현은 다른 구성요소와 직접적으로 연결되거나 다른 구성요소를 통해서 간접적으로 연결되는 것을 포함하는 의미로 사용된다. 본 명세서에서 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 명세서에서 사용되는 '포함한다' 또는 '포함하는'으로 언급된 구성요소, 단계, 동작 및

소자는 하나 이상의 다른 구성요소, 단계, 동작 및 소자의 존재 또는 추가를 의미한다.

- [0016] 이하, 도면들을 참조하여 본 발명의 실시 예에 대해 상세히 설명하기로 한다.
- [0017] 도 1은 반도체 메모리 장치와 컨트롤러의 연결 관계를 예시적으로 보여주는 도면이다. 설명의 편의를 위해서, 칩 활성화(chip enable) 신호(CE#), 제어 신호(CTR) 및 입출력 신호(IO)를 송신하고 수신하는 컨트롤러(200)와 반도체 메모리 장치(300)가 도 1에 예시될 것이다.
- [0018] 컨트롤러(200)와 반도체 메모리 장치(300) 각각은 외부 접속 단자(external connection terminal)(ECT)를 포함할 수 있다. 외부 접속 단자(ECT)는 패드(pad), 리드(lead), 핀(pin), 볼(ball)과 같은 외부 장치와 신호를 송신하고 수신하기 위한 구조체를 의미할 수 있다.
- [0019] 컨트롤러(200)와 반도체 메모리 장치(300)는 외부 접속 단자(ECT)에 연결된 신호 라인을 통해서 서로 연결될 수 있다. 그리고 컨트롤러(200)와 반도체 메모리 장치(300)는 신호 라인을 통해서 각종의 신호, 예를 들면, 제어 신호 및 데이터를 송신하고 수신할 수 있다.
- [0020] 도 1을 참조하여 예를 들면, 컨트롤러(200)는 칩 인에이블(chip enable) 신호 라인(CEL)을 통해서 칩 인에이블 신호(CE)(또는, 칩 선택(chip selection) 신호)를 반도체 메모리 장치(300)로 송신할 수 있다. 컨트롤러(200)는 제어 신호 라인들(CTRL)을 통해서 제어 신호들(CTR)을 반도체 메모리 장치(300)로 송신할 수 있다. 그리고 컨트롤러(200)는, 입출력 라인들(IOL)을 통해서 입출력 신호들(IO)을 반도체 메모리 장치(300)로 송신하거나, 입출력 신호들(IO)을 반도체 메모리 장치(300)로부터 수신할 수 있다.
- [0021] 제어 신호에 대한 컨트롤러(200)와 반도체 메모리 장치(300)의 관점은 서로 상반될 수 있다. 즉, 컨트롤러(200)는 반도체 메모리 장치(300)를 제어하기 위해서 제어 신호를 송신하는 주체(subject)이고, 반도체 메모리 장치(300)는 컨트롤러(200)의 제어를 받기 위해서 제어 신호를 수신하는 객체(object)일 수 있다. 설명의 편의를 위해서, 이하의 설명은, 제어 신호를 수신하는 반도체 메모리 장치(300)의 관점에서 설명될 것이다.
- [0022] 반도체 메모리 장치(300)는 입출력 멀티플렉싱(multiplexing) 방식을 사용할 수 있다. 즉, 반도체 메모리 장치(300)는 컨트롤러(200)에 의해서 입출력 멀티플렉싱 방식으로 제어될 수 있다. 입출력 멀티플렉싱 방식이란, 입출력 신호(IO)로서 커맨드, 어드레스 및 데이터 중 어느 하나를 입출력 접속 단자(IOT) 또는 입출력 라인들(IOL)을 통해서 송신하고 수신하는 방식을 의미할 수 있다. 즉, 입출력 멀티플렉싱 방식이란, 입출력 접속 단자(IOT) 또는 입출력 라인들(IOL)을 통해서 데이터뿐만 아니라, 커맨드와 어드레스를 수신할 수 있는 방식을 의미할 수 있다.
- [0023] 입출력 접속 단자(ECT) 또는 입출력 라인(IOL)을 통해서 송신되는 입출력 신호(IO)가 무엇인지를 반도체 메모리 장치(300)에 알려주기 위해서, 컨트롤러(200)는 적어도 하나의 제어 신호를 송신할 수 있다. 반도체 메모리 장치(300)는 수신된 제어 신호(또는 제어 신호들의 조합)에 따라서 입출력 라인(IOL)을 통해서 수신되는 입출력 신호(IO)가 무엇인지, 즉, 커맨드, 어드레스 또는 데이터인지 인식할 수 있다.
- [0024] 도 2는 본 발명의 실시 예에 따른 입출력 멀티플렉싱 방식을 설명하기 위한 타이밍도이다. 그리고 도 3은 도 2에 도시된 입출력 멀티플렉싱 방식에서 사용되는 제어 신호를 설명하기 위한 테이블이다.
- [0025] 신호들의 명칭에 있어서, 심볼 "#"이 붙은 신호는 신호의 상태가 논리 로우(logic low)일 때 활성화되고, 신호의 상태가 논리 하이(logic high)일 때 비활성화되는 신호를 의미할 수 있다. 그리고 심볼 "#"이 붙지 않은 신호는 신호의 상태가 논리 하이일 때 활성화되고, 논리 로우일 때 비활성화되는 신호를 의미할 수 있다. 신호의 상태가 논리 로우 또는 논리 하이일 때 활성화되는 것은, 예시적이며, 설계 의도에 따라서 변경될 수 있다.
- [0026] 반도체 메모리 장치(300)는 칩 인에이블 신호(CE#)가 논리 로우일 때 활성화되며, 컨트롤러(200)의 제어에 따른 동작을 수행할 수 있다.
- [0027] 반도체 메모리 장치(300)는, 제어 신호들(CTR)로서, 커맨드 래치 인에이블(command latch enable) 신호(CLE), 어드레스 래치 인에이블(address latch enable) 신호(ALE) 및 데이터 스트로브(data strobe) 신호(DS)를 수신할 수 있다. 이러한 제어 신호들(CTR)은 단지 본 발명의 실시 예를 설명하기 위한 것이며, 반도체 메모리 장치(300)의 종류에 따라 달라질 수 있다.
- [0028] 커맨드 래치 인에이블 신호(CLE)는, 입출력 라인들(IOL)을 통해서 전송되는 입출력 신호들(IO)이 커맨드(CMD)라는 것을 인식시키기 위해서, 컨트롤러(200)로부터 송신되는 제1 제어 신호일 수 있다. 어드레스 래치 인에이블 신호(ALE)는, 입출력 라인들(IOL)을 통해서 전송되는 입출력 신호들(IO)이 어드레스(ADD)라는 것을 인식시키기

위해서, 컨트롤러(200)로부터 송신되는 제2 제어 신호일 수 있다. 데이터 스트로브 신호(DS)는, 데이터 스트로브 신호(DS)에 동기된 데이터를 전송하기 위해서 그리고 입출력 라인들(IOL)을 통해서 전송되는 입출력 신호들(IO)이 데이터(DT)라는 것을 인식시키기 위해서, 컨트롤러(200)로부터 송신되는 제3 제어 신호일 수 있다.

- [0029] 반도체 메모리 장치(300)는, 커맨드 래치 인에이블 신호(CLE)가 활성화 상태(즉, 논리 하이 상태)이고 어드레스 래치 인에이블 신호(ALE)가 비활성화 상태(즉, 논리 로우 상태)일 때, 수신되는 입출력 신호들(IO)이 커맨드 (CMD)라고 인식할 수 있다. 이 경우, 데이터 스트로브 신호(DS)는 어떠한 상태(즉, 논리 하이 상태 또는 논리 로우 상태 중 어느 하나)에 있더라도 무관할 수 있다.
- [0030] 반도체 메모리 장치(300)는, 어드레스 래치 인에이블 신호(ALE)가 활성화 상태(즉, 논리 하이 상태)이고 커맨드 래치 인에이블(CLE) 신호가 비활성화 상태(즉, 논리 로우 상태)일 때, 수신되는 입출력 신호들(IO)이 어드레스 (ADD)라고 인식할 수 있다. 이 경우, 데이터 스트로브 신호(DS)는 어떠한 상태(즉, 논리 하이 상태 또는 논리 로우 상태 중 어느 하나)에 있더라도 무관할 수 있다.
- [0031] 반도체 메모리 장치(300)는, 커맨드 래치 인에이블 신호(CLE)와 어드레스 래치 인에이블 신호(ALE)는 비활성화 상태(즉, 논리 로우 상태)이고, 데이터 스트로브 신호(DS)가 토글(toggle)될 때, 수신되는 입출력 신호들(IO)이 데이터(DT)라고 인식할 수 있다. 반도체 메모리 장치(300)는, 커맨드 래치 인에이블 신호(CLE)와 어드레스 래치 인에이블 신호(ALE)는 비활성화 상태(즉, 논리 로우 상태)이고, 데이터 스트로브 신호(DS)가 토글(toggle)될 때 마다, 입출력 라인들(IOL)을 통해서 데이터(DT)를 하나씩 수신할 수 있다. 신호가 토글된다는 것은, 신호가 논리 로우 상태에서 논리 하이 상태로 천이되고, 다시 논리 하이 상태에서 논리 로우 상태로 천이되는 것을 의미할 수 있다.
- [0032] 본 발명의 실시 예에 따르면, 반도체 메모리 장치(300)는, 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE) 및 데이터 스트로브 신호(DS)의 조합에 따라서, 입출력 라인(IOL)을 통해서 수신되는 입출력 신호(IO)가 커맨드(CMD), 어드레스(ADD), 데이터(DT) 중에서 어느 것인지 인식할 수 있다.
- [0033] 도 4는 본 발명의 다른 실시 예에 따른 입출력 멀티플렉싱 방식을 설명하기 위한 타이밍도이다. 그리고 도 5는 도 4에 도시된 입출력 멀티플렉싱 방식에서 사용되는 제어 신호를 설명하기 위한 테이블이다.
- [0034] 신호들의 명칭에 있어서, 심볼 "#"이 붙은 신호는 신호의 상태가 논리 로우(logic low)일 때 활성화되고, 신호의 상태가 논리 하이(logic high)일 때 비활성화되는 신호를 의미할 수 있다. 그리고 심볼 "#"이 붙지 않은 신호는 신호의 상태가 논리 하이일 때 활성화되고, 논리 로우일 때 비활성화되는 신호를 의미할 수 있다. 신호의 상태가 논리 로우 또는 논리 하이일 때 활성화되는 것은, 예시적이며, 설계 의도에 따라서 변경될 수 있다.
- [0035] 반도체 메모리 장치(300)는 칩 인에이블 신호(CE#)가 논리 로우일 때 활성화되며, 컨트롤러(200)의 제어에 따른 동작을 수행할 수 있다.
- [0036] 반도체 메모리 장치(300)는, 제어 신호들(CTR)로서, 커맨드/어드레스 신호(C/a) 및 데이터 스트로브(data storbe) 신호(DS)를 수신할 수 있다. 커맨드/어드레스 신호(C/a)는 입출력 라인들(IOL)을 통해서 전송되는 입출력 신호들(IO)이 커맨드(CMD)인지 어드레스(ADD)인지를 인식시키기 위해서 컨트롤러(200)로부터 송신되는 제1 제어 신호일 수 있다. 데이터 스트로브 신호(DS)는, 데이터 스트로브 신호(DS)에 동기된 데이터를 전송하기 위해서 그리고 입출력 라인들(IOL)을 통해서 전송되는 입출력 신호들(IO)이 데이터(DT)라는 것을 인식시키기 위해서 컨트롤러(200)로부터 송신되는 제2 제어 신호일 수 있다.
- [0037] 반도체 메모리 장치(300)는, 커맨드/어드레스 신호(C/a)가 활성화 상태(즉, 논리 하이 상태)일 때, 수신되는 입출력 신호들(IO)이 커맨드(CMD)라고 인식할 수 있다. 이 경우, 데이터 스트로브 신호(DS)는 어떠한 상태(즉, 논리 하이 상태 또는 논리 로우 상태 중 어느 하나)에 있더라도 무관할 수 있다.
- [0038] 반도체 메모리 장치(300)는, 커맨드/어드레스 신호(C/a)와 데이터 스트로브 신호(DS)가 비활성화 상태(즉, 논리 로우 상태)일 때, 수신되는 입출력 신호들(IO)이 어드레스(ADD)라고 인식할 수 있다.
- [0039] 반도체 메모리 장치(300)는, 커맨드/어드레스 신호(C/a)가 비활성화 상태(즉, 논리 로우 상태)이고, 데이터 스트로브 신호(DS)가 토글(toggle)될 때, 수신되는 입출력 신호들(IO)이 데이터(DT)라고 인식할 수 있다. 반도체 메모리 장치(300)는, 커맨드/어드레스 신호(C/a)가 비활성화 상태(즉, 논리 로우 상태)이고, 데이터 스트로브 신호(DS)가 토글(toggle)될 때 마다, 입출력 라인들(IOL)을 통해서 데이터(DT)를 하나씩 수신할 수 있다. 신호가 토글된다는 것은, 신호가 논리 로우 상태에서 논리 하이 상태로 천이되고, 다시 논리 하이 상태에서 논리 로우 상태로 천이되는 것을 의미할 수 있다.

- [0040] 본 발명의 실시 예에 따르면, 반도체 메모리 장치(300)는, 커맨드/어드레스 신호(C/a) 및 데이터 스트로브 신호(DS)의 조합에 따라서, 입출력 라인(IOL)을 통해서 수신되는 입출력 신호(IO)가 커맨드(CMD), 어드레스(ADD), 데이터(DT) 중에서 어느 것인지 인식할 수 있다. 최소한의 제어 신호들만을 조합하여 입출력 멀티플렉싱 방식을 사용하기 때문에, 제어 신호를 수신하기 위한 반도체 메모리 장치(300)의 외부 접속 단자의 수가 감소될 수 있고, 반도체 메모리 장치(300)가 마운트되는 인쇄 회로 기판의 레이아웃(layout)이 간소화될 수 있고, 반도체 메모리 장치(300)를 제어하는 컨트롤러(200)의 외부 접속 단자의 수가 감소될 수 있다.
- [0041] 도 6은 본 발명의 실시 예에 따른 데이터 처리 시스템을 예시적으로 보여주는 블럭도이다.
- [0042] 데이터 처리 시스템(1000)은 호스트 장치(400)를 포함할 수 있다. 호스트 장치(400)는 휴대폰, MP3 플레이어, 랩탑 컴퓨터 등과 같은 휴대용 전자 장치들 또는 데스크탑 컴퓨터, 게임기, TV, 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 전자 장치들을 포함할 수 있다.
- [0043] 데이터 처리 시스템(1000)은 데이터 저장 장치(100)를 포함할 수 있다. 데이터 저장 장치(100)는 호스트 장치(400)에 의해서 액세스되는 데이터를 저장할 수 있다. 데이터 저장 장치(100)는 메모리 시스템이라고도 불릴 수 있다.
- [0044] 데이터 저장 장치(100)는 호스트 장치(400)와의 전송 프로토콜을 의미하는 호스트 인터페이스(HIF)에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들면, 데이터 저장 장치(100)는 솔리드 스테이트 드라이브(solid state drive, SSD), MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multi media card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.
- [0045] 데이터 저장 장치(100)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 데이터 저장 장치(200)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.
- [0046] 데이터 저장 장치(100)는 컨트롤러(200)를 포함할 수 있다. 컨트롤러(200)는 호스트 인터페이스 유닛(210), 컨트롤 유닛(220), 랜덤 액세스 메모리(230) 및 메모리 컨트롤 유닛(240)을 포함할 수 있다.
- [0047] 호스트 인터페이스 유닛(210)은 호스트 장치(400)와 데이터 저장 장치(100)를 인터페이싱할 수 있다. 예시적으로, 호스트 인터페이스 유닛(210)은 USB(universal serial bus), UFS(universal flash storage), MMC(multimedia card), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI express)와 같은 표준 전송 프로토콜들 중 어느 하나를 이용해서 호스트 장치(400)와 통신할 수 있다.
- [0048] 컨트롤 유닛(220)은 컨트롤러(200)의 제반 동작을 제어할 수 있다. 컨트롤 유닛(220)은 랜덤 액세스 메모리(230)에 로딩된 코드 형태의 명령(instruction) 또는 알고리즘, 즉, 소프트웨어를 구동하고, 내부의 기능 블럭들의 동작을 제어할 수 있다. 컨트롤 유닛(220)은 호스트 인터페이스 유닛(210)을 통해서 전송된 호스트 장치(400)의 리퀘스트를 분석하고 처리할 수 있다. 컨트롤 유닛(220)은 마이크로 컨트롤 유닛(Micro Control Unit: MCU), 중앙 처리 장치(Central Processing Unit: CPU)로 구성될 수 있다.
- [0049] 랜덤 액세스 메모리(230)는 컨트롤 유닛(220)에 의해서 구동되는 소프트웨어를 저장할 수 있다. 랜덤 액세스 메모리(230)는 소프트웨어의 구동에 필요한 데이터를 저장할 수 있다. 즉, 랜덤 액세스 메모리(230)는 컨트롤 유닛(220)의 동작 메모리(working memory)로서 동작할 수 있다.
- [0050] 랜덤 액세스 메모리(230)는 호스트 장치(400)로부터 반도체 메모리 장치(300)로 또는 반도체 메모리 장치(300)로부터 호스트 장치(400)로 전송될 데이터를 임시 저장할 수 있다. 즉, 랜덤 액세스 메모리(230)는 데이터 버퍼 메모리 또는 데이터 캐시(cache) 메모리로서 동작할 수 있다.
- [0051] 메모리 컨트롤 유닛(240)은 컨트롤 유닛(220)의 제어에 따라서 반도체 메모리 장치(300)를 제어할 수 있다. 메모리 컨트롤 유닛(240)은 반도체 메모리 장치(300)의 동작을 제어하기 위한 제어 신호들, 예를 들면, 커맨드,



어드레스, 클럭 신호 등을 생성하고, 반도체 메모리 장치(300)로 제공할 수 있다. 메모리 컨트롤 유닛(240)은 메모리 인터페이스 유닛으로도 불릴 수 있다.

- [0052] 데이터 저장 장치(100)는 반도체 메모리 장치(300)를 포함할 수 있다.
- [0053] 반도체 메모리 장치(300)는 데이터 저장 장치(200)의 저장 매체로서 사용될 수 있다. 반도체 메모리 장치(300)는 낸드(NAND) 플래시 메모리 장치, 노어(NOR) 플래시 메모리 장치, 강유전체 커패시터를 이용한 강유전체 램(ferroelectric random access memory: FRAM), 터널링(magnetoresistive: TMR) 막을 이용한 마그네틱 램(magnetic random access memory: MRAM), 칼코겐 화합물(chalcogenide alloys)을 이용한 상 변화 램(phase change random access memory: PCRAM), 전이 금속 산화물(transition metal oxide)을 이용한 저항성 램(resistive random access memory: RERAM) 등과 같은 다양한 형태의 불휘발성 메모리 장치들 중 어느 하나로 구성될 수 있다. 강유전체 램(FRAM), 마그네틱 램(MRAM), 상 변화 램(PCRAM) 및 저항성 램(RERAM)는 메모리 셀에 대한 랜덤 액세스가 가능한 불휘발성 랜덤 액세스 메모리 장치의 한 종류이다. 반도체 메모리 장치(300)는 낸드 플래시 메모리 장치와 위에서 언급한 다양한 형태의 불휘발성 랜덤 액세스 메모리 장치의 조합으로 구성될 수 있다.
- [0054] 앞서 설명된 바와 같이, 반도체 메모리 장치(300)는 커맨드/어드레스 신호 및 데이터 스트로브 신호의 조합에 따라서, 입출력 라인을 통해서 수신되는 입출력 신호가 커맨드, 어드레스, 데이터 중에서 어느 것인지 인식할 수 있다.
- [0055] 도 7은 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(SSD)를 예시적으로 보여주는 블록도이다. 도 7을 참조하면, 데이터 처리 시스템(2000)은 호스트 장치(2100)와 솔리드 스테이트 드라이브(solid state drive, 이하, SSD라 칭함, 2200)를 포함할 수 있다.
- [0056] SSD(2200)는 SSD 컨트롤러(2210), 버퍼 메모리 장치(2220), 불휘발성 메모리 장치들(2231~223n), 전원 공급기(2240), 신호 커넥터(2250) 및 전원 커넥터(2260)를 포함할 수 있다.
- [0057] SSD(2200)는 호스트 장치(2100)의 요청에 응답하여 동작할 수 있다. 즉, SSD 컨트롤러(2210)는 호스트 장치(2100)로부터의 요청에 응답하여 불휘발성 메모리 장치들(2231~223n)을 액세스할 수 있다. 예를 들면, SSD 컨트롤러(2210)는 불휘발성 메모리 장치들(2231~223n)의 읽기, 프로그램 그리고 소거 동작을 제어할 수 있다.
- [0058] 버퍼 메모리 장치(2220)는 불휘발성 메모리 장치들(2231~223n)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(2220)는 불휘발성 메모리 장치들(2231~223n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(2220)에 임시 저장된 데이터는 SSD 컨트롤러(2210)의 제어에 따라 호스트 장치(2100) 또는 불휘발성 메모리 장치들(2231~223n)로 전송될 수 있다.
- [0059] 불휘발성 메모리 장치들(2231~223n)은 SSD(2200)의 저장 매체로서 사용될 수 있다. 불휘발성 메모리 장치들(2231~223n) 각각은 복수의 채널들(CH1~CHn)을 통해 SSD 컨트롤러(2210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 불휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 불휘발성 메모리 장치들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.
- [0060] 불휘발성 메모리 장치들(2231~223n) 각각은 커맨드/어드레스 신호 및 데이터 스트로브 신호의 조합에 따라서, 입출력 라인을 통해서 수신되는 입출력 신호가 커맨드, 어드레스, 데이터 중에서 어느 것인지 인식할 수 있다.
- [0061] 전원 공급기(2240)는 전원 커넥터(2260)를 통해 입력된 전원(PWR)을 SSD(2200) 내부에 제공할 수 있다. 전원 공급기(2240)는 보조 전원 공급기(2241)를 포함할 수 있다. 보조 전원 공급기(2241)는 서든 파워 오프(sudden power off)가 발생하는 경우, SSD(2200)가 정상적으로 종료될 수 있도록 전원을 공급하도록 구성될 수 있다. 보조 전원 공급기(2241)는 전원(PWR)을 충전할 수 있는 대용량 캐패시터들을 포함할 수 있다.
- [0062] SSD 컨트롤러(2210)는 신호 커넥터(2250)를 통해서 호스트 장치(2100)와 신호(SGL)를 주고 받을 수 있다. 여기에서, 신호(SGL)는 커맨드, 어드레스, 데이터 등이 포함될 수 있다. 신호 커넥터(2250)는 호스트 장치(2100)와 SSD(2200)의 인터페이스 방식에 따라 PATA(Parallel Advanced Technology Attachment), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), SAS(Serial Attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI expresss), UFS(universal flash storage) 등의 커넥터로 구성될 수 있다.
- [0063] 도 8은 도 7에 도시된 SSD 컨트롤러를 예시적으로 보여주는 블록도이다. 도 8을 참조하면, SSD 컨트롤러(2210)는 메모리 인터페이스 유닛(2211), 호스트 인터페이스 유닛(2212), ECC 유닛(2213), 마이크로 컨트롤 유닛

(2214) 및 랜덤 액세스 메모리(2215)를 포함할 수 있다.

- [0064] 메모리 인터페이스 유닛(2211)은 불휘발성 메모리 장치들(2231~223n)에 커맨드 및 어드레스를 제공할 수 있다. 그리고 메모리 인터페이스 유닛(2211)은 불휘발성 메모리 장치들(2231~223n)과 데이터를 주고 받을 수 있다. 메모리 인터페이스 유닛(2211)은 마이크로 컨트롤 유닛(2214)의 제어에 따라 버퍼 메모리 장치(2220)로부터 전달된 데이터를 각각의 채널들(CH1~CHn)로 스캐터링(Scattering)할 수 있다. 그리고 메모리 인터페이스 유닛(2211)은 컨트롤 유닛(2214)의 제어에 따라 불휘발성 메모리 장치들(2231~223n)로부터 읽혀진 데이터를 버퍼 메모리 장치(2220)로 전달할 수 있다.
- [0065] 호스트 인터페이스 유닛(2212)은 호스트 장치(2100)의 프로토콜에 대응하여 SSD(2200)와의 인터페이싱을 제공하도록 구성될 수 있다. 예를 들면, 호스트 인터페이스 유닛(2212)은 PATA(Parallel Advanced Technology Attachment), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), SAS(Serial Attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI expresss), UFS(universal flash storage) 프로토콜들 중 어느 하나를 통해 호스트 장치(2100)와 통신할 수 있다. 또한, 호스트 인터페이스 유닛(2212)은 호스트 장치(2100)가 SSD(2200)를 하드 디스크 드라이브(HDD)로 인식하도록 지원하는 디스크 에뮬레이션(Disk Emulation) 기능을 수행할 수 있다.
- [0066] 에러 정정 코드(ECC) 유닛(2213)은 버퍼 메모리 장치(2220)에 저장된 데이터 중에서 불휘발성 메모리 장치들(2231~223n)로 전송될 데이터의 패리티 데이터를 생성할 수 있다. 생성된 패리티 데이터는 데이터와 함께 불휘발성 메모리 장치들(2231~223n)에 저장될 수 있다. 에러 정정 코드(ECC) 유닛(2213)은 불휘발성 메모리 장치들(2231~223n)로부터 독출된 데이터의 에러를 검출할 수 있다. 만약, 검출된 에러가 정정 범위 내이면, 에러 정정 코드(ECC) 유닛(2213)은 검출된 에러를 정정할 수 있다.
- [0067] 컨트롤 유닛(2214)은 호스트 장치(2100)로부터 입력된 신호(SGL)를 분석하고 처리할 수 있다. 컨트롤 유닛(2214)은 SSD(2200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 버퍼 메모리 장치(2220) 그리고 불휘발성 메모리 장치들(2231~223n)의 동작을 제어할 수 있다. 랜덤 액세스 메모리(2215)는 이러한 펌웨어 또는 소프트웨어를 구동하기 위한 동작 메모리로서 사용될 수 있다.
- [0068] 도 9는 본 발명의 실시 예에 따른 데이터 저장 장치가 장착되는 컴퓨터 시스템을 예시적으로 보여주는 블럭도이다. 도 9를 참조하면, 컴퓨터 시스템(3000)은 시스템 버스(3700)에 전기적으로 연결되는 네트워크 어댑터(3100), 중앙 처리 장치(3200), 데이터 저장 장치(3300), 램(3400), 롬(3500) 및 사용자 인터페이스(3600)를 포함할 수 있다. 여기에서, 데이터 저장 장치(3300)는 도 6에 도시된 데이터 저장 장치(1200) 또는 도 7에 도시된 SSD(2200)로 구성될 수 있다.
- [0069] 네트워크 어댑터(3100)는 컴퓨터 시스템(3000)과 외부의 네트워크들 사이의 인터페이싱을 제공할 수 있다. 중앙 처리 장치(3200)는 램(3400)에 상주하는 운영 체제(Operating System)나 응용 프로그램(Application Program)을 구동하기 위한 제반 연산 처리를 수행할 수 있다.
- [0070] 데이터 저장 장치(3300)는 컴퓨터 시스템(3000)에서 필요한 제반 데이터를 저장할 수 있다. 예를 들면, 컴퓨터 시스템(3000)을 구동하기 위한 운영 체제(Operating System), 응용 프로그램(Application Program), 다양한 프로그램 모듈(Program Module), 프로그램 데이터(Program data), 그리고 유저 데이터(User data) 등이 데이터 저장 장치(3300)에 저장될 수 있다.
- [0071] 램(3400)은 컴퓨터 시스템(3000)의 동작 메모리로서 사용될 수 있다. 부팅 시에 램(3400)에는 데이터 저장 장치(3300)로부터 읽혀진 운영 체제(Operating System), 응용 프로그램(Application Program), 다양한 프로그램 모듈(Program Module)과 프로그램들의 구동에 소요되는 프로그램 데이터(Program data)가 로드될 수 있다. 롬(3500)에는 운영 체제(Operating System)가 구동되기 이전부터 활성화되는 기본적인 입출력 시스템인 바이오스(BIOS: Basic Input/Output System)가 저장될 수 있다. 유저 인터페이스(3600)를 통해서 컴퓨터 시스템(3000)과 사용자 사이의 정보 교환이 이루어질 수 있다.
- [0072] 도 10은 본 발명의 실시 예에 따른 데이터 저장 장치에 포함된 반도체 메모리 장치의 블럭도이다. 도 10을 참조하면, 반도체 메모리 장치(300)는 메모리 셀 어레이(310), 행 디코더(320), 열 디코더(330), 데이터 읽기/쓰기 블럭(340), 전압 발생기(350) 및 제어 로직(360)을 포함할 수 있다.
- [0073] 메모리 셀 어레이(310)는 워드 라인들(WL1~WLm)과 비트 라인들(BL1~BLn)이 서로 교차된 영역에 배열된 메모리 셀(MC)들을 포함할 수 있다.

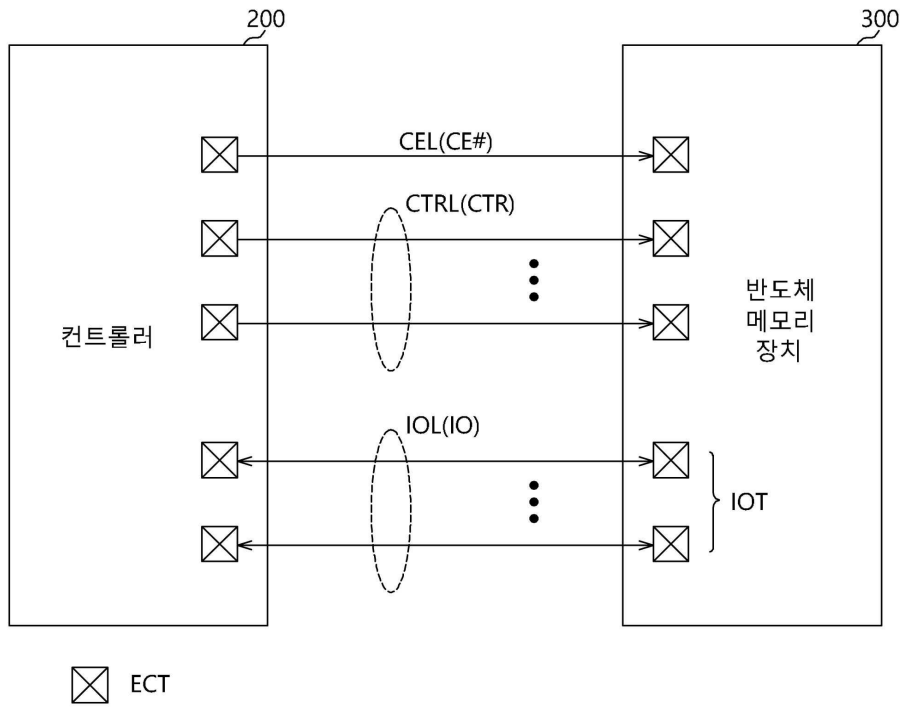
- [0074] 행 디코더(320)는 워드 라인들(WL1~WLm)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 행 디코더(320)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 행 디코더(320)는 외부 장치(도시되지 않음)로부터 제공된 어드레스를 디코딩할 수 있다. 행 디코더(320)는 디코딩 결과에 근거하여 워드 라인들(WL1~WLm)을 선택하고, 구동할 수 있다. 예시적으로, 행 디코더(320)는 전압 발생기(350)로부터 제공된 워드 라인 전압을 워드 라인들(WL1~WLm)에 제공할 수 있다.
- [0075] 데이터 읽기/쓰기 블럭(340)은 비트 라인들(BL1~BLn)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 데이터 읽기/쓰기 블럭(340)은 비트 라인들(BL1~BLn) 각각에 대응하는 읽기/쓰기 회로들(RW1~RWn)을 포함할 수 있다. 데이터 읽기/쓰기 블럭(340)은 제어 로직(360)의 제어에 따라 동작할 수 있다. 데이터 읽기/쓰기 블럭(340)은 동작 모드에 따라서 쓰기 드라이버로서 또는 감지 증폭기로서 동작할 수 있다. 예를 들면, 데이터 읽기/쓰기 블럭(340)은 쓰기 동작 시 외부 장치로부터 제공된 데이터를 메모리 셀 어레이(310)에 저장하는 쓰기 드라이버로서 동작할 수 있다. 다른 예로서, 데이터 읽기/쓰기 블럭(340)은 읽기 동작 시 메모리 셀 어레이(310)로부터 데이터를 독출하는 감지 증폭기로서 동작할 수 있다.
- [0076] 열 디코더(330)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 열 디코더(330)는 외부 장치로부터 제공된 어드레스를 디코딩할 수 있다. 열 디코더(330)는 디코딩 결과에 근거하여 비트 라인들(BL1~BLn) 각각에 대응하는 데이터 읽기/쓰기 블럭(340)의 읽기/쓰기 회로들(RW1~RWn)과 데이터 입출력 라인(또는 데이터 입출력 버퍼)을 연결할 수 있다.
- [0077] 전압 발생기(350)는 불휘발성 메모리 장치(300)의 내부 동작에 사용되는 전압을 생성할 수 있다. 전압 발생기(350)에 의해서 생성된 전압들은 메모리 셀 어레이(310)의 메모리 셀들에 인가될 수 있다. 예를 들면, 프로그램 동작 시 생성된 프로그램 전압은 프로그램 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다. 다른 예로서, 소거 동작 시 생성된 소거 전압은 소거 동작이 수행될 메모리 셀들의 웰-영역에 인가될 수 있다. 다른 예로서, 읽기 동작 시 생성된 읽기 전압은 읽기 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다.
- [0078] 제어 로직(360)은 외부 장치로부터 제공된 제어 신호에 근거하여 불휘발성 메모리 장치(300)의 제반 동작을 제어할 수 있다. 예를 들면, 제어 로직(360)은 불휘발성 메모리 장치(300)의 읽기, 쓰기, 소거 동작과 같은 불휘발성 메모리 장치(100)의 동작을 제어할 수 있다.
- [0079] 이상에서, 본 발명은 구체적인 실시 예를 통해 설명되고 있으나, 본 발명은 그 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있음은 잘 이해될 것이다. 그러므로, 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며, 후술하는 특허청구범위 및 이와 균등한 것들에 의해 정해져야 한다. 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 잘 이해될 것이다.

**부호의 설명**

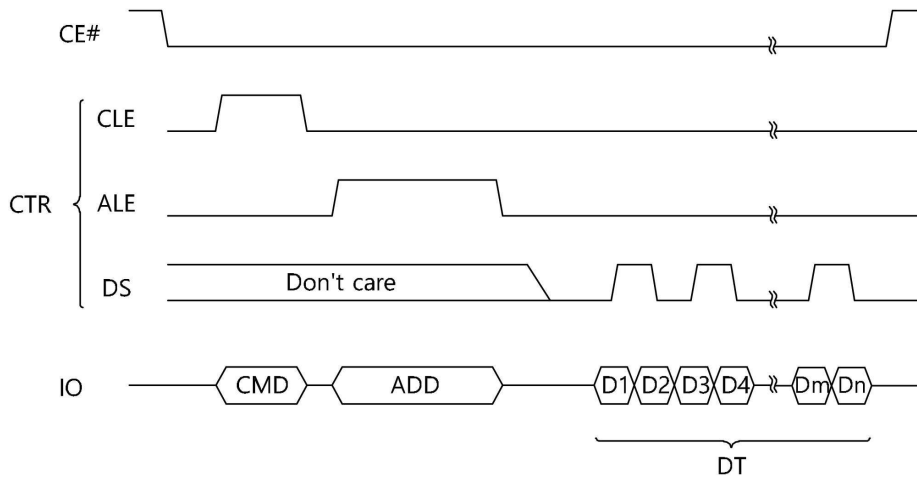
- [0080] 200 : 컨트롤러
- 300 : 반도체 메모리 장치

도면

도면1



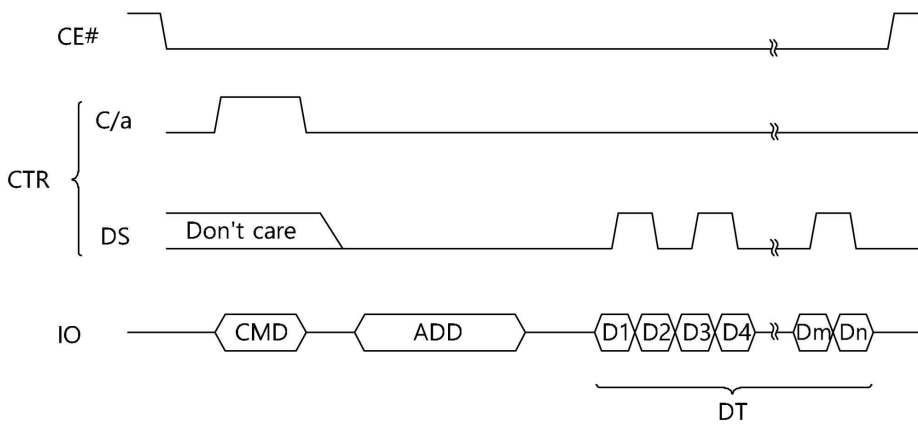
도면2



도면3

CLE	ALE	DS	IO
H	L	Don't Care	CMD
L	H	Don't Care	ADD
L	L	Toggle	DT

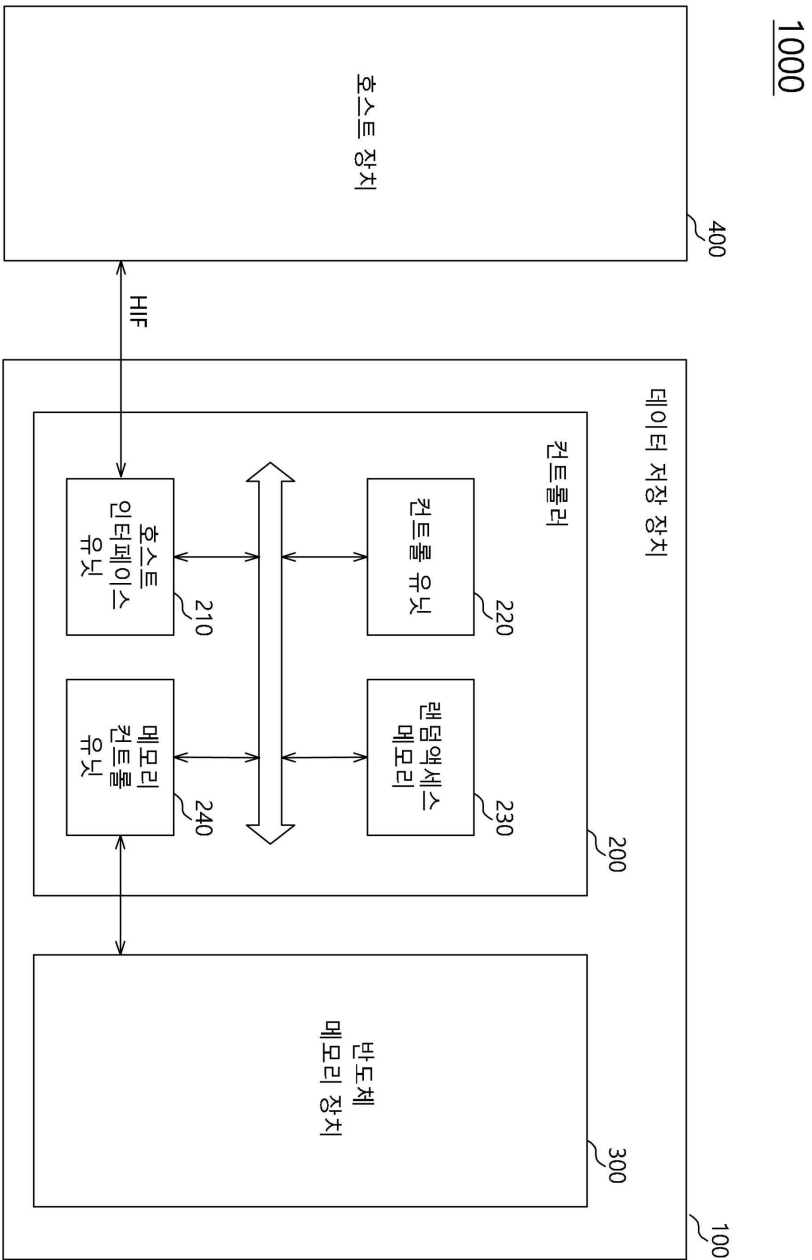
도면4



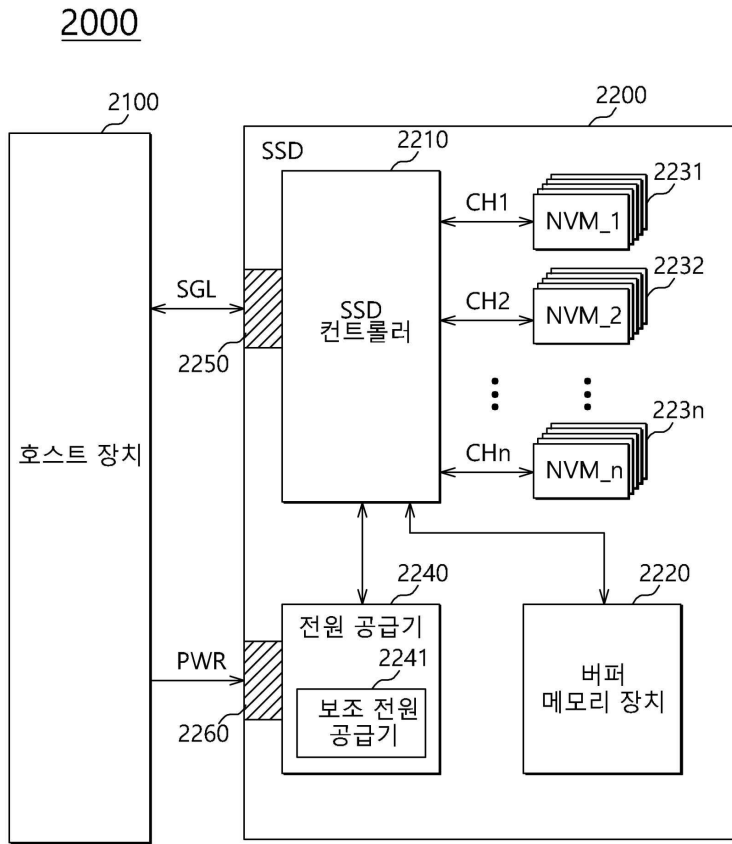
도면5

C/a	DS	IO
H	Don't Care	CMD
L	L	ADD
L	Toggle	DT

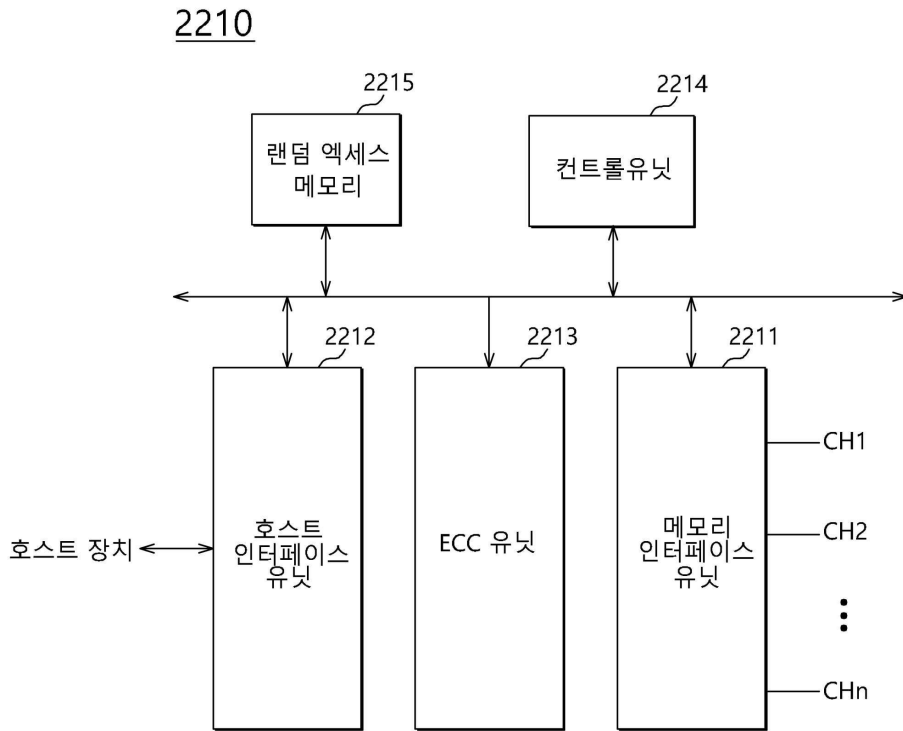
도면6



도면7

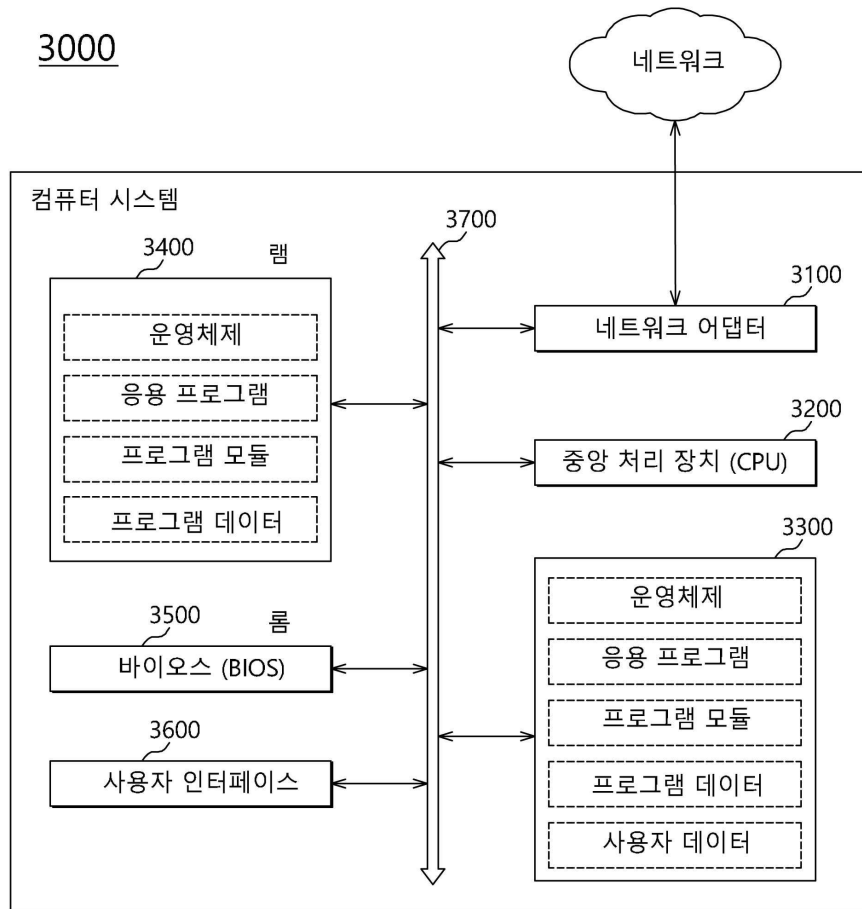


도면8



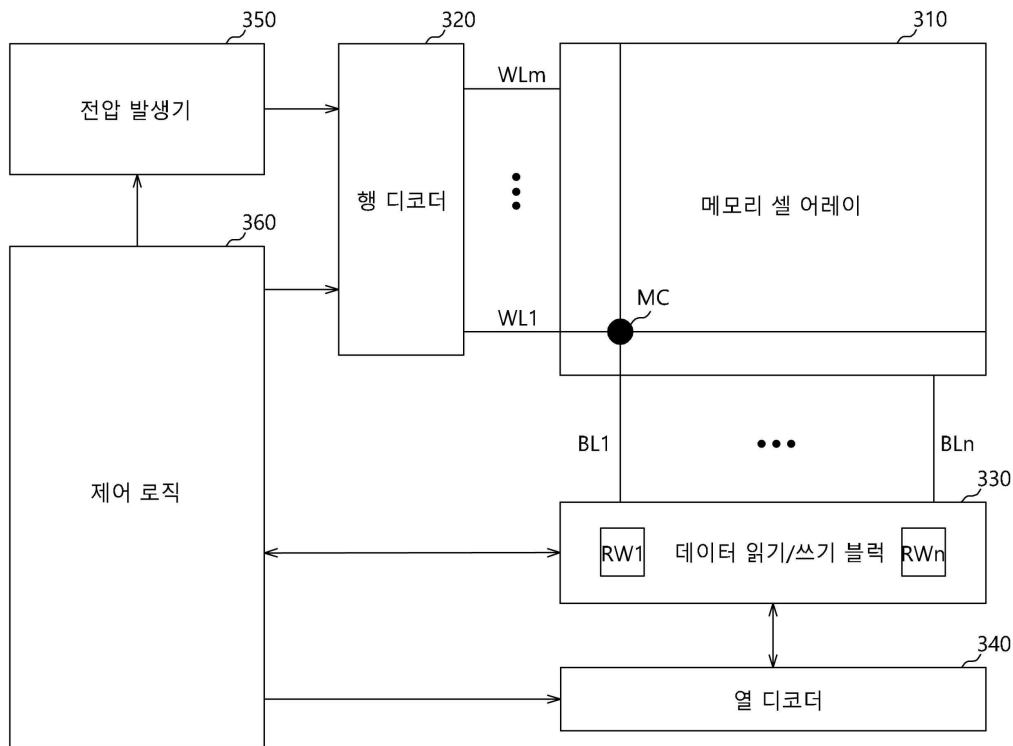


도면9



도면10

300



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 7

【변경전】

제1 제어 신호와 제2 제어 신호를 수신하고,

입출력 신호들을 수신하고, 그리고

상기 제1 제어 신호와 상기 제2 제어 신호의 조합에 따라서, 상기 입출력 신호들을 커맨드, 어드레스 및 데이터 중에서 어느 것인지 인식하되,

상기 제1 제어 신호와 상기 제2 제어 신호가 비활성화될 때, 상기 입출력 신호들을 어드레스로 인식하며,

상기 제2 제어 신호는 상기 입출력 라인들을 통해서 전송되는 입출력 신호들이 데이터라는 것을 인식시키기 위해서 외부 장치로부터 송신되는 반도체 메모리 장치의 동작 방법.

【변경후】

제1 제어 신호와 제2 제어 신호를 수신하고,

입출력 신호들을 수신하고, 그리고

상기 제1 제어 신호와 상기 제2 제어 신호의 조합에 따라서, 상기 입출력 신호들을 커맨드, 어드레스 및 데이터 중에서 어느 것인지 인식하되,

상기 제1 제어 신호와 상기 제2 제어 신호가 비활성화될 때, 상기 입출력 신호들을 어드레스로 인식하며,

상기 제2 제어 신호는 입출력 라인들을 통해서 전송되는 상기 입출력 신호들이 데이터라는 것을 인식시키기 위해서 외부 장치로부터 송신되는 반도체 메모리 장치의 동작 방법.