

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7387003号
(P7387003)

(45)発行日 令和5年11月27日(2023.11.27)

(24)登録日 令和5年11月16日(2023.11.16)

(51)国際特許分類 F I
H 0 1 L 21/3205(2006.01) H 0 1 L 21/88 J
H 0 1 L 21/768(2006.01)
H 0 1 L 23/522(2006.01)

請求項の数 14 (全17頁)

(21)出願番号	特願2022-538973(P2022-538973)	(73)特許権者	522246670 チャンシン メモリー テクノロジーズ インコーポレイテッド CHANGXIN MEMORY TEC HNOLOGIES, INC. 中華人民共和国 230601 アンフイ プロヴィンス ヘーフェイ シティ エコ ノミック アンド テクノロジカル デイ ベロップメント エリア エアポート イ ンダストリアル パーク シンイエ アベ ニュー ナンバー 388
(86)(22)出願日	令和3年8月13日(2021.8.13)	(74)代理人	100205659 弁理士 齋藤 拓也
(65)公表番号	特表2023-521264(P2023-521264 A)	(74)代理人	100185269 弁理士 小菅 一弘
(43)公表日	令和5年5月24日(2023.5.24)		
(86)国際出願番号	PCT/CN2021/112594		
(87)国際公開番号	WO2022/188358		
(87)国際公開日	令和4年9月15日(2022.9.15)		
審査請求日	令和4年6月23日(2022.6.23)		
(31)優先権主張番号	202110265111.5		
(32)優先日	令和3年3月10日(2021.3.10)		
(33)優先権主張国・地域又は機関	中国(CN)		

最終頁に続く

(54)【発明の名称】 半導体構造及び半導体構造の作製方法

(57)【特許請求の範囲】

【請求項1】

半導体構造であって、
ベースと、

前記ベース内に位置し、第1接続層、第2接続層及び第3接続層を含む連通部であって、前記第2接続層は前記第1接続層上に位置し、前記第3接続層は前記第2接続層上に位置する連通部と、を含み、

前記第1接続層、前記第2接続層及び前記第3接続層は異なる導電材料を含み、前記第2接続層及び前記第3接続層の熱膨張係数はいずれも前記第1接続層の熱膨張係数よりも小さく、前記第2接続層の熱膨張係数は前記第3接続層の熱膨張係数よりも小さい、半導体構造。

10

【請求項2】

前記第2接続層又は前記第3接続層はグラフェンを含み、前記第1接続層は銅を含み、又は、

前記第2接続層は前記第1接続層内に位置し、前記第3接続層は前記第1接続層内に位置する

請求項1に記載の半導体構造。

【請求項3】

前記第2接続層及び前記第3接続層は、前記ベースに垂直な方向での投影が重なり、前記第3接続層の頂端は前記第1接続層の頂端と面一になる

20

請求項 2 に記載の半導体構造。

【請求項 4】

前記第 1 接続層及び前記第 3 接続層は、前記ベースに垂直な方向での投影が重なる請求項 2 に記載の半導体構造。

【請求項 5】

前記第 3 接続層の底端は、前記第 2 接続層の頂端及び前記第 1 接続層の頂端と面一になる請求項 2 に記載の半導体構造。

【請求項 6】

前記第 1 接続層、前記第 2 接続層及び前記第 3 接続層は、前記ベースに垂直な方向での投影が重なる

請求項 1 に記載の半導体構造。

【請求項 7】

前記ベースは、

シリコン基板であって、前記第 2 接続層の底端は前記シリコン基板の上面よりも低いシリコン基板と、

前記シリコン基板の上面を覆い、前記連通部の外面を覆う絶縁層と、を含む

請求項 1 に記載の半導体構造。

【請求項 8】

前記シリコン基板内に機能層が形成されており、前記第 2 接続層の底端は前記機能層の下面よりも低く、又は、

前記第 2 接続層の頂端は前記シリコン基板の上面よりも高く、又は、

前記第 2 接続層は前記シリコン基板に入り込む深さが $1 \mu\text{m}$ 以上である

請求項 7 に記載の半導体構造。

【請求項 9】

前記連通部はシリコン貫通ビアであり、又は、

前記第 2 接続層の直径は $200 \text{ nm} \sim 10 \mu\text{m}$ であり、前記第 2 接続層の深さは $1 \mu\text{m} \sim 20 \mu\text{m}$ である

請求項 1 に記載の半導体構造。

【請求項 10】

半導体構造であって、

ベースと、

ベース内に位置し、第 1 接続層、第 2 接続層及び第 3 接続層を含む連通部であって、前記第 2 接続層は前記第 1 接続層上に位置し、前記第 3 接続層は前記第 2 接続層上に位置する連通部と、を含み、

前記第 2 接続層及び前記第 3 接続層はいずれもグラフェンを含み、前記第 2 接続層及び前記第 3 接続層の熱膨張係数はいずれも前記第 1 接続層の熱膨張係数よりも小さく、前記第 2 接続層の熱膨張係数は前記第 3 接続層の熱膨張係数よりも小さい、半導体構造。

【請求項 11】

半導体構造の作製方法であって、

基体を提供するステップと、

前記基体に連通部を形成するステップであって、前記連通部は第 1 接続層、第 2 接続層及び第 3 接続層を含み、前記第 2 接続層は前記第 1 接続層上に形成され、前記第 3 接続層は前記第 2 接続層上に形成されるステップと、を含み、

前記第 1 接続層、前記第 2 接続層及び前記第 3 接続層は異なる導電材料を含み、前記第 2 接続層及び前記第 3 接続層の熱膨張係数はいずれも前記第 1 接続層の熱膨張係数よりも小さく、前記第 2 接続層の熱膨張係数は前記第 3 接続層の熱膨張係数よりも小さい、半導体構造の作製方法。

【請求項 12】

前記第 2 接続層又は前記第 3 接続層はグラフェンを含み、前記第 1 接続層は銅を含む

請求項 11 に記載の半導体構造の作製方法。

10

20

30

40

50

【請求項 1 3】

前記第 1 接続層には開口が形成されており、前記第 2 接続層及び前記第 3 接続層は順次、前記開口内に形成される

請求項 1 1 又は 1 2 に記載の半導体構造の作製方法。

【請求項 1 4】

前記第 1 接続層、前記第 2 接続層及び前記第 3 接続層は順次、前記基体内に形成され、前記第 1 接続層、前記第 2 接続層及び前記第 3 接続層は、前記基体に垂直な方向での投影が重なる

請求項 1 1 又は 1 2 に記載の半導体構造の作製方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

(関連出願の相互参照)

本開示は、2021年03月10日に提出された出願番号が202110265111.5であり、名称が「半導体構造及び半導体構造の作製方法」である中国特許出願の優先権を主張し、該中国特許出願の全てが参照によって本開示に組み込まれる。

【0002】

本開示は半導体技術分野に関し、特に半導体構造及び半導体構造の作製方法に関する。

【背景技術】

【0003】

20

従来技術では、連通部内に充填される金属導電材料は、熱膨張プロセスにおいて連通部の周辺格子に影響を与えて、半導体構造の性能に影響を与える。

【発明の概要】

【0004】

本開示は、半導体構造の性能を改善する、半導体構造及び半導体構造の作製方法を提供する。

【0005】

本開示の第 1 態様によれば、以下の半導体構造を提供する。前記半導体構造は、ベースと、ベース内に位置し、第 1 接続層、第 2 接続層及び第 3 接続層を含む連通部であって、第 2 接続層が第 1 接続層上に位置し、第 3 接続層が第 2 接続層上に位置する連通部と、を含み、

30

第 1 接続層、第 2 接続層及び第 3 接続層は異なる導電材料を含み、第 2 接続層及び第 3 接続層の熱膨張係数はいずれも第 1 接続層の熱膨張係数よりも小さい。

【0006】

本開示の第 2 態様によれば、以下の半導体構造を提供する。前記半導体構造は、ベースと、ベース内に位置し、第 1 接続層、第 2 接続層及び第 3 接続層を含む連通部であって、第 2 接続層が第 1 接続層上に位置し、第 3 接続層が第 2 接続層上に位置する連通部と、を含み、

40

第 2 接続層及び第 3 接続層はいずれもグラフェンを含み、第 2 接続層及び第 3 接続層の熱膨張係数はいずれも第 1 接続層の熱膨張係数よりも小さい。

【0007】

本開示の第 3 態様によれば、以下の半導体構造の作製方法を提供する。前記半導体構造の作製方法は、

基体を提供するステップと、

基体に連通部を形成するステップであって、連通部は第 1 接続層、第 2 接続層及び第 3 接続層を含み、第 2 接続層は第 1 接続層上に形成され、第 3 接続層は第 2 接続層上に形成されるステップと、を含み、

第 1 接続層、第 2 接続層及び第 3 接続層は異なる導電材料を含み、第 2 接続層及び第 3

50

接続層の熱膨張係数はいずれも第1接続層の熱膨張係数よりも小さい。

【0008】

本開示の半導体構造はベース及び連通部を含み、連通部は異なる導電材料で形成される第1接続層、第2接続層及び第3接続層を含み、第2接続層及び第3接続層の熱膨張係数を全て第1接続層の熱膨張係数よりも小さくして、即ち第2接続層及び第3接続層は熱膨張による変化が小さく、これにより、連通部の周辺格子への影響を小さくして、半導体構造の性能を改善する。

【図面の簡単な説明】

【0009】

【図1】第1例示的实施形態により示される半導体構造の構造模式図である。

10

【図2】第1例示的实施形態により示される半導体構造の連通部の構造模式図である。

【図3】第2例示的实施形態により示される半導体構造の構造模式図である。

【図4】第2例示的实施形態により示される半導体構造の連通部の構造模式図である。

【図5】第3例示的实施形態により示される半導体構造の構造模式図である。

【図6】一つの例示的实施形態により示される半導体構造の作製方法のフローチャートである。

【図7】第1例示的实施形態により示される半導体構造の作製方法において開孔を形成する構造模式図である。

【図8】第1例示的实施形態により示される半導体構造の作製方法において第2絶縁層孔を形成する構造模式図である。

20

【図9】第1例示的实施形態により示される半導体構造の作製方法において第3絶縁層孔を形成する構造模式図である。

【図10】第1例示的实施形態により示される半導体構造の作製方法において第1初期接続層を形成する構造模式図である。

【図11】第1例示的实施形態により示される半導体構造の作製方法において第2初期接続層を形成する構造模式図である。

【図12】第1例示的实施形態により示される半導体構造の作製方法において第2接続層を形成する構造模式図である。

【図13】第1例示的实施形態により示される半導体構造の作製方法において第3初期接続層を形成する構造模式図である。

30

【図14】第1例示的实施形態により示される半導体構造の作製方法において第3接続層を形成する構造模式図である。

【図15】第2例示的实施形態により示される半導体構造の作製方法において第1初期接続層を形成する構造模式図である。

【図16】第2例示的实施形態により示される半導体構造の作製方法において第2初期接続層を形成する構造模式図である。

【図17】第2例示的实施形態により示される半導体構造の作製方法において第2接続層を形成する構造模式図である。

【図18】第2例示的实施形態により示される半導体構造の作製方法において第3初期接続層を形成する構造模式図である。

40

【図19】第2例示的实施形態により示される半導体構造の作製方法において第3接続層を形成する構造模式図である。

【発明を実施するための形態】

【0010】

本開示の種々の目的、特徴及び利点は、図面を参照しながら本開示の好ましい実施形態についての以下の詳細な説明を考慮することによって、さらに明らかにされる。図面は本開示の模式的な図示に過ぎず、必ずしも縮尺通りに描かれてはいない。図面において、同じ参照番号は全体にわたって同一又は同様の部材を指す。

【0011】

本開示の特徴及び利点を具体化する例示的な実施例は、以下の説明において詳細に説明

50

される。本開示は、本開示の範囲から逸脱することなく、異なる実施例において様々な変化を有してもよく、且つその説明及び図面は本質的に説明するためのものであり、本開示を制限するためのものではないことを理解すべきである。

【0012】

本開示の様々な例示的な実施形態についての以下の説明は、図面を参照しながら行われ、図面は本開示の一部を形成し、本開示を実現可能な多くの異なる例示的な構造、システム及びステップが例示的に示されている。部材、構造、例示的な装置、システム、及びステップの他の特定の解決手段を用いてもよく、本開示の範囲から逸脱することなく、構造的及び機能的変更を行ってもよいことを理解すべきである。また、本明細書において、技術用語の「上に」、「間に」、「内に」等を用いて本開示の異なる例示的な特徴及び素子（要素）を説明することができるが、これらの技術用語、例えば図面に記載の例示的な方向は説明を容易にするために本明細書に用いられる。本明細書のいずれの開示も、本発明の範囲に含まれるためには構造の具体的な三次元の向きを必要とするものと解釈されるべきではない。

10

【0013】

本開示の一実施例は半導体構造を提供する。図1から図5を参照すると、半導体構造は、ベース10と、ベース10内に位置し、第1接続層211、第2接続層212及び第3接続層213を含む連通部21であって、第2接続層212が第1接続層211上に位置し、第3接続層213が第2接続層212上に位置する連通部21と、を含み、第1接続層211、第2接続層212及び第3接続層213は異なる導電材料を含み、第2接続層212及び第3接続層213の熱膨張係数はいずれも第1接続層211の熱膨張係数よりも小さい。

20

【0014】

本開示の一実施例の半導体構造はベース10及び連通部21を含み、連通部21は異なる導電材料で形成される第1接続層211、第2接続層212及び第3接続層213を含み、第2接続層212及び第3接続層213の熱膨張係数を全て第1接続層211の熱膨張係数よりも小さくして、即ち第2接続層212及び第3接続層213の熱膨張による変化を小さくすることで、連通部21の周辺格子への影響を小さくして、半導体構造の性能を改善する。

【0015】

説明すべきは、第2接続層212及び第3接続層213の熱膨張係数はいずれも第1接続層211の熱膨張係数よりも小さいため、低熱膨張係数の材料を連通部21の一部の導電材料として用いることで、能動素子領域の金属熱膨張による影響を小さくしてもよく、周辺格子MOS素子の電気変化を小さくして、チップ設計のサイズを小さくしてもよい。熱膨張係数の小さい第2接続層212及び第3接続層213の熱変形が少ないため、大きな圧力で連通部21の周辺格子を押圧するという問題が発生せず、ベース10内の他の部品への影響を回避することができる。

30

【0016】

いくつかの実施例において、連通部21は導電部20の一部に属し、導電部20は第1導電層22をさらに含み、第1導電層22は連通部21の上方に位置し、第3接続層213は第1導電層22に接続され、第2接続層212及び第3接続層213は第1導電層22に近いが、第2接続層212及び第3接続層213の熱膨張係数が小さいため、第1導電層22を過度に押圧しない。

40

【0017】

いくつかの実施例において、連通部21はシリコン貫通ビアである。

【0018】

一実施例において、第2接続層212の熱膨張係数は第3接続層213の熱膨張係数よりも小さく、即ち連通部21における熱膨張係数が最小の導電材料は中間位置にあり、一般的に、該位置に対応するベース10の位置に大量の部品が設置されており、熱膨張係数が最小の導電材料は熱膨張による影響が最小であるため、部品をほとんど押圧しない。

50

【 0 0 1 9 】

一実施例において、第 2 接続層 2 1 2 又は第 3 接続層 2 1 3 はグラフェンを含み、第 1 接続層 2 1 1 は銅を含む。銅は熱膨張係数が大きい、最下層に位置するため、ベース 1 0 内の部品に影響を与えず、第 2 接続層 2 1 2 又は第 3 接続層 2 1 3 はベース 1 0 内の部品により近く、グラフェンの熱膨張係数が負の数であるため、グラフェンは銅の熱膨張を相殺することができ、これにより、押圧問題の発生を回避することができる。

【 0 0 2 0 】

いくつかの実施例において、第 1 接続層 2 1 1 は銅で形成され、第 2 接続層 2 1 2 はグラフェンで形成され、第 3 接続層 2 1 3 はタンゲステンで形成される。

【 0 0 2 1 】

説明すべきは、第 2 接続層 2 1 2 がグラフェンを含む場合、グラフェンは第 1 接続層 2 1 1 と第 3 接続層 2 1 3 との間に挟まれており、このとき、グラフェンは一定の蓄熱機能を有するため、熱膨張係数の大きい導電材料の熱を吸収し、即ち第 1 接続層 2 1 1 及び第 3 接続層 2 1 3 の熱を吸収することで、他の導電材料の熱膨張を低下させることができる。

【 0 0 2 2 】

第 2 接続層 2 1 2 がグラフェンを含む場合、第 1 接続層 2 1 1 及び第 2 接続層 2 1 2 で発生した熱は、グラフェンによってタイムリーに第 1 導電層 2 2 に伝達され、第 1 導電層 2 2 に接続される構造によって外部へ伝達されて、迅速に放熱するという効果を達成する。

【 0 0 2 3 】

一実施例において、図 1 及び図 2 に示すように、第 2 接続層 2 1 2 は第 1 接続層 2 1 1 内に位置し、即ち第 2 接続層 2 1 2 の周方向は第 1 接続層 2 1 1 によって囲まれており、高熱膨張係数を有する第 1 接続層 2 1 1 は、第 2 接続層 2 1 2 を保護するという役割を果たすことができ、第 2 接続層 2 1 2 の熱膨張係数が相対的に小さいため、熱で膨張して大きな押圧力を生成することもない。

【 0 0 2 4 】

いくつかの実施例において、第 2 接続層 2 1 2 は第 1 接続層 2 1 1 内に位置し、第 3 接続層 2 1 3 の底端は、第 2 接続層 2 1 2 の頂端及び第 1 接続層 2 1 1 の頂端と面一になる。

【 0 0 2 5 】

いくつかの実施例において、第 2 接続層 2 1 2 は第 1 接続層 2 1 1 内に位置し、第 3 接続層 2 1 3 は第 1 接続層 2 1 1 内に位置し、即ち第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 の周方向はいずれも第 1 接続層 2 1 1 によって囲まれており、具体的には、図 1 及び図 2 に示すとおりである。

【 0 0 2 6 】

一実施例において、図 1 及び図 2 に示すように、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 は、ベース 1 0 に垂直な方向での投影が重なり、即ち第 2 接続層 2 1 2 の断面積は第 3 接続層 2 1 3 の断面積に等しい。

【 0 0 2 7 】

選択的には、第 3 接続層 2 1 3 の頂端は第 1 接続層 2 1 1 の頂端と面一になり、このとき、第 1 接続層 2 1 1 には 1 つの凹溝が形成され、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 はこの凹溝内に位置し、第 1 接続層 2 1 1 の頂端及び第 3 接続層 2 1 3 の頂端は第 1 導電層 2 2 に接続され、具体的には、図 1 及び図 2 に示すとおりである。本実施例において、第 1 接続層 2 1 1、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 は異なる導電材料を含み、第 2 接続層 2 1 2 の熱膨張係数は第 3 接続層 2 1 3 の熱膨張係数よりも小さく、第 3 接続層 2 1 3 の熱膨張係数は第 1 接続層 2 1 1 の熱膨張係数よりも小さく、第 1 接続層 2 1 1 は銅で形成され、第 2 接続層 2 1 2 はグラフェンで形成され、第 3 接続層 2 1 3 はタンゲステンで形成される。

【 0 0 2 8 】

一実施例において、図 3 及び図 4 に示すように、第 1 接続層 2 1 1、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 は、ベース 1 0 に垂直な方向での投影が重なり、即ち第 1 接続層 2 1 1、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 はベース 1 0 の高さ方向に沿って順次積層

10

20

30

40

50

され、第1接続層211、第2接続層212及び第3接続層213の断面積はいずれも等しく、このとき、第3接続層213のみは第1導電層22に直接接続される。本実施例において、第1接続層211、第2接続層212及び第3接続層213は異なる導電材料を含み、第2接続層212の熱膨張係数は第3接続層213の熱膨張係数よりも小さく、第3接続層213の熱膨張係数は第1接続層211の熱膨張係数よりも小さく、第1接続層211は銅で形成され、第2接続層212はグラフェンで形成され、第3接続層213はタングステンで形成される。

【0029】

いくつかの実施例において、図5に示すように、第2接続層212は第1接続層211内に位置し、第1接続層211及び第3接続層213は、ベース10に垂直な方向での投影が重なり、即ち第3接続層213の底端は第2接続層212の頂端及び第1接続層211の頂端に接続される。

10

【0030】

一実施例において、図1、図3及び図5に示すように、ベース10は、シリコン基板11であって、第2接続層212の底端がシリコン基板11の上面よりも低いシリコン基板11と、絶縁層12であって、絶縁層12がシリコン基板11の上面を覆い、連通部21の外面を覆い、第1導電層22が絶縁層12内に位置する絶縁層12と、を含む。

【0031】

具体的には、ベース10はシリコン基板11及び絶縁層12を含み、連通部21の一部はシリコン基板11内に位置し、第2接続層212の底端はシリコン基板11の上面よりも低く、第2接続層212の熱膨張係数が第1接続層211の熱膨張係数よりも小さいため、第2接続層212は熱で過度に膨張せず、したがって、その上面に近いシリコン基板11の部分への影響を回避することができる。

20

【0032】

一実施例において、シリコン基板11内に機能層111が形成されており、第2接続層212の底端は機能層111の下面よりも低く、即ち第2接続層212と第3接続層213の全体の高さの和はシリコン基板11内の機能層111の高さ以上であり、これにより、機能層111への熱膨張による押圧を回避する。ここで、第2接続層212の高さは機能層111の高さより大きくてもよい。

【0033】

説明すべきは、機能層111内に多種の部品を有してもよく、部品の種類については、ここでは限定せず、実際の必要に応じて選択してもよく、ここで強調することとして、第2接続層212全体が熱で膨張した後に機能層111を押圧せず、機能層111を保護するという役割を果たすことができる。

30

【0034】

一実施例において、第2接続層212の頂端はシリコン基板11の上面よりも高く、即ち第2接続層212の高さは機能層111の高さより高くてもよく、これにより、シリコン基板11の絶縁層12に近い部分を保護し、機能層111への押圧を回避する。

【0035】

いくつかの実施例において、第1接続層211、第2接続層212及び第3接続層213は円柱構造であってもよい。

40

【0036】

いくつかの実施例において、第2接続層212は直径が200nm~10μmであってもよく、深さが1μm~20μmであってもよい。第2接続層212はシリコン基板11に入り込む深さが1μm以上である。

【0037】

具体的には、シリコン基板11はシリコン含有材料で形成されてもよい。シリコン基板11は、例えばシリコン、単結晶シリコン、アモルファスシリコン、シリコンゲルマニウム、単結晶シリコンゲルマニウム、炭化シリコン、サファイアのうちの少なくとも1つを含む任意の適切な材料で形成されてもよい。

50

【 0 0 3 8 】

絶縁層 1 2 は、二酸化ケイ素 (S i O ₂)、オキシ炭化ケイ素 (S i O C)、窒化ケイ素 (S i N)、炭窒化ケイ素 (S i C N) 等の関連する集積回路絶縁材料を含んでもよい。

【 0 0 3 9 】

一実施例において、図 1、図 3 及び図 5 に示すように、半導体構造は第 2 導電層 3 0 をさらに含み、第 2 導電層 3 0 はベース 1 0 内に位置し、第 2 導電層 3 0 は第 1 導電層 2 2 から離間しており、第 1 導電層 2 2 の上方に位置し、第 1 導電層 2 2 は接続柱 3 1 を介して第 2 導電層 3 0 に接続され、接続柱 3 1 は導電構造である。

【 0 0 4 0 】

本開示の一実施例は半導体構造をさらに提供する。前記半導体構造は、ベース 1 0 と、ベース 1 0 内に位置し、第 1 接続層 2 1 1、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 を含む連通部 2 1 であって、第 2 接続層 2 1 2 が第 1 接続層 2 1 1 上に位置し、第 3 接続層 2 1 3 が第 2 接続層 2 1 2 上に位置する連通部 2 1 と、を含み、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 はいずれもグラフェンを含み、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 の熱膨張係数はいずれも第 1 接続層 2 1 1 の熱膨張係数よりも小さい。

10

【 0 0 4 1 】

上記実施例に対して、本実施例における半導体構造は第 1 接続層 2 1 1 及びその上方に位置するグラフェンを含み、グラフェンを設置することで、連通部 2 1 の周辺格子への影響を効果的に回避することができ、グラフェンによって熱をタイムリーに外部へ伝達することができる。これにより、半導体構造の性能を改善する。

20

【 0 0 4 2 】

説明すべきは、他の関連する構造については、上記実施例を参照してもよく、ここで説明を省略する。

【 0 0 4 3 】

本開示の一実施例は半導体構造の作製方法をさらに提供する。図 6 を参照すると、半導体構造の作製方法は以下を含む。

【 0 0 4 4 】

S 1 0 1 では、基体 1 3 を提供する。

【 0 0 4 5 】

S 1 0 3 では、基体 1 3 に連通部 2 1 を形成し、連通部 2 1 は第 1 接続層 2 1 1、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 を含み、第 2 接続層 2 1 2 は第 1 接続層 2 1 1 上に形成され、第 3 接続層 2 1 3 は第 2 接続層 2 1 2 上に形成される。

30

【 0 0 4 6 】

第 1 接続層 2 1 1、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 は異なる導電材料を含み、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 の熱膨張係数はいずれも第 1 接続層 2 1 1 の熱膨張係数よりも小さい。

【 0 0 4 7 】

本開示の一実施例の半導体構造の作製方法は、基体 1 3 に連通部 2 1 が形成されており、連通部 2 1 は異なる導電材料で形成される第 1 接続層 2 1 1、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 を含み、第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 の熱膨張係数を全て第 1 接続層 2 1 1 の熱膨張係数よりも小さくして、第 3 接続層 2 1 3 が第 1 導電層 2 2 に接続され、即ち第 2 接続層 2 1 2 及び第 3 接続層 2 1 3 の熱膨張による変化を小さくすることで、連通部 2 1 の周辺格子への影響を小さくして、半導体構造の性能を改善する。

40

【 0 0 4 8 】

一実施例において、第 2 接続層 2 1 2 又は第 3 接続層 2 1 3 はグラフェンを含み、第 1 接続層 2 1 1 は銅を含む。銅は熱膨張係数が大きいのが、最下層に位置するため、ベース 1 0 内の部品に影響を与えず、第 2 接続層 2 1 2 又は第 3 接続層 2 1 3 はベース 1 0 内の部品により近く、グラフェンの熱膨張係数が負の数であるため、グラフェンは銅の熱膨張を相殺することができ、これにより、押圧問題の発生を回避することができる。

【 0 0 4 9 】

50

一実施例において、第1接続層211に開口14が形成され、第2接続層212及び第3接続層213は順次、開口14内に形成され、即ち図1及び図2に示す構造が形成される。

【0050】

具体的には、図7に示すように、基体13はシリコン基板11及び第1絶縁層15を含み、シリコン基板11及び第1絶縁層15に開孔16が形成され、開孔16は第1絶縁層15を貫通するが、必ずしもシリコン基板11を貫通しなくてもよく、ここでは限定しない。

【0051】

図7をもとに、第1絶縁層15を第2絶縁層17で覆い、第2絶縁層17は開孔16の壁面を覆い、図8に示すとおりである。

10

【0052】

図8をもとに、第2絶縁層17を第3絶縁層18で覆い、第3絶縁層18は第2絶縁層17の上面及び側面を覆い、図9に示すとおりである。

【0053】

図9をもとに、第3絶縁層18を第1初期接続層19で覆い、第1初期接続層19は開孔16の一部を充填し、第1初期接続層19の上方に開口14が形成され、図10に示すとおりである。

【0054】

図10をもとに、第1初期接続層19を第2初期接続層32で覆い、第2初期接続層32は開口14を充填し、図11に示すとおりである。

20

【0055】

図11をもとに、第1初期接続層19の上面を覆い、開口14の外側にある第2初期接続層32を除去し、開口14の一部を露出させて、第2接続層212を形成し、図12に示すとおりである。

【0056】

図12をもとに、第1初期接続層19を第3初期接続層33で覆い、第3初期接続層33は開口14を充填し、図13に示すとおりである。

【0057】

図13をもとに、第1初期接続層19の上面を覆い、開口14の外側にある第3初期接続層33、及び第3絶縁層18上にある第1初期接続層19の一部を除去して、第1接続層211及び第3接続層213を形成し、図14に示すとおりであり、即ち最終的に図1に示す半導体構造を形成してもよい。

30

【0058】

一実施例において、第1接続層211、第2接続層212及び第3接続層213は順次、基体13内に形成され、第1接続層211、第2接続層212及び第3接続層213は、基体13に垂直な方向での投影が重なり、即ち図3及び図4に示す構造が形成される。

【0059】

具体的には、図10をもとに、第1初期接続層19の一部を除去し、即ち開孔16の上方を露出させて、第1接続層211を形成し、図15に示すとおりである。

40

【0060】

図15をもとに、第3絶縁層18を第2初期接続層32で覆い、第2初期接続層32は開孔16を充填し、図16に示すとおりである。

【0061】

図16をもとに、第2初期接続層32の一部を除去し、即ち開孔16の上方を露出させて、第2接続層212を形成し、図17に示すとおりである。

【0062】

図17をもとに、第3絶縁層18を第3初期接続層33で覆い、第3初期接続層33は開孔16を充填し、図18に示すとおりである。

【0063】

50

図 18 をもとに、第 3 初期接続層 33 の一部を除去し、即ち第 3 初期接続層 33 の上面が第 3 絶縁層 18 の上面と面一になるようにして、第 3 接続層 213 を形成し、図 19 に示すとおりであり、即ち最終的に図 3 に示す半導体構造を形成してもよい。

【0064】

説明すべきは、第 1 絶縁層 15、第 2 絶縁層 17 及び第 3 絶縁層 18 が二酸化ケイ素 (SiO_2)、オキシ炭化ケイ素 (SiOC)、窒化ケイ素 (SiN)、炭窒化ケイ素 (SiCN) 等の関連する集積回路絶縁材料を含んでもよい。

【0065】

説明すべきは、第 1 絶縁層 15、第 2 絶縁層 17、第 3 絶縁層 18、第 2 初期接続層 32 および第 3 初期接続層 33 の形成プロセスは、物理蒸着 (Physical Vapor Deposition: PVD と略称) プロセス、化学蒸着 (Chemical Vapor Deposition: CVD と略称) プロセス、原子層堆積 (Atomic Layer Deposition: ALD と略称) プロセス、原位置水蒸気生成 (In-Situ Steam Generation: ISSG と略称) プロセス及び誘電層スピン塗布 (spin on dielectric: SOD と略称) プロセス等から選択されてもよく、ここでは限定しない。

10

【0066】

開口 14 及び開孔 16 の形成プロセスはフォトリソグラフィ及びエッチング等を含む。各コーティングが形成された後に、研磨 (Chemical Mechanical Polishing: CMP と略称) プロセスと組み合わせて処理して、コーティングの平坦性を確保してもよい。第 1 初期接続層 19 の形成は、めっき又はスパッタリング等のプロセスを採用してもよく、ここでは限定しない。

20

【0067】

一実施例において、半導体構造は上述した半導体構造の作製方法によって形成されてもよい。半導体構造の作製方法は、第 2 導電層 30 等を形成するステップをさらに含んでもよく、ここでは限定しない。シリコン基板 11 及び上述した各絶縁層はいずれもベース 10 の一部であり、即ち基体 13 はベース 10 の一部に属する。第 1 絶縁層 15、第 2 絶縁層 17 及び第 3 絶縁層 18 はいずれも絶縁層 12 の一部に属する。

【0068】

本開示の他の実施形態は、本明細書の考察と本明細書での発明の実施により、当業者には自明であろう。本開示は本発明のあらゆる変形、用途又は適応的な変化を包含することを意図し、これらの変形、用途又は適応的な変化は、本開示の一般原理に従い本開示に揭示されていない当技術分野での技術常識又は慣用されている技術手段を含む。明細書及び例示的な実施形態は単に例示的なものとみなされ、本開示の真の範囲及び趣旨は請求項によって示される。

30

【0069】

本開示は以上で説明され且つ図面に示された精確な構造に限定されるものでなく、その範囲を逸脱しない限り様々な修正や変更を加えることができるのを理解すべきである。本開示の範囲は添付される請求項のみによって規定される。

【符号の説明】

40

【0070】

- 10 : ベース
- 11 : シリコン基板
- 111 : 機能層
- 12 : 絶縁層
- 13 : 基体
- 14 : 開口
- 15 : 第 1 絶縁層
- 16 : 開孔
- 17 : 第 2 絶縁層

50

- 18 : 第3絶縁層
- 19 : 第1初期接続層
- 20 : 導電部
- 21 : 連通部
- 211 : 第1接続層
- 212 : 第2接続層
- 213 : 第3接続層
- 22 : 第1導電層
- 30 : 第2導電層
- 31 : 接続柱
- 32 : 第2初期接続層
- 33 : 第3初期接続層

【図面】

【図1】

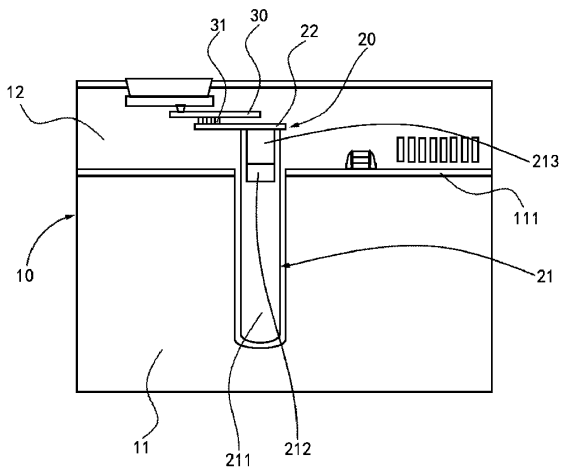


图 1

【図2】

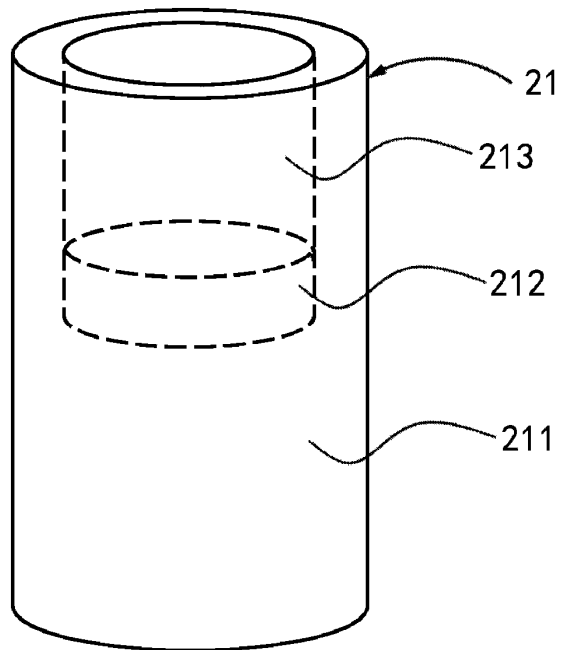


图 2

10

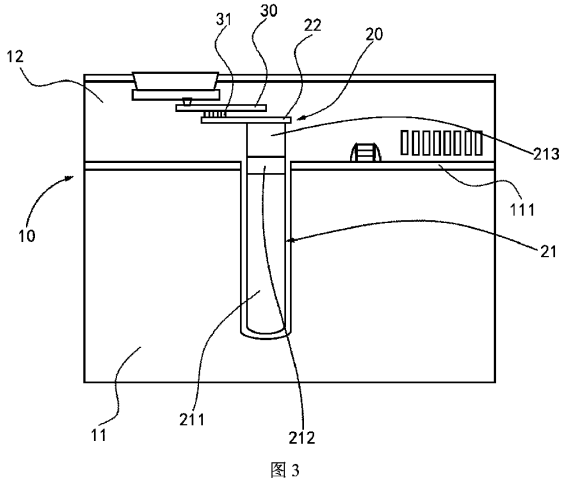
20

30

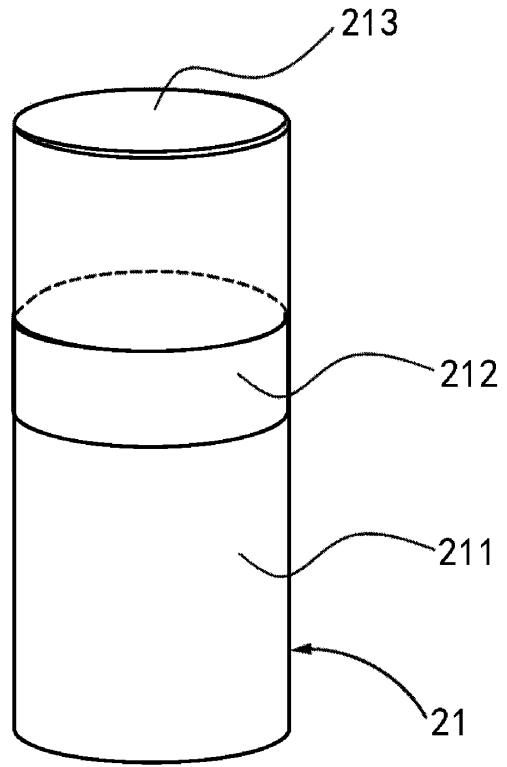
40

50

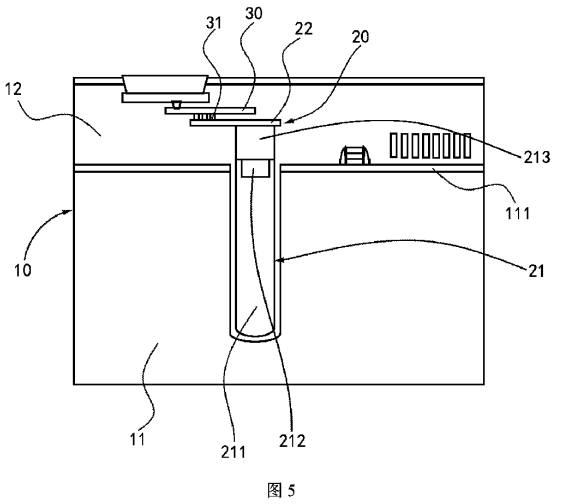
【 図 3 】



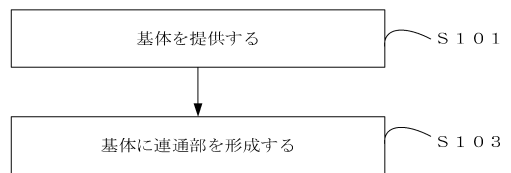
【 図 4 】



【 図 5 】



【 図 6 】



10

20

30

40

50

【图 7】

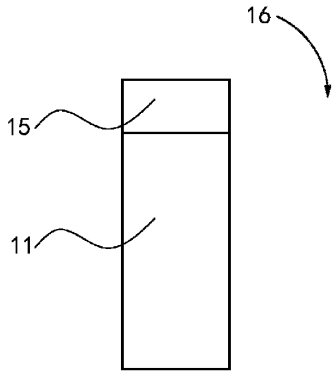


图 7

【图 8】

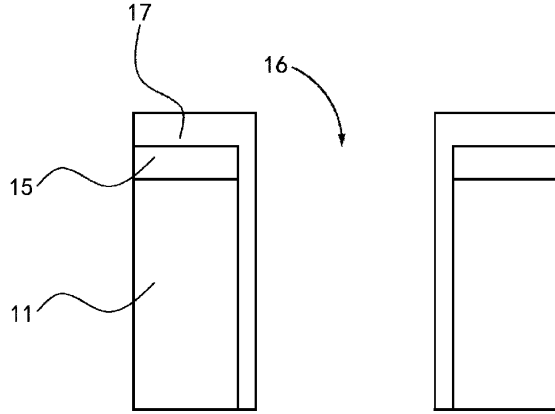


图 8

【图 9】

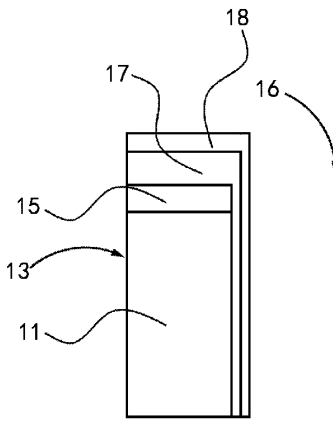


图 9

【图 10】

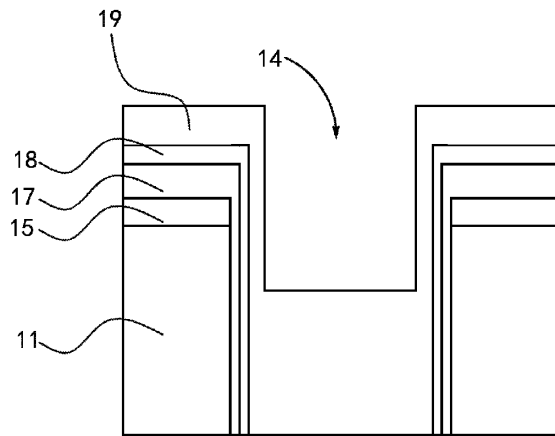


图 10

10

20

30

40

50

【图 1 1】

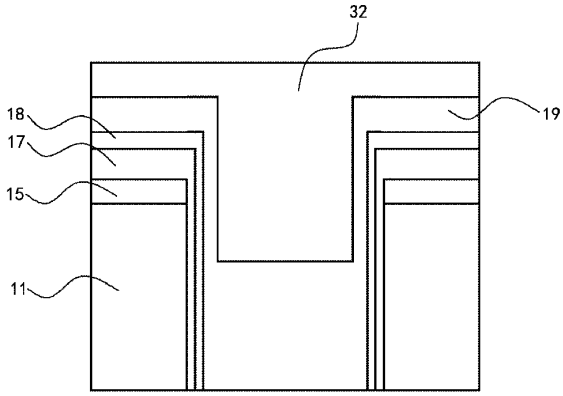


图 11

【图 1 2】

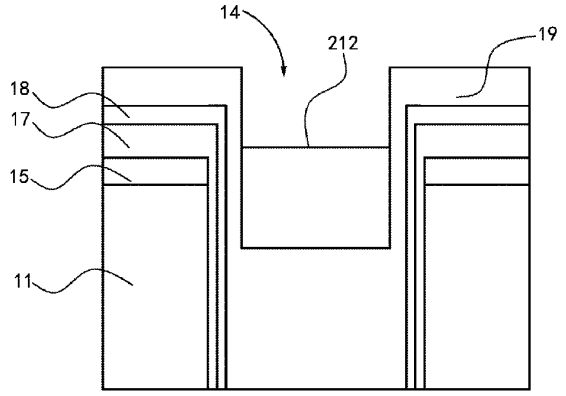


图 12

【图 1 3】

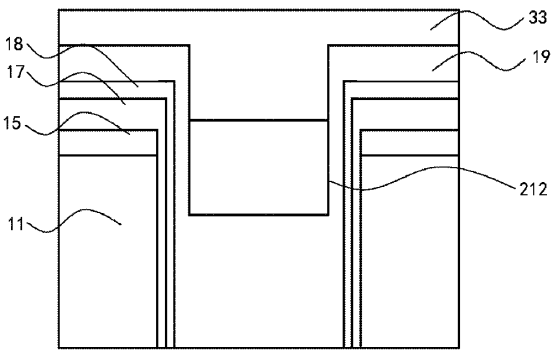


图 13

【图 1 4】

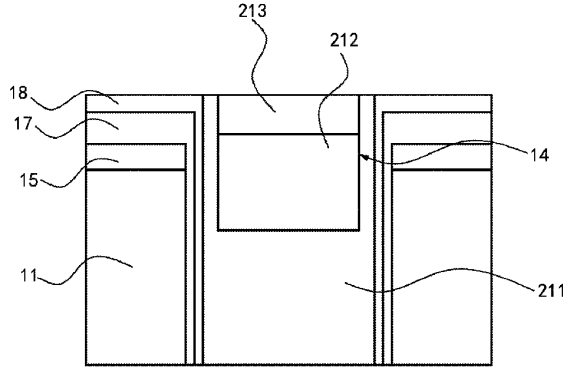


图 14

10

20

30

40

50

【图 15】

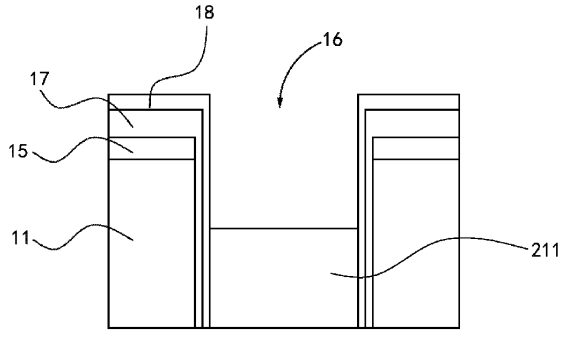


图 15

【图 16】

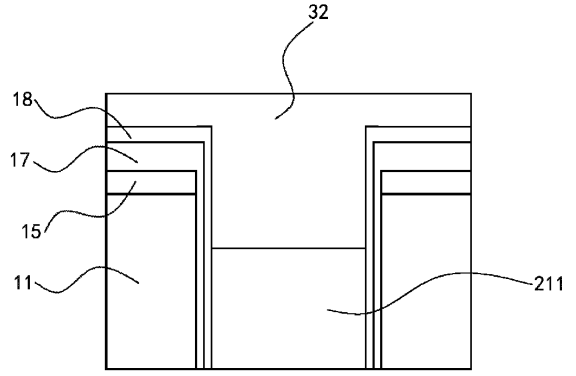


图 16

10

【图 17】

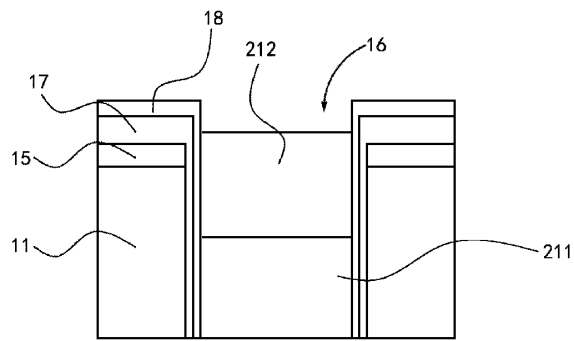


图 17

【图 18】

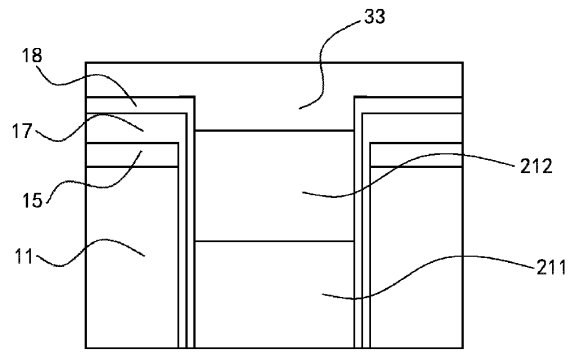



图 18

20

30

40

50

【 19】

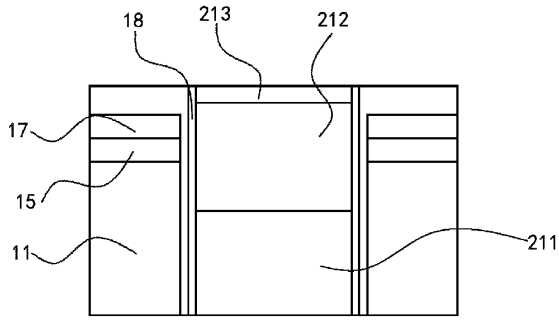


图 19

10

20

30

40

50

フロントページの続き

(72)発明者 チャン チー - ウェイ
中華人民共和国 230601 アンファイ プロヴィンス ヘーフェイ シティ エコノミック アンド
テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイエ ア
ベニュー ナンバー 388

(72)発明者 リュウ ジエ
中華人民共和国 230601 アンファイ プロヴィンス ヘーフェイ シティ エコノミック アンド
テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイエ ア
ベニュー ナンバー 388

審査官 宇多川 勉

(56)参考文献 特開2013-247139(JP,A)
特表2019-503580(JP,A)
米国特許出願公開第2015/0115462(US,A1)
特開2008-135482(JP,A)
特開2009-111061(JP,A)
特開2015-005659(JP,A)
特開2020-109452(JP,A)

(58)調査した分野 (Int.Cl., DB名)
H01L 21/3205