



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월27일
(11) 등록번호 10-1177486
(24) 등록일자 2012년08월21일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01) H01L 21/8242 (2006.01)
(21) 출원번호 10-2011-0007984
(22) 출원일자 2011년01월26일
심사청구일자 2011년01월26일
(65) 공개번호 10-2012-0086624
(43) 공개일자 2012년08월03일
(56) 선행기술조사문헌
KR1020100030018 A
US7678676 B2
US7189605 B2
KR1020070069757 A

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
김바울
경기도 이천시 대산로288번길 89, 고담기숙사 105-1213 (고담동)
김형규
서울특별시 동작구 상도로 253, 3동 107호 (상도동, 대림아파트)
(74) 대리인
특허법인태평양

전체 청구항 수 : 총 2 항

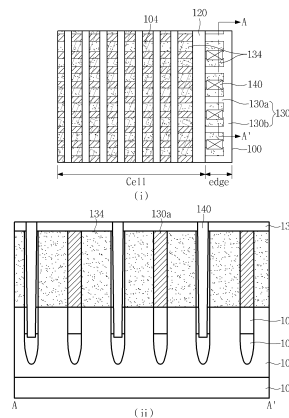
심사관 : 이승주

(54) 발명의 명칭 반도체 소자 및 그 형성 방법

(57) 요약

본 발명의 반도체 소자의 형성 방법은 소자분리막 및 활성영역이 구비된 셀 영역 및 상기 소자분리막만이 구비된 셀 가장자리 영역을 포함하는 반도체 기판 내 매립된 게이트 전극을 형성하는 단계와, 상기 게이트 전극 상부에 실링절연막을 형성하는 단계와, 상기 실링절연막 상부 및 상기 셀 가장자리 영역의 상기 소자분리막 상부에 배리어막을 형성하는 단계와, 상기 반도체 기판 상부 및 상기 배리어막 사이에 저장전극 콘택플러그를 형성하는 단계 및 상기 셀 가장자리 영역의 상기 배리어막 및 상기 실링절연막을 관통하며 상기 게이트 전극과 연결되는 금속 콘택플러그를 형성하는 단계를 포함하는 것을 특징으로 하여, 게이트 금속과 금속 콘택플러그의 연결 시 반도체 기판과 금속 콘택플러그가 연결되는 문제를 방지하여 반도체 소자의 특성을 향상시킬 수 있는 효과를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

소자분리막 및 활성영역이 구비된 셀 영역 및 상기 소자분리막만이 구비된 셀 가장자리 영역을 포함하는 반도체 기관 내 매립된 게이트 전극;

상기 게이트 전극 상부에 구비되며 상기 반도체 기관 내 매립된 실링절연막;

상기 실링절연막 상부 및 상기 셀 가장자리 영역의 상기 소자분리막 상부에 구비되는 배리어막;

상기 반도체 기관 상부 및 상기 배리어막 사이에 구비되는 저장전극 콘택플러그; 및

상기 배리어막 및 상기 실링절연막을 관통하며 상기 게이트 전극과 연결되는 금속 콘택플러그를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2

청구항 2은(는) 설정등록료 납부시 포기되었습니다.

청구항 1에 있어서,

상기 게이트 전극과 수직하게 배열되며 상기 활성영역의 중앙부와 연결되는 비트라인을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

청구항 1에 있어서,

상기 배리어막은

상기 셀 영역의 상기 게이트 전극과 평행한 방향으로 연장되어 배열되며 상기 실링절연막 상부에 구비되는 라인타입의 배리어막; 및

상기 셀 가장자리 영역에서 상기 라인타입의 배리어막의 일측단부와 연결되며 비트라인과 평행한 방향으로 연장되고 상기 소자분리막 상부에 구비되는 패드타입의 배리어막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 4

청구항 4은(는) 설정등록료 납부시 포기되었습니다.

청구항 1에 있어서,

상기 배리어막 및 상기 실링절연막은 동일한 식각선택비를 갖는 물질을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 5

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

청구항 1에 있어서,

상기 배리어막과 상기 실링절연막은 상기 저장전극 콘택플러그보다 식각선택비가 큰 것을 특징으로 하는 반도체 소자.

청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

청구항 1에 있어서,

상기 금속 콘택플러그와 상기 실링절연막 및 상기 배리어막의 적층구조는 교대로 구비되는 것을 특징으로 하

는 반도체 소자.

청구항 7

소자분리막 및 활성영역이 형성된 셀 영역 및 상기 소자분리막만이 형성된 셀 가장자리 영역을 포함하는 반도체 기관 내 매립된 게이트 전극을 형성하는 단계;

상기 게이트 전극 상부에 실링절연막을 형성하는 단계;

상기 실링절연막 상부 및 상기 셀 가장자리 영역의 상기 소자분리막 상부에 배리어막을 형성하는 단계;

상기 반도체 기관 상부 및 상기 배리어막 사이에 저장전극 콘택플러그를 형성하는 단계; 및

상기 셀 가장자리 영역의 상기 배리어막 및 상기 실링절연막을 관통하며 상기 게이트 전극과 연결되는 금속 콘택플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

청구항 7에 있어서,

상기 게이트 전극을 형성하는 단계는

상기 소자분리막 및 상기 활성영역을 식각하여 트렌치를 형성하는 단계; 및

상기 트렌치 저부에 게이트 도전물질을 형성하는 단계를 포함하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

청구항 8에 있어서,

상기 실링절연막을 형성하는 단계는 상기 트렌치가 매립되도록 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

청구항 7에 있어서,

상기 실링절연막을 형성하는 단계 이후

상기 활성영역의 중앙부와 연결되는 비트라인을 형성하는 단계를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

청구항 10에 있어서,

상기 비트라인을 형성하는 단계 이후

상기 반도체 기관 상에 층간절연막을 형성하는 단계; 및

상기 비트라인이 노출되도록 상기 층간절연막에 평탄화 식각 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 12

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

청구항 11에 있어서,

상기 배리어막을 형성하는 단계는

상기 셀 영역의 상기 게이트 전극과 평행한 방향으로 연장되어 배열되며 상기 실링절연막 상부에 라인타입의 배리어막을 형성하고, 상기 셀 가장자리 영역에서 상기 라인타입의 배리어막의 일측단부와 연결되며 상기 비트라인과 평행한 방향으로 연장되고 상기 소자분리막 상부에 패드타입의 배리어막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

청구항 12에 있어서,

상기 라인타입의 배리어막을 형성하는 단계는

상기 셀 영역 및 상기 셀 가장자리 영역의 상기 실링절연막이 노출되도록 상기 층간절연막을 식각하여 라인타입의 배리어 예정영역을 형성하는 단계; 및

상기 라인타입의 배리어 예정영역에 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

청구항 12에 있어서,

상기 패드타입의 배리어막을 형성하는 단계는

상기 셀 가장자리 영역에서 상기 라인타입의 배리어 예정영역의 일측단부와 연결되며 상기 비트라인과 평행한 방향으로 연장되고 상기 소자분리막이 노출되도록 상기 층간절연막을 식각하여 패드타입의 배리어 예정영역을 형성하는 단계; 및

상기 패드타입의 배리어 예정영역에 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

청구항 12에 있어서,

상기 저장전극 콘택플러그를 형성하는 단계는

상기 배리어막 양측에 형성된 상기 층간절연막을 식각하여 저장전극 콘택홀을 형성하는 단계; 및

상기 저장전극 콘택홀에 도전물질을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

청구항 12에 있어서,

상기 금속 콘택플러그를 형성하는 단계는

상기 게이트 금속이 노출되도록 상기 라인타입의 배리어막 및 상기 실링절연막을 식각하여 금속 콘택홀을 형성하는 단계; 및

상기 금속 콘택홀에 도전층을 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

청구항 16에 있어서,

상기 금속 콘택홀을 형성하는 단계는

서로 이웃하는 상기 실링절연막 및 상기 라인타입의 배리어막의 적층구조물 중 하나의 실링절연막 및 라인타입의 배리어막의 적층구조물을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 18

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

청구항 17에 있어서,

상기 라인타입의 배리어막 및 상기 실링절연막의 적층구조물을 식각하는 단계는 상기 저장전극 콘택플러그와 의 식각선택비를 이용하여 식각하는 것을 특징으로 하는 반도체 소자의 형성 방법.

명세서

기술분야

[0001] 본 발명은 반도체 소자 및 그 형성 방법에 관한 것으로, 보다 자세하게는 금속 콘택플러그를 포함하는 반도체 소자 및 그 형성 방법에 관한 것이다.

배경기술

[0002] 최근 대부분의 전자 제품들(electronic appliances)은 반도체 소자(semiconductor devices)를 구비한다. 상기 반도체 소자는 트랜지스터, 저항 및 커패시터 등의 전자 부품(electronic element)들을 구비하며, 이들 전자 부품들은 상기 전자 제품들의 부분적 기능을 수행할 수 있도록 설계된 후, 반도체 기판 상에 집적된다. 예를 들면, 컴퓨터 또는 디지털 카메라 등의 전자 제품들은 정보 저장을 위한 메모리 칩(memory chip), 정보 제어를 위한 처리 칩(processing chip) 등의 반도체 장치들을 구비하고, 상기 메모리 칩 및 처리 칩은 반도체 기판 상에 집적된 상기 전자 부품들을 구비한다.

[0003] 한편, 반도체 소자들은 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 점점 더 고집적화 될 필요가 있다. 반도체 소자의 집적도가 높아지면서 디자인 룰(design rule)이 감소하게 되어 반도체 소자의 패턴도 미세화되고 있다. 반도체 소자의 극미세화 및 고집적화가 진행됨에 따라 메모리 용량의 증가에 비례하여 전체적인 칩(chip) 면적은 증가되고 있지만 실제로 반도체 소자의 패턴이 형성되는 셀(cell) 영역의 면적은 감소되고 있다. 따라서, 원하는 메모리 용량을 확보하기 위해서는 한정된 셀 영역 내에 보다 많은 패턴이 형성되어야만 하므로, 패턴의 선포(critical dimension)이 감소된 미세 패턴을 형성하여야 한다.

[0004] 반도체 소자의 종류 중에서 디램(DRAM)은 캐패시터 및 트랜지스터로 구성된 단위 셀(unit cell)을 다수 포함하고 있다. 이 중 캐패시터는 데이터를 임시 저장하기 위해 사용되고, 트랜지스터는 환경에 따라 전기 전도도가 변화하는 반도체의 성질을 이용하여 제어 신호(워드 라인)에 대응하여 비트라인과 캐패시터 간 데이터를 전달하기 위해 사용된다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)의 세 영역으로 구성되어 있다. 게이트로 입력되는 제어 신호에 따라 소스와 드레인 간 전하의 이동이 일어난다. 소스와 드레인 간 전하의 이동은 채널(channel) 영역을 통해 이루어지는데 바로 이 채널이 반도체의 성질을 이용한 것이다.

[0005] 반도체 기판에 통상적인 트랜지스터를 만드는 경우 반도체 기판에 게이트를 형성하고 게이트의 양 옆에 불순물을 도핑하여 소스와 드레인을 형성해 왔다. 이 경우 게이트 아래 소스와 드레인 사이가 트랜지스터의 채널 영역이 된다. 이러한 수평 채널 영역을 가지는 트랜지스터는 일정 면적의 반도체 기판을 차지하고 있다. 복잡한 반도체 기억 장치의 경우 내부에 포함된 다수의 트랜지스터로 인하여 전체 면적을 줄이는 데 어려움이 발생한다.

[0006] 반도체 기억 장치의 전체 면적을 줄이면 하나의 웨이퍼 당 생산 가능한 반도체 기억 장치의 수를 증가시킬 수 있어 생산성이 향상된다. 반도체 기억 장치의 전체 면적을 줄이기 위해 여러 가지 방법들이 제안되고 있다. 이 중 하나가 수평 채널 영역을 가지던 종래의 플래너 게이트(Planar Gate)를 대신하여, 기판에 리세스가 형성되고 그 리세스에 게이트를 형성함으로써 리세스의 곡면을 따라 채널 영역이 형성되는 리세스 게이트를 사용하는 것이며, 이 리세스 게이트에서 나아가 리세스 내에 게이트 전체를 매립하여 형성하는 매립형 게이트(Buried Gate)가 연구되고 있다.

[0007] 매립형 게이트는 셀 매트(cell mat)의 가장자리 부분에서 금속 콘택플러그와 연결되는데 금속 콘택플러그와

매립형 게이트가 연결되다 보니 금속 콘택플러그의 높이가 증가하고 금속 콘택홀의 깊이도 증가하는 문제가 발생하였다.

- [0008] 도 1의 (i)은 종래 기술에 따른 반도체 소자를 나타낸 평면도이고, 도 1의 (ii)는 도 1의 (i)을 A-A'로 자른 반도체 소자를 나타낸 단면도이다.
- [0009] 도 1의 (i)에 도시된 바와 같이, 종래 기술에 따른 반도체 소자는 소자분리막(12)을 포함하는 반도체 기판(10) 내에 매립된 게이트 전극(14)과, 게이트 전극(14)과 수직하여 배열되는 비트라인(17)을 포함하고 셀 가장자리 영역에 구비되는 게이트 전극(14)과 연결되는 금속 콘택플러그(20)을 포함한다. 보다 자세하게는 도 1의 (ii)를 참조하여 설명한다.
- [0010] 도 1의 (ii)에 도시된 바와 같이, 반도체 기판(10)의 소자분리막(12) 저부에 매립된 게이트 전극(14)과, 게이트 전극(14) 상부에 구비되며 소자분리막(12)내에 매립된 실링절연막(16)과, 실링절연막(16) 상부에 구비되는 층간절연막(18)을 형성한다. 이어서, 게이트 전극(14)이 노출되도록 층간절연막(18) 및 실링절연막(16)을 식각하여 콘택홀을 형성한 후 콘택홀에 도전층을 매립하여 게이트 전극(14)에 전원을 공급하는 금속 콘택플러그(20)를 형성한다.
- [0011] 그런데, 금속 콘택플러그(20c)와 같이 게이트 전극(14)과 정확하게 연결되는 경우는 큰 문제가 없지만, 금속 콘택플러그(20a)와 같이 사이즈가 커지거나, 금속 콘택플러그(20b)와 같이 금속 콘택플러그가 오정렬되는 경우 게이트 전극(14)과 정확하게 연결되지 못하고 반도체 기판(10)과 연결되는 경우 편치가 발생하여 반도체 소자의 특성이 저하되는 문제가 발생한다.

발명의 내용

해결하려는 과제

- [0012] 본 발명은 게이트 전극과 금속 콘택플러그의 연결 시 오정렬되거나 콘택플러그의 사이즈가 커지는 경우 게이트 전극과 연결되지 못하고 반도체 기판과 연결되어 반도체 소자의 특성을 저하시키는 문제를 해결하고자 한다.

과제의 해결 수단

- [0013] 본 발명의 반도체 소자는 소자분리막 및 활성영역이 구비된 셀 영역 및 상기 소자분리막만이 구비된 셀 가장자리 영역을 포함하는 반도체 기판 내 매립된 게이트 전극과, 상기 게이트 전극 상부에 구비되며 상기 반도체 기판 내 매립된 실링절연막과, 상기 실링절연막 상부 및 상기 셀 가장자리 영역의 상기 소자분리막 상부에 구비되는 배리어막과, 상기 반도체 기판 상부 및 상기 배리어막 사이에 구비되는 저장전극 콘택플러그 및 상기 배리어막 및 상기 실링절연막을 관통하며 상기 게이트 전극과 연결되는 금속 콘택플러그를 포함하는 것을 특징으로 한다.
- [0014] 그리고, 상기 게이트 전극과 수직하게 배열되며 상기 활성영역의 중앙부와 연결되는 비트라인을 더 포함하는 것을 특징으로 한다.
- [0015] 그리고, 상기 배리어막은 상기 셀 영역의 상기 게이트 전극과 평행한 방향으로 연장되어 배열되며 상기 실링절연막 상부에 구비되는 라인타입의 배리어막 및 상기 셀 가장자리 영역에서 상기 라인타입의 배리어막의 일측단부와 연결되며 상기 비트라인과 평행한 방향으로 연장되고 상기 소자분리막 상부에 구비되는 패드타입의 배리어막을 포함하는 것을 특징으로 한다.
- [0016] 그리고, 상기 배리어막 및 상기 실링절연막은 동일한 식각선택비를 갖는 물질을 포함하는 것을 특징으로 한다.
- [0017] 그리고, 상기 배리어막과 상기 실링절연막은 상기 저장전극 콘택플러그보다 식각선택비가 큰 것을 특징으로 한다.
- [0018] 그리고, 상기 금속 콘택플러그와 상기 실링절연막 및 상기 배리어막의 적층구조는 교대로 구비되는 것을 특징으로 한다.
- [0019] 본 발명에 따른 반도체 소자의 형성 방법은 소자분리막 및 활성영역이 구비된 셀 영역 및 상기 소자분리막만이 구비된 셀 가장자리 영역을 포함하는 반도체 기판 내 매립된 게이트 전극을 형성하는 단계와, 상기 게이트 전극 상부에 실링절연막을 형성하는 단계와, 상기 실링절연막 상부 및 상기 셀 가장자리 영역의 상기 소자분

리막 상부에 배리어막을 형성하는 단계와, 상기 반도체 기판 상부 및 상기 배리어막 사이에 저장전극 콘택플러그를 형성하는 단계 및 상기 셀 가장자리 영역의 상기 배리어막 및 상기 실링절연막을 관통하며 상기 게이트 전극과 연결되는 금속 콘택플러그를 형성하는 단계를 포함하는 것을 특징으로 한다.

- [0020] 그리고, 상기 게이트 전극을 형성하는 단계는 상기 소자분리막 및 상기 활성영역을 식각하여 트렌치를 형성하는 단계와, 상기 트렌치 저부에 게이트 도전물질을 형성하는 단계를 포함하는 단계를 포함하는 것을 특징으로 한다.
- [0021] 그리고, 상기 실링절연막을 형성하는 단계는 상기 트렌치가 매립되도록 형성되는 것을 특징으로 한다.
- [0022] 그리고, 상기 실링절연막을 형성하는 단계 이후 상기 활성영역의 중앙부와 연결되는 비트라인을 형성하는 단계를 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0023] 그리고, 상기 비트라인을 형성하는 단계 이후 상기 반도체 기판 상에 층간절연막을 형성하는 단계와, 상기 비트라인이 노출되도록 상기 층간절연막에 평탄화 식각 공정을 수행하는 단계를 더 포함하는 것을 특징으로 한다.
- [0024] 그리고, 상기 배리어막을 형성하는 단계는 상기 셀 영역의 상기 게이트 전극과 평행한 방향으로 연장되어 배열되며 상기 실링절연막 상부에 라인타입의 배리어막을 형성하고, 상기 셀 가장자리 영역에서 상기 라인타입의 배리어막의 일측단부와 연결되며 상기 비트라인과 평행한 방향으로 연장되고 상기 소자분리막 상부에 패드 타입의 배리어막을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0025] 그리고, 상기 라인타입의 배리어막을 형성하는 단계는 상기 셀 영역 및 상기 셀 가장자리 영역의 상기 실링절연막이 노출되도록 상기 층간절연막을 식각하여 라인타입의 배리어 예정영역을 형성하는 단계와, 상기 라인타입의 배리어 예정영역에 절연막을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0026] 그리고, 상기 패드타입의 배리어막을 형성하는 단계는 상기 셀 가장자리 영역에서 상기 라인타입의 배리어 예정영역의 일측단부와 연결되며 상기 비트라인과 평행한 방향으로 연장되고 상기 소자분리막이 노출되도록 상기 층간절연막을 식각하여 패드타입의 배리어 예정영역을 형성하는 단계와, 상기 패드타입의 배리어 예정영역에 절연막을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0027] 그리고, 상기 저장전극 콘택플러그를 형성하는 단계는 상기 배리어막 양측에 형성된 상기 층간절연막을 식각하여 저장전극 콘택홀을 형성하는 단계와, 상기 저장전극 콘택홀에 도전물질을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0028] 그리고, 상기 금속 콘택플러그를 형성하는 단계는 상기 게이트 금속이 노출되도록 상기 라인타입의 배리어막 및 상기 실링절연막을 식각하여 금속 콘택홀을 형성하는 단계와, 상기 금속 콘택홀에 도전층을 매립하는 단계를 포함하는 것을 특징으로 한다.
- [0029] 그리고, 상기 금속 콘택홀을 형성하는 단계는 서로 이웃하는 상기 실링절연막 및 상기 라인타입의 배리어막의 적층구조물 중 하나의 실링절연막 및 라인타입의 배리어막의 적층구조물을 식각하는 단계를 포함하는 것을 특징으로 한다.
- [0030] 그리고, 상기 라인타입의 배리어막 및 상기 실링절연막의 적층구조물을 식각하는 단계는 상기 저장전극 콘택플러그와의 식각선택비를 이용하여 식각하는 것을 특징으로 한다.

발명의 효과

- [0031] 본 발명은 게이트 금속과 금속 콘택플러그의 연결 시 반도체 기판과 금속 콘택플러그가 연결되는 문제를 방지하여 반도체 소자의 특성을 향상시킬 수 있는 효과를 제공한다.

도면의 간단한 설명

- [0032] 도 1의 (i)은 종래 기술에 따른 반도체 소자를 나타낸 평면도이고, 도 1의 (ii)는 도 1의 (i)을 A-A'로 자른 반도체 소자를 나타낸 단면도.
 도 2의 (i)은 본 발명에 따른 반도체 소자를 나타낸 평면도이고, 도 2의 (ii)는 도 2의 (i)을 A-A'로 자른 반도체 소자를 나타낸 단면도.
 도 3a 내지 도 3h는 본 발명에 따른 반도체 소자의 형성 방법을 나타낸 도면.

도 4는 본 발명의 실시예에 따른 반도체 소자를 나타낸 단면도.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하에서는 본 발명에 따라 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- [0034] 도 2의 (i)은 본 발명에 따른 반도체 소자를 나타낸 평면도이고, 도 2의 (ii)는 도 2의 (i)을 A-A'로 자른 반도체 소자를 나타낸 단면도이다.
- [0035] 도 2의 (i)에 도시된 바와 같이, 본 발명에 따른 반도체 소자는 셀 영역(cell) 내에서 소자분리막(102)에 의해 정의되는 활성영역(104)을 포함하고, 셀 가장자리 영역(edge)에서 소자분리막(102) 만을 포함하는 반도체 기판(100)과, 소자분리막(102) 및 활성영역(104) 상부에 구비되는 배리어막(130)과, 배리어막(130)과 수직하는 비트라인(120)과, 배리어막(130)과 비트라인(120) 사이를 매립하는 저장전극 콘택플러그(134)를 포함한다. 여기서, 배리어막(130)은 셀 영역(cell)에서부터 연장되어 형성된 라인타입의 배리어막(130a)과, 라인타입의 배리어막(130a)의 일측단부에 연결되며 비트라인(120)과 수직한 방향으로 구비되는 패드타입의 배리어막(130b)을 포함한다. 라인타입의 배리어막(130a)은 셀 영역(cell) 및 셀 가장자리 영역(edge)에 연장되어 형성되는 것이 바람직하고, 패드타입의 배리어막(130b)은 셀 가장자리 영역(edge)에 형성되는 것이 바람직하다. 보다 구체적으로 도 2의 (i)을 A-A'로 자른 도 2의 (ii)를 참조하여 설명한다.
- [0036] 도 2의 (ii)에 도시된 바와 같이, 반도체 기판(100) 내 소자분리막(102) 내 매립된 게이트 전극(106)과, 게이트 전극(106) 상부에 구비되고 소자분리막(102) 내 매립된 실링절연막(108)과, 실링절연막(108) 상부에 연장되어 구비되는 라인타입의 배리어막(130a)과, 라인타입의 배리어막(130a)의 양측에 구비되고 소자분리막(102) 상에 구비되는 저장전극 콘택플러그(134)와, 저장전극 콘택플러그(134) 및 라인타입의 배리어막(130a) 상부에 구비되는 층간절연막(136)과, 층간절연막(136), 라인타입의 배리어막(130a) 및 실링절연막(108)을 관통하고 게이트 전극(106)과 연결되는 금속 콘택플러그(140)를 포함하는 것이 바람직하다.
- [0037] 도 2의 (ii)에는 패드타입의 배리어막(130b)는 도시되지는 않았지만, 패드타입의 배리어막(130b)은 셀 가장자리 영역(edge)에서 라인타입의 배리어막(130a)의 일측단부와 연결되며 비트라인(120)과 평행한 방향으로 연장되고 소자분리막(102) 상부에 구비되는 것이 바람직하다.
- [0038] 여기서, 배리어막(130)과 실링절연막(108)은 동일한 식각선택비를 갖는 물질을 포함하는 것이 바람직하다. 또한, 금속 콘택플러그(140)는 실링절연막(108) 및 라인타입의 배리어막(130a)의 적층구조와 교대로 배열되는 것이 바람직하다.
- [0039] 상술한 구성을 갖는 본 발명에 따른 반도체 소자의 형성 방법은 다음과 같다. 도 3a 내지 도 3h는 본 발명에 따른 반도체 소자의 형성 방법을 나타낸 도면이다. 여기서 도 3a 내지 도 3e의 (i)은 평면도를 나타낸 것이고, (ii)는 (i)의 B-B'를 자른 단면도를 나타낸 것이다. 도 3f의 (i)은 평면도를 나타낸 것이고, (ii)는 (i)의 B-B'를 자른 단면도를 나타낸 것이고, (iii)은 평면도(i)의 A-A'를 자른 단면도이다. 그리고, 도 3g 및 도 3h의 (i)은 평면도를 나타낸 것이고, (ii)는 (i)의 A-A'를 자른 단면도를 나타낸 것이다.
- [0040] 도 3a에 도시된 바와 같이, 셀 영역(cell)내의 소자분리막(102)에 의해 정의되는 활성영역(104)을 포함하고, 셀 가장자리 영역(edge)내의 소자분리막(102)을 포함하는 반도체 기판(100) 내에 트렌치를 형성한 후, 트렌치 저부에 게이트 도전물질을 매립하여 게이트 전극(106)을 형성한다. 게이트 전극(106) 상부에 실링 절연막(108)을 형성하고 실링절연막(108)을 포함하는 반도체 기판(100) 상부에 캡핑절연막(110)을 형성한다. 이어서 캡핑절연막(110) 상부에 층간절연막(112)을 형성하고, 활성영역(104)의 중앙부가 노출되도록 층간절연막(112) 및 캡핑절연막(110)을 식각하여 콘택홀을 형성하고, 콘택홀의 측벽에 스페이서(113)를 형성한다. 콘택홀이 매립되도록 도전물질을 형성하여 비트라인 콘택플러그(114)를 형성한 후 비트라인 콘택플러그(114) 상부에 비트라인 전극(116) 및 하드마스크층(118)을 형성하여 비트라인(120)을 형성한다. 비트라인(120)은 게이트 전극(106)과 수직하게 배열되는 것이 바람직하다. 이어서, 비트라인(120)의 측벽에 스페이서(122)를 형성한다.
- [0041] 도 3b에 도시된 바와 같이, 층간절연막(112) 상부에 층간절연막(124)을 형성한 후 하드마스크층(118)이 노출되도록 층간절연막(124)에 평탄화 식각 공정을 수행한다. 여기서, 층간절연막(124)은 산화막을 포함하는 것이 바람직하다.
- [0042] 도 3c에 도시된 바와 같이, 층간절연막(124) 및 비트라인(120) 상부에 감광막 패턴(126)을 형성한 후 감광막 패턴(126)을 식각마스크로 게이트 전극(106) 상부에 형성된 실링절연막(108) 및 소자분리막(102)이 노출되도록 층간절연막(124)을 식각하여 배리어 예정 영역(128)을 형성한다. 여기서 소자분리막(102)은 셀 가장자리

영역(edge)에 구비되는 소자분리막(102)을 의미한다. 따라서, 배리어 예정영역(128)은 게이트 전극(106) 상부에 형성된 실링절연막(108) 상부가 노출되도록 형성되므로 셀 영역(cell)에서 게이트 전극(106)과 중첩되도록 연장되어 배열되며 실링절연막(108)을 노출시키는 라인타입의 배리어 예정영역(128a)을 포함하고, 셀 가장자리 영역(edge)에서 라인타입의 배리어 예정영역(128a)의 일측단부와 연결되며 비트라인(120)과 평행한 방향으로 연장되고 소자분리막(102)을 노출시키는 패드타입의 배리어 예정영역(128b)을 포함하는 것이 바람직하다.

[0043] 도 3d에 도시된 바와 같이, 배리어 예정영역(128a, 128b)에 절연막을 매립하여 배리어막(130)을 형성한다. 편의상 배리어 예정영역(128a)에 매립된 절연막은 라인타입의 배리어막(130a)이라 하고, 배리어 예정영역(128b)에 매립된 절연막은 패드타입의 배리어막(130b)이라 한다.

[0044] 절연막(130)은 실링절연막(108)과 동일한 식각선택비를 갖는 물질을 적용하는 것이 바람직하고, 층간절연막(124)과 상이한 식각선택비를 갖는 물질을 포함하는 것이 바람직하다. 구체적으로 배리어막(130)은 질화막을 포함하는 것이 바람직하다.

[0045] 도 3e에 도시된 바와 같이, 활성영역(104)의 양단부가 노출되도록 층간절연막(124)을 식각하여 저장전극 콘택플러그 영역(132)을 형성한다. 여기서, 저장전극 콘택플러그 영역(132)은 활성영역(104)의 양단부 뿐만 아니라 소자분리막(102) 일부가 노출되도록 형성될 수 있다. 또한, 저장전극 콘택플러그 영역(132)은 셀 가장자리 영역(edge)에서 층간절연막(124)이 식각된 부분에도 형성된다. 여기서 층간절연막(124)은 배리어막(130)과의 상이한 식각선택비를 이용하여 식각되는 것이 바람직하다.

[0046] 도 3f에 도시된 바와 같이, 저장전극 콘택플러그 영역(132)에 도전층을 매립하여 저장전극 콘택플러그(134)를 형성한다. 여기서, 저장전극 콘택플러그(134)는 도 3f의 (ii)에 도시된 바와 같이 셀 영역(cell)에서는 활성영역(104)의 양단부에 형성될 수 있으며, 도 3f의 (iii)에 도시된 바와 같이 셀 가장자리 영역(edge)에서는 소자분리막(102) 상부에 형성될 수 있다. 셀 가장자리 영역(edge)에서는 저장전극 콘택플러그(134)를 형성한 후 저장전극 콘택플러그(134) 및 라인타입의 배리어막(130a) 상부에 층간절연막(136)을 형성하는 것이 바람직하다. 이때, 저장전극 콘택플러그(134)는 배리어막(130) 및 실링절연막(108) 보다 식각선택비가 작은 물질을 사용하는 것이 바람직하다.

[0047] 저장전극 콘택플러그(134) 형성 이후 공정은 셀 가장자리 영역(edge)을 중심으로 이루어지므로 셀 영역(cell)의 단면도는 생략하고 셀 가장자리 영역(edge)을 의 A-A'를 자른 단면도를 참조하여 설명한다.

[0048] 도 3g에 도시된 바와 같이, 게이트 전극(106)이 노출되도록 층간절연막(136), 라인타입의 배리어막(130a) 및 실링절연막(108)을 식각하여 금속 콘택홀(138)을 형성한다. 여기서, 금속 콘택홀(138)은 도 3g의 (ii)에 서로 이웃하는 실링절연막(108) 및 라인타입의 배리어막(130a)의 적층구조물 중 하나의 실링절연막(108) 및 라인타입의 배리어막(130a)의 적층구조물을 식각하여 형성되는 것이 바람직하다. 라인타입의 배리어막(130a) 및 실링절연막(108)의 적층구조물은 저장전극 콘택플러그(134)와의 식각선택비를 이용하여 식각되는 것이 바람직하다. 라인타입의 배리어막(130a) 및 실링절연막(108)이 저장전극 콘택플러그(134)보다 식각선택비가 크기 때문에 금속 콘택홀(138)이 오정렬되거나 사이즈가 커지더라도 라인타입의 배리어막(130a) 및 실링절연막(108)만을 식각하게 되므로 금속 콘택홀(138)이 반도체 기판(100)까지 연장되어 형성되는 것을 방지할 수 있다. 또한, 라인타입의 배리어막(130a) 및 실링절연막(108)은 동일한 식각선택비를 갖는 물질이기 때문에 게이트 전극(106)이 노출되도록 식각할 때 용이하게 식각될 수 있어 반도체 기판(100)으로 식각되는 것을 방지할 수 있다.

[0049] 도 3h에 도시된 바와 같이, 금속 콘택홀(138)에 도전층을 매립하여 금속 콘택플러그(140)를 형성한다. 본 발명에 따른 금속 콘택플러그(140)는 사이즈가 크게 형성된 경우, 오정렬된 경우에도 반도체 기판(100)과 연결되지 않고 게이트 전극(106)에만 연결되도록 형성된다.

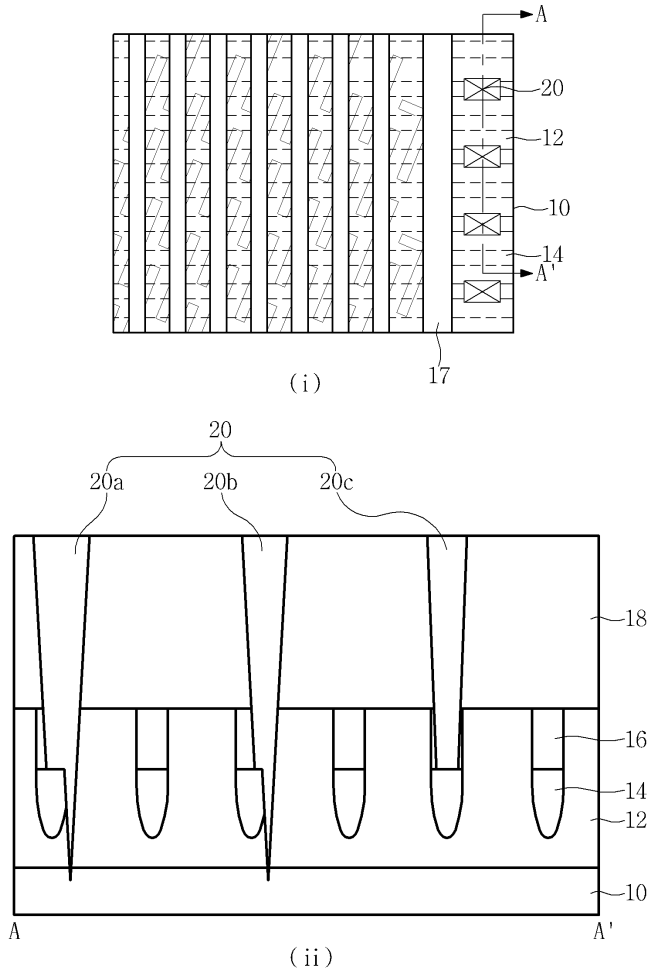
[0050] 도 4에 도시된 바와 같이, 금속 콘택홀(138)의 사이즈가 크게 증가하여 층간절연막(136)이 큰 폭으로 식각되더라도 금속 콘택홀(138)은 라인타입의 배리어막(130a) 및 실링절연막(108)이 식각되어 정의되기 때문에 층간절연막(136)에 형성된 금속 콘택홀의 폭보다 작게 형성된다. 그러므로 금속 콘택홀(138)이 반도체 기판(100)으로 연장되는 것을 근본적으로 방지할 수 있다. 마찬가지로, 금속 콘택홀(138)이 오정렬되는 경우 게이트 전극(106)의 상부 연장선 상의 층간절연막(136)이 식각되지 못하더라도 금속 콘택홀(138)은 게이트 전극(106)과 오버랩되는 부분의 라인타입의 배리어막(130a) 및 실링절연막(108)이 식각되어 형성되므로 반도체 기판(100)으로 연장되는 것을 방지할 수 있다. 따라서, 금속 콘택홀(138)의 사이즈가 크게 증가하는 경우의 금속 콘택플러그(140a)와 금속 콘택홀(138)이 오정렬되어 형성되는 금속 콘택플러그(140b)는 본 발명에 따라 형성된 금속 콘택플러그(140c)와 같이 게이트 전극(106)과 용이하게 연결될 수 있다.

[0051]

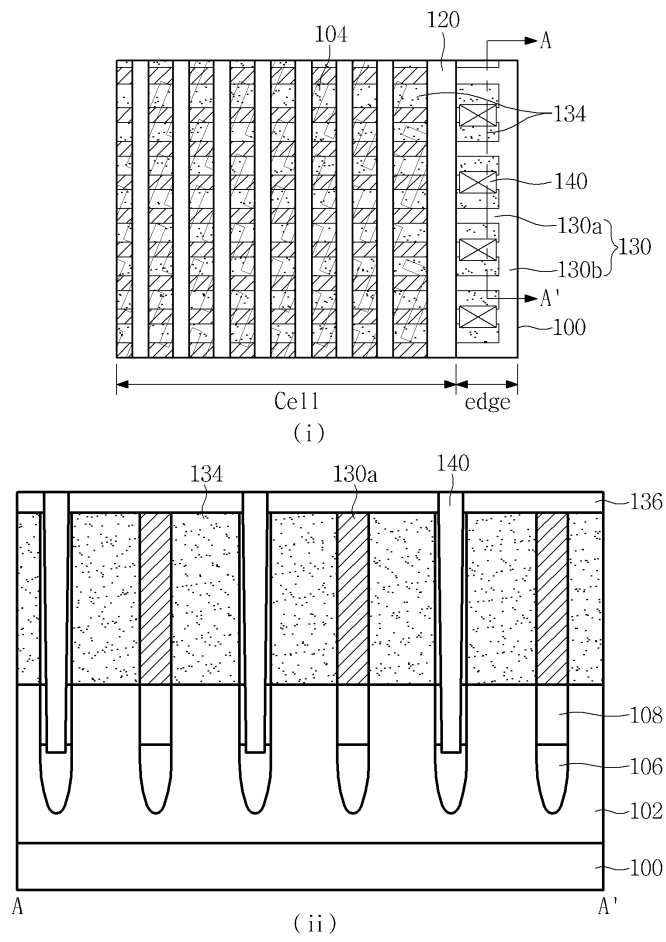
본 발명은 기재된 실시예에 한정하는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않는 한 다양하게 수정 및 변형을 할 수 있음은 당업자에게 자명하다고 할 수 있는 바, 그러한 변형예 또는 수정예들은 본 발명의 특허청구범위에 속하는 것이다.

도면

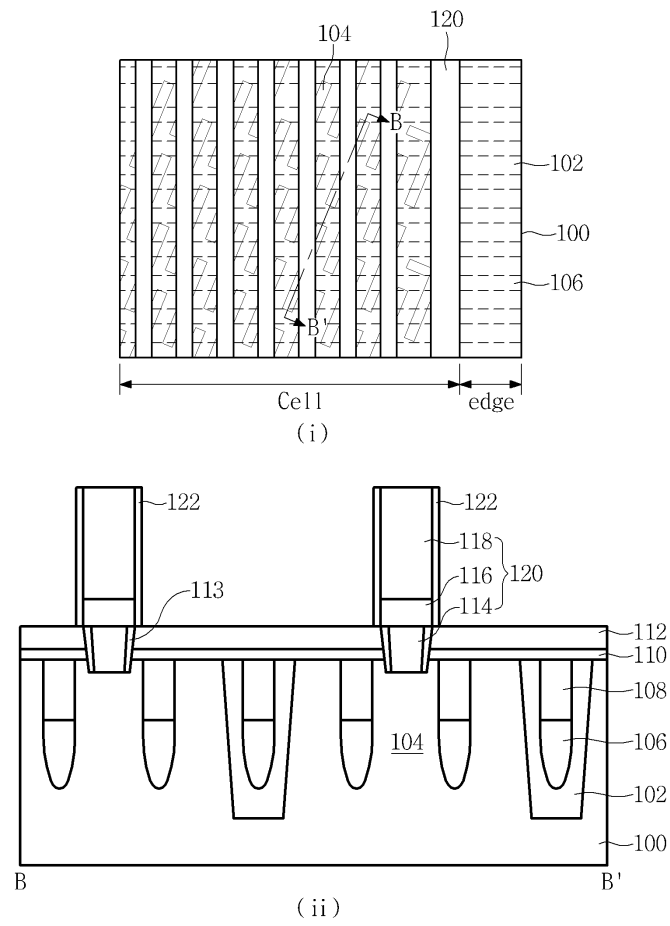
도면1



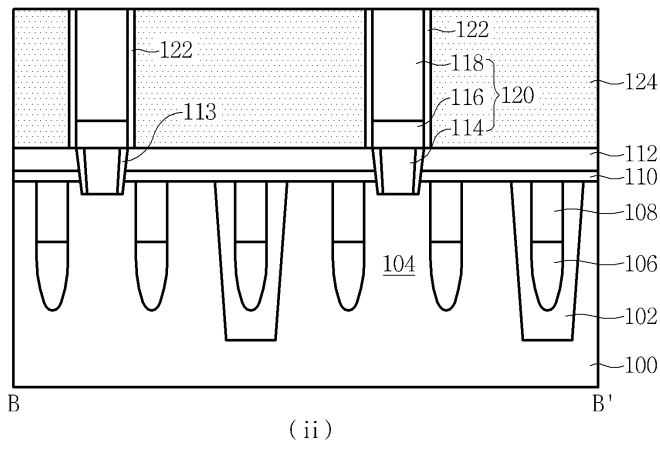
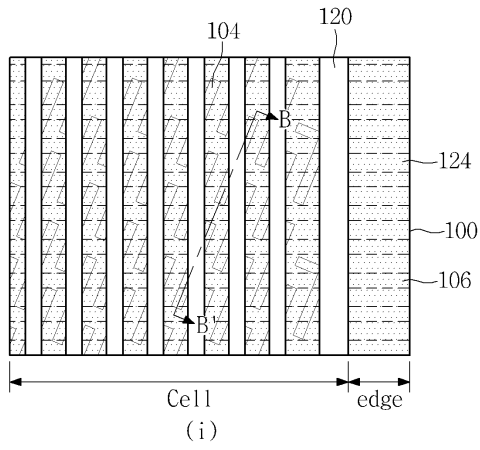
도면2



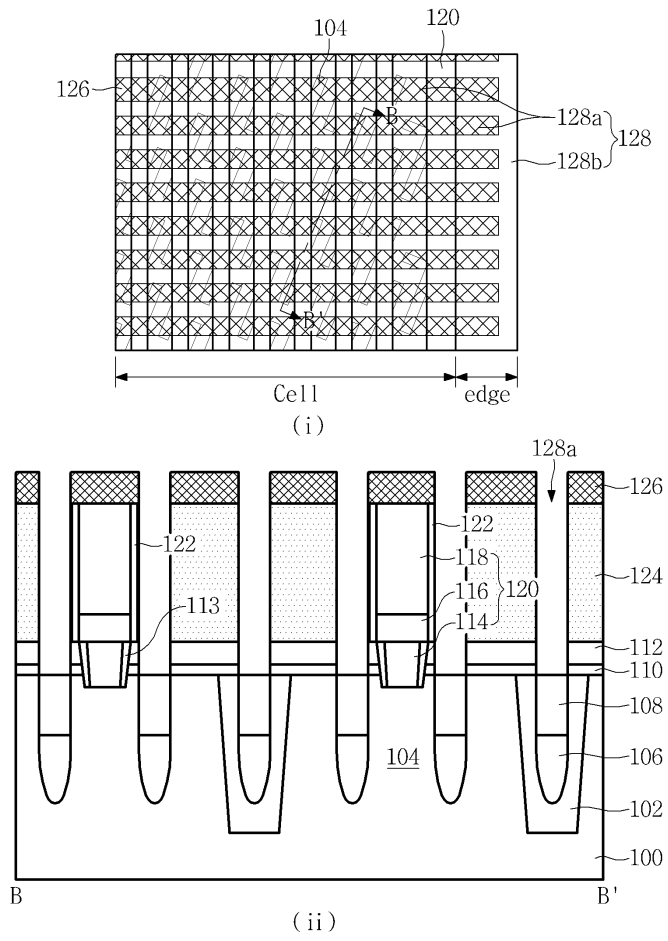
도면3a



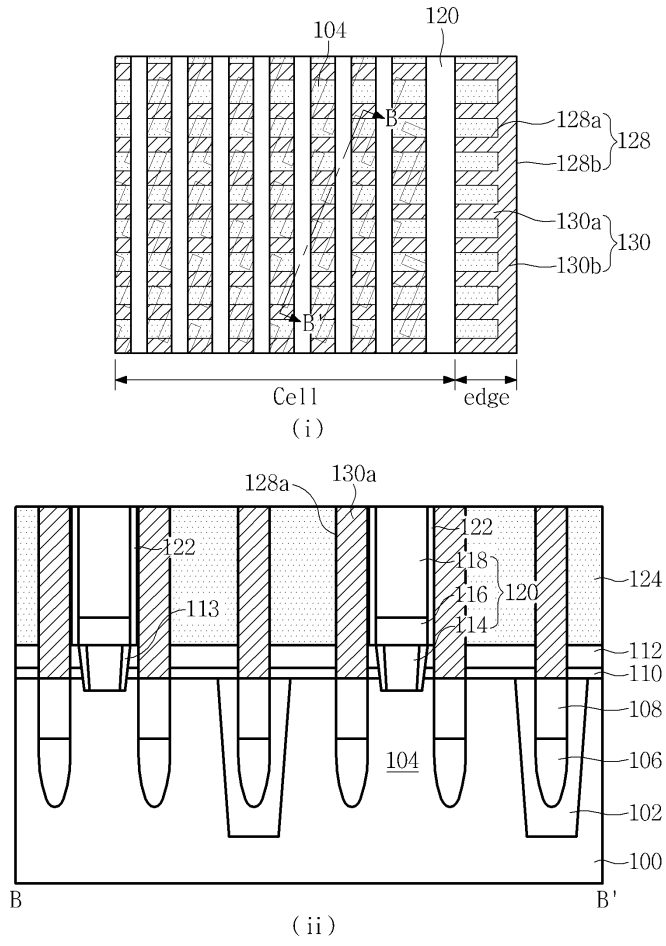
도면3b



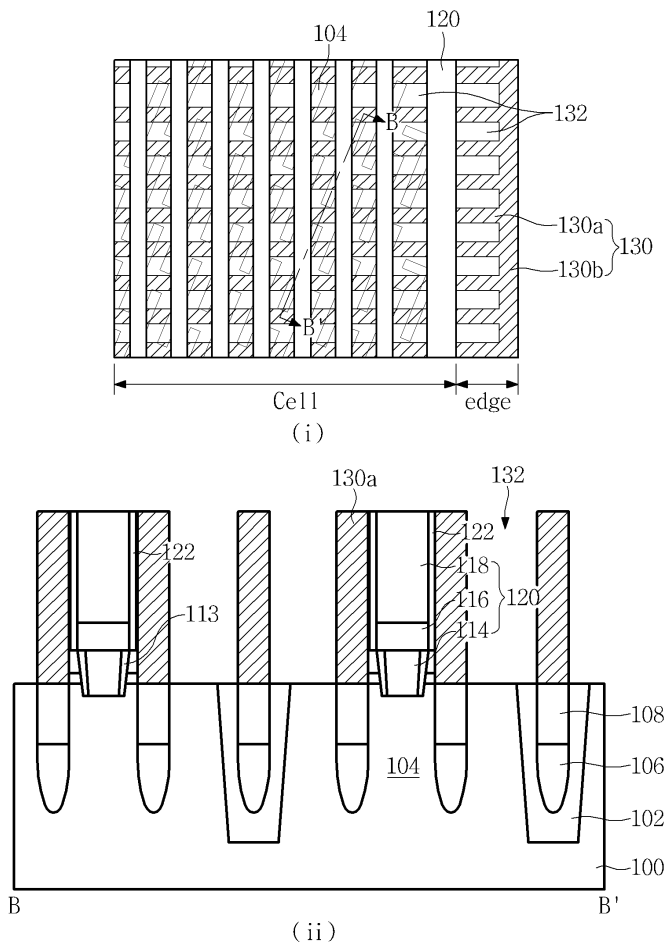
도면3c



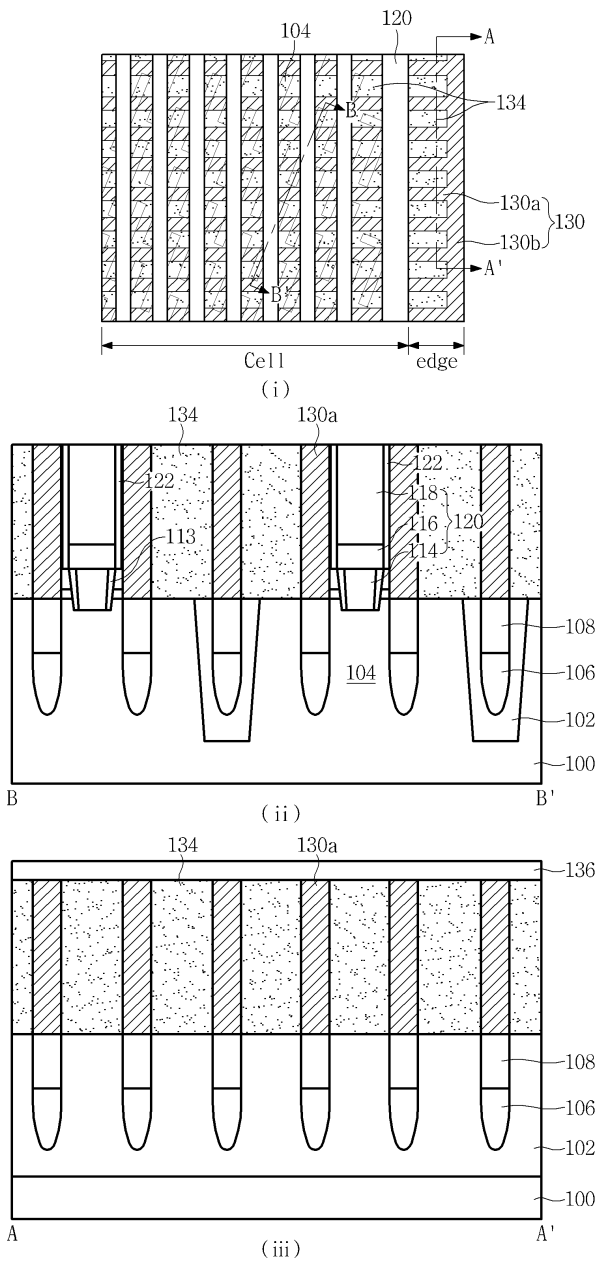
도면3d



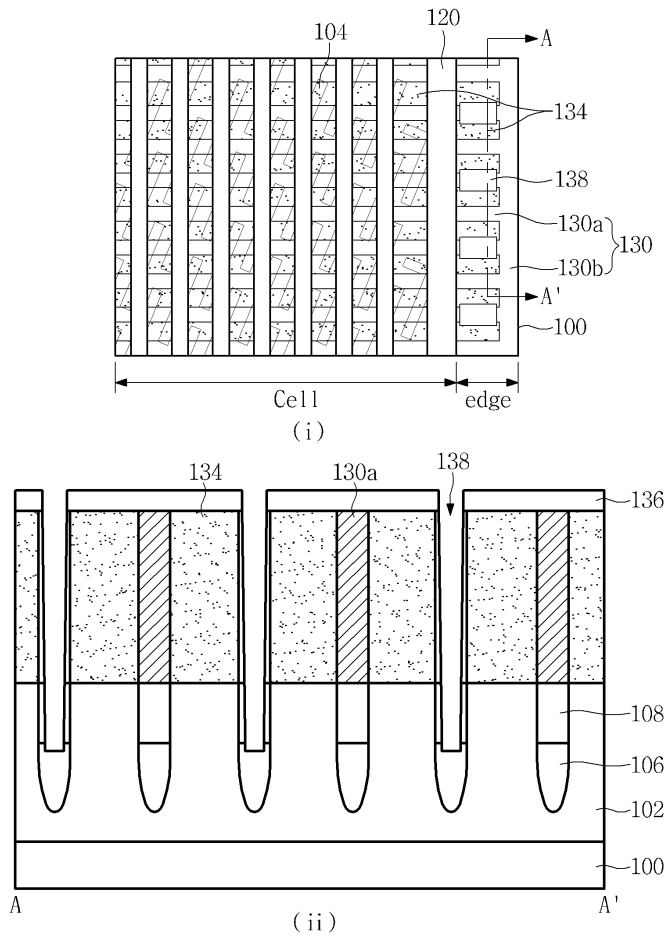
도면3e



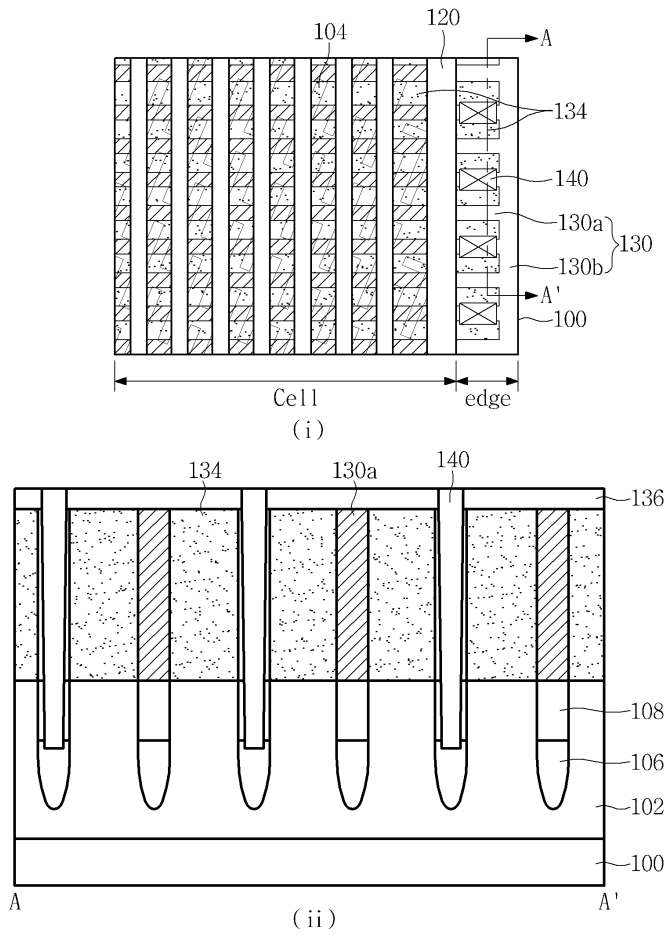
도면3f



도면3g



도면3h



도면4

