



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I730736 B

(45)公告日：中華民國 110 (2021) 年 06 月 11 日

(21)申請案號：109113856

(22)申請日：中華民國 109 (2020) 年 04 月 24 日

(51)Int. Cl. : H01L21/8244(2006.01)

H01L27/11568(2017.01)

(71)申請人：力晶積成電子製造股份有限公司(中華民國) POWERCHIP SEMICONDUCTOR  
MANUFACTURING CORPORATION (TW)

新竹市力行一路 18 號

(72)發明人：張守仁 CHANG, SHOU-ZEN (TW)；魏易玄 WEI, YI-HSUNG (TW)；曾培修  
TSENG, PEI-HSIU (TW)；林家佑 LIN, JIA-YOU (TW)

(74)代理人：葉璟宗；卓俊傑

(56)參考文獻：

US 6281535B1

US 2004/0164360A1

US 2006/0102957A1

審查人員：林弘恩

申請專利範圍項數：14 項 圖式數：3 共 31 頁

(54)名稱

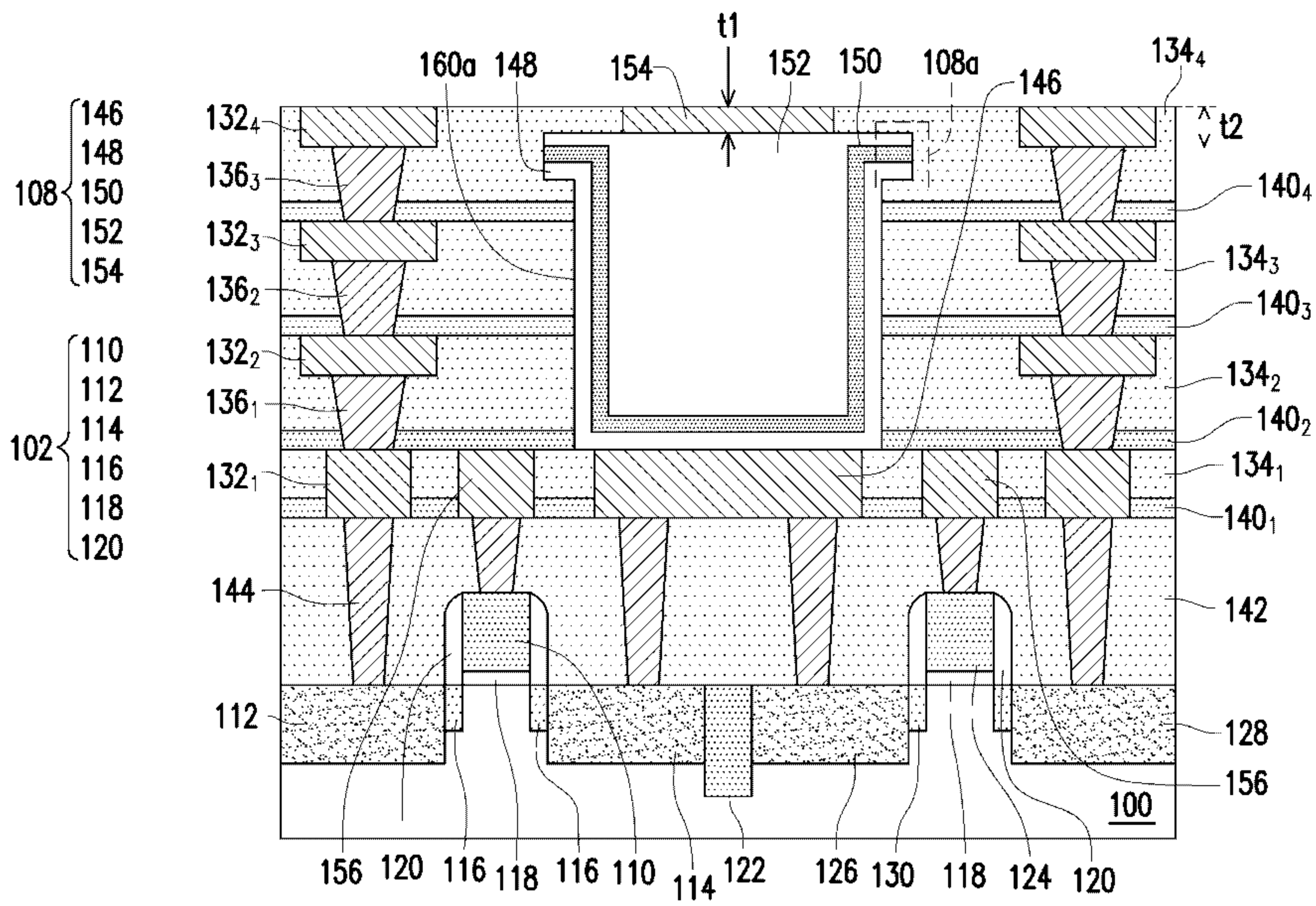
靜態隨機存取記憶體元件及其製造方法

(57)摘要

一種靜態隨機存取記憶體元件，包括基底、第一電晶體、第二電晶體、金屬內連線結構與電容器。金屬內連線結構形成於第一與第二電晶體上，電容器設置於金屬內連線結構內並耦接在第一電晶體與第二電晶體之間。電容器由下往上包括下金屬層、第一電極層、介電層、第二電極層與上金屬層。所述下金屬層耦接所述第一電晶體的源極節點與所述第二電晶體的源極節點。下金屬層與金屬內連線結構中第  $n$  層的金屬層是以同一層材料形成，其中  $n \geq 1$ ；上金屬層與金屬內連線結構中第  $m$  層的金屬層是以同一層材料形成，其中  $m \geq n+1$ 。

A SRAM memory device includes a substrate, a first transistor, a second transistor, a metal interconnect structure, and a capacitor. The metal interconnect structure is formed on the first and second transistors. The capacitor is disposed in the metal interconnect structure and is coupled between the first transistor and the second transistor. The capacitor includes a lower metal layer, a first electrode layer, a dielectric layer, a second electrode layer, and an upper metal layer from bottom to top. The lower metal layer is coupled to a source node of the first transistor and a source node of the second transistor. The lower metal layer and the  $n$ -th metal layer in the metal interconnect structure are formed of the same material, where  $n \geq 1$ ; the upper metal layer and the  $m$ -th metal layer in the metal interconnect structure are formed of the same material, where  $m \geq n + 1$ .

指定代表圖：



【圖1】

符號簡單說明：

- 100: 基底
- 102: 第一電晶體
- 104: 第二電晶體
- 106: 金屬內連線結構
- 106a: 開口
- 108: 電容器
- 108a: 延伸部
- 110: 第一閘極
- 112: 第一汲極節點
- 114: 第一源極節點
- 116、130: LDD 區
- 118: 閘介電層
- 120: 間隙壁
- 122: 元件隔離結構
- 124: 第二閘極
- 126: 第二源極節點
- 128: 第二汲極節點
- 132<sub>1-4</sub>、132<sub>N</sub>: 金屬層
- 134<sub>1-4</sub>、134<sub>N</sub>: ILD 層
- 136<sub>1-3</sub>、136<sub>N</sub>: 介層窗
- 140<sub>1-4</sub>: 中間層
- 142: 內層介電層
- 144: 接觸窗
- 146: 下金屬層
- 148: 第一電極層
- 150: 介電層
- 152: 第二電極層
- 154: 上金屬層
- 156: 字元線
- t1、t2: 厚度



I730736

**【發明摘要】****【中文發明名稱】** 靜態隨機存取記憶體元件及其製造方法**【英文發明名稱】** SRAM DEVICE AND MANUFACTURING

METHOD THEREOF

**【中文】**

一種靜態隨機存取記憶體元件，包括基底、第一電晶體、第二電晶體、金屬內連線結構與電容器。金屬內連線結構形成於第一與第二電晶體上，電容器設置於金屬內連線結構內並耦接在第一電晶體與第二電晶體之間。電容器由下往上包括下金屬層、第一電極層、介電層、第二電極層與上金屬層。所述下金屬層耦接所述第一電晶體的源極節點與所述第二電晶體的源極節點。下金屬層與金屬內連線結構中第 $n$ 層的金屬層是以同一層材料形成，其中 $n \geq 1$ ；上金屬層與金屬內連線結構中第 $m$ 層的金屬層是以同一層材料形成，其中 $m \geq n+1$ 。

**【英文】**

A SRAM memory device includes a substrate, a first transistor, a second transistor, a metal interconnect structure, and a capacitor. The metal interconnect structure is formed on the first and second transistors. The capacitor is disposed in the metal interconnect structure and is coupled between the first transistor and the second

transistor. The capacitor includes a lower metal layer, a first electrode layer, a dielectric layer, a second electrode layer, and an upper metal layer from bottom to top. The lower metal layer is coupled to a source node of the first transistor and a source node of the second transistor. The lower metal layer and the n-th metal layer in the metal interconnect structure are formed of the same material, where  $n \geq 1$ ; the upper metal layer and the m-th metal layer in the metal interconnect structure are formed of the same material, where  $m \geq n + 1$ .

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100: 基底

102: 第一電晶體

104: 第二電晶體

106: 金屬內連線結構

106a: 開口

108: 電容器

108a: 延伸部

110: 第一閘極

112: 第一汲極節點

114: 第一源極節點

116、130: LDD區

- 118: 閘介電層
- 120: 間隙壁
- 122: 元件隔離結構
- 124: 第二閘極
- 126: 第二源極節點
- 128: 第二汲極節點
- 132<sub>1~4</sub>、132<sub>N</sub>: 金屬層
- 134<sub>1~4</sub>、134<sub>N</sub>: ILD層
- 136<sub>1~3</sub>、136<sub>N</sub>: 介層窗
- 140<sub>1~4</sub>: 中間層
- 142: 內層介電層
- 144: 接觸窗
- 146: 下金屬層
- 148: 第一電極層
- 150: 介電層
- 152: 第二電極層
- 154: 上金屬層
- 156: 字元線
- t1、t2: 厚度

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】靜態隨機存取記憶體元件及其製造方法

【英文發明名稱】SRAM DEVICE AND MANUFACTURING

METHOD THEREOF

### 【技術領域】

【0001】本發明是有關於一種半導體記憶體，且特別是有關於一種靜態隨機存取記憶體元件及其製造方法。

### 【先前技術】

【0002】靜態隨機存取記憶體（SRAM）屬於揮發性半導體記憶體裝置。目前發展出由兩個電晶體與電容器耦接的記憶體元件。在此種記憶體元件中，使用電容器作為儲存組件。因此，如何增加電容器的電容以提升記憶體元件的電性效能為目前業界持續努力的目標。

### 【發明內容】

【0003】本發明提供一種靜態隨機存取記憶體元件，能大幅增進電容器的電容量。

【0004】本發明另提供一種靜態隨機存取記憶體元件的製造方法，可在不增加額外光罩與製程的情況下，製造出具有高電容量的靜態隨機存取記憶體元件。

【0005】 本發明的一種靜態隨機存取記憶體元件，包括基底、第一電晶體、第二電晶體、金屬內連線結構與電容器。第一電晶體形成於基底上，所述第一電晶體包括第一閘極、第一源極節點和第一汲極節點。第二電晶體也形成於基底上，所述第二電晶體包括第二閘極、第二源極節點和第二汲極節點。金屬內連線結構形成於第一與第二電晶體上，其中所述金屬內連線結構包括多層金屬層、多層層間介電(ILD)層與連接不同層金屬層的多個介層窗。電容器設置於金屬內連線結構內並耦接在第一電晶體與第二電晶體之間。所述電容器包括下金屬層、第一電極層、介電層、第二電極層與上金屬層。所述下金屬層耦接所述第一源極節點與所述第二源極節點，且下金屬層與金屬內連線結構中第  $n$  層的金屬層是以同一層材料形成，其中  $n \geq 1$ 。上金屬層設置在所述下金屬層之上，且所述上金屬層與金屬內連線結構中第  $m$  層的金屬層是以同一層材料形成，其中  $m \geq n+1$ 。第一電極層設置在下金屬層與上金屬層之間，第二電極層設置在上金屬層與第一電極層之間，介電層則是介於第一電極層與第二電極層之間。

【0006】 在本發明的一實施例中，上述靜態隨機存取記憶體元件還可包括多個字元線(WL)分別耦接第一閘極與第二閘極，其中所述字元線與下金屬層是以同一層材料形成。

【0007】 在本發明的一實施例中，上述字元線的延伸方向與第一閘極的延伸方向一樣，且上述字元線的延伸方向與第二閘極的延伸方向一樣。

【0008】 在本發明的一實施例中，上述金屬內連線結構具有一開口，且所述電容器形成於所述開口內。

【0009】 在本發明的一實施例中，上述第一電極層形成於開口的表面，介電層形成於第一電極層的表面，且第二電極層填滿開口且覆蓋上述介電層。

【0010】 在本發明的一實施例中，上述電容器還具有延伸至開口以外的延伸部。

【0011】 在本發明的一實施例中，上述上金屬層的厚度比所述第  $m$  層的金屬層的厚度薄。

【0012】 在本發明的一實施例中，上述第一電晶體與上述第二電晶體分別為 N 型金氧半導體電晶體與 P 型金氧半導體電晶體中的一者與另一者。

【0013】 本發明的一種靜態隨機存取記憶體元件的製造方法，包括提供基底，再形成第一電晶體與第二電晶體，其中所述第一電晶體包括第一閘極、第一源極節點和第一汲極節點，且所述第二電晶體包括第二閘極、第二源極節點和 second 汲極節點。形成覆蓋第一與第二電晶體的內層介電層，並在內層介電層內形成耦接所述第一源極節點與所述第二源極節點的多個接觸窗。在所述內層介電層上形成金屬內連線結構，其中所述金屬內連線結構包括多層金屬層、多層層間介電 (ILD) 層與連接不同層的金屬層的多個介層窗，且第  $n$  層的金屬層的一部分是下金屬層，其中  $n \geq 1$ 。在所述金屬內連線結構內形成一開口，所述開口底部露出所述下金



屬層。然後，於開口內形成電容器，其中所述電容器包括下金屬層、形成於開口表面的第一電極層、形成於第一電極層表面的介電層、填滿所述開口且覆蓋介電層的第二電極層以及形成於第二電極層表面的上金屬層，所述上金屬層是第  $m$  層的金屬層的一部分，其中  $m \geq n+1$ 。

**【0014】** 在本發明的另一實施例中，形成上述開口的步驟包括在金屬內連線結構上方形成多層罩幕層，在所述多層罩幕層上形成圖案化光阻層，其中圖案化光阻層具有對準下金屬層的圖案。然後，利用所述圖案化光阻層做為罩幕，將圖案轉移至多層罩幕層，再利用所述多層罩幕層做為罩幕，將所述圖案轉移至金屬內連線結構。之後移除所述圖案化光阻層與所述多層罩幕層。

**【0015】** 在本發明的另一實施例中，形成上述第一電極層的方法包括有機金屬氣相沉積（MOCVD）。

**【0016】** 在本發明的另一實施例中，形成上述第二電極層的方法包括超臨界流體沉積（SFD）、物理汽相沉積（PVD）或其組合。

**【0017】** 在本發明的另一實施例中，形成上述電容器的步驟包括在金屬內連線結構與下金屬層上依序沉積所述第一電極層、所述介電層與所述第二電極層，圖案化上述各層，再於第二電極層上形成所述上金屬層。

**【0018】** 在本發明的另一實施例中，圖案化上述第二電極層、介電層與第一電極層的步驟包括保留開口以外的部分第二電極層、部分介電層與部分第一電極層，而形成所述電容器的延伸部。

【0019】 在本發明的各個實施例中，上述介電層的材料包括高介電常數材料。

【0020】 基於上述，本發明的電容器是形成於金屬內連線結構中，因此其高度與金屬內連線結構中的至少一層金屬層與至少一個介層窗的總厚度相同，所以比傳統形成在基底上與內層介電層厚度接近的電容器的表面積要大得多，進而可增進電容量。此外，由於電容器與電晶體之間的耦接是通過下金屬層，所以與傳統直接接觸源極節點的電容器製程相比，本發明的製程條件更為寬鬆，並可整合至現有 2 電晶體-靜態隨機存取記憶體（2 transistor-static random-access memory，2T-SRAM）製程中。另外，因為電容器的位置移到金屬內連線結構，所以有空間設置連接閘極的金屬字元線，進而降低阻抗，避免閘極供電能力發生轉移（shift）問題。

【0021】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【圖式簡單說明】

#### 【0022】

圖 1 是依照本發明的第一實施例的一種靜態隨機存取記憶體元件的剖面示意圖。

圖 2A 與圖 2B 分別是第一實施例的靜態隨機存取記憶體元件的兩例之剖面示意圖。

圖 3A 至圖 3G 是依照本發明的第二實施例的一種靜態隨機存

取記憶體元件的製造流程示意圖。

### 【實施方式】

【0023】 下文列舉一些實施例並配合所附圖式來進行詳細地說明，但所提供的實施例並非用以限制本發明所涵蓋的範圍。此外，圖式僅以說明為目的，並未依照原尺寸作圖，譬如各層的厚度並未按實際比例繪製。為了方便理解，下述說明中相同的元件將以相同之符號標示來說明。另外，關於文中所使用「包含」、「包括」、「具有」等等用語，均為開放性的用語；也就是指包含但不限於。而且，文中所提到的方向性用語，例如：「上」、「下」等，僅是用以參考圖式的方向。因此，使用的方向性用語是用來說明，而並非用來限制本發明。

【0024】 圖 1 是依照本發明的第一實施例的一種靜態隨機存取記憶體元件的剖面示意圖。

【0025】 請參照圖 1，第一實施例的靜態隨機存取記憶體元件包括基底 100、第一電晶體 102、第二電晶體 104、金屬內連線結構 106 與電容器 108。第一電晶體 102 形成於基底 100 上，所述第一電晶體 102 包括第一閘極 110、第一汲極節點 112 和第一源極節點 114。此外，第一電晶體 102 還可具有 LDD( lightly doped drain )區 116、閘介電層 118 與間隙壁 120 等結構，然而本發明並不限於此，在一實施例中，第一汲極節點 112 的表面和第一源極節點 114 的表面還可設置矽化金屬層（未繪示），以降低後續線路的阻值；間隙

壁 120 可為單層或多層結構。第二電晶體 104 也形成於基底 100 上，並與第一電晶體 102 之間可經由元件隔離結構 122（如 STI）隔開。在本實施例中，第一電晶體 102 與第二電晶體 104 分別為 N 型金氧半導體（NMOS）電晶體與 P 型金氧半導體（PMOS）電晶體中的一者與另一者。所述第二電晶體 104 包括第二閘極 124、第二源極節點 126 和第二汲極節點 128。此外，第二電晶體 104 也可具有 LDD 區 130、閘介電層 118 與間隙壁 120 等結構，然而本發明並不限於此，在一實施例中，第二源極節點 126 和第二汲極節點 128 的表面還可設置矽化金屬層（未繪示）。在本實施例中，第一閘極 110 與第二閘極 124 合為傳輸閘（transmission gate）。金屬內連線結構 106 形成於第一電晶體 102 與第二電晶體 104 上，其中金屬內連線結構 106 包括多層金屬層 132<sub>N</sub>、多層層間介電(ILD)層 134<sub>N</sub> 與連接不同層金屬層 132<sub>N</sub> 的多個介層窗 136<sub>N</sub>，N 為 1 以上的整數。以圖 1 為例，金屬內連線結構 106 包括四層金屬層 132<sub>1~4</sub>、四層 ILD 層 134<sub>1~4</sub> 與連接不同層金屬層 132<sub>1~3</sub> 的多個介層窗 136<sub>1~3</sub>，且於 ILD 層 134<sub>1~4</sub> 之間可設置材料不同的其他中間層 140<sub>1~4</sub>，以利製程的控制；例如 ILD 層 134<sub>1~4</sub> 的材料為 SiCO、中間層 140<sub>1~4</sub> 的材料為 SiCN，然而本發明並不限於此。另外，在第一、第二電晶體 102、104 與金屬內連線結構 106 之間通常有內層介電層 142 與接觸窗 144，以連接兩者。

**【0026】** 請繼續參照圖 1，電容器 108 是設置於金屬內連線結構 106 內並耦接在第一電晶體 102 與第二電晶體 104 之間。舉例來說，

金屬內連線結構 106 具有一開口 106a，電容器 108 則形成於開口 106a 內。所述電容器 108 包括下金屬層 146、第一電極層 148、介電層 150、第二電極層 152 與上金屬層 154，屬於金屬-絕緣體-金屬（metal-insulator-metal，MIM）電容器。所述下金屬層 146 可經由接觸窗 144 耦接第一源極節點 114 與第二源極節點 126，且下金屬層 146 可與金屬內連線結構 106 中第  $n$  層的金屬層  $132_n$  是以同一層材料形成（ $n \geq 1$ ）。上金屬層 154 則設置在下金屬層 146 之上，且上金屬層 154 可與金屬內連線結構 106 中第  $m$  層的金屬層  $132_m$  是以同一層材料形成（ $m \geq n+1$ ）。第一電極層 148 設置在下金屬層 146 與上金屬層 154 之間，第二電極層 152 設置在上金屬層 154 與第一電極層 148 之間，介電層 150 則是介於第一電極層 148 與第二電極層 152 之間。以圖 1 為例，下金屬層 146 與第 1 層的金屬層  $132_1$  是以同一層材料形成，因此可整合至現有 2 電晶體-靜態隨機存取記憶體（2 transistor-static random-access memory，2T-SRAM）製程中的後段製程（BEOL），而不需額外光罩與製程；上金屬層 154 與第 4 層的金屬層  $132_4$  是以同一層材料形成，且由於製程的關係，上金屬層 154 的厚度  $t_1$  會比第 4 層的金屬層  $132_4$  的厚度  $t_2$  薄，但本發明並不限於此。從圖 1 可得到，電容器 108 儲存電容量的高度與金屬內連線結構 106 中的兩層金屬層  $132_{2\sim 3}$  與三層介層窗  $136_{1\sim 3}$  的總厚度相同，比傳統形成在基底 100 上與內層介電層 142 厚度接近的電容器的表面積要大得多，所以能增加其電容量。

【0027】 在本實施例中，第一電極層 148 形成於開口 106a 的表面，介電層 150 形成於第一電極層 148 的表面，且第二電極層 152 填滿開口 106a 並覆蓋上述介電層 150，其中第一電極層 148 的材料例如是 Ti、TiN、Ta、TaN、Al、In、Nb、Hf、Sn、Zn、Zr、Cu、Y 或其組合。介電層 150 的材料例如是高介電常數材料(high-k material)、氧化矽、氮化矽、氧化矽/氮化矽/氧化矽(ONO)或其組合；上述高介電常數材料例如氧化鉭( $Ta_2O_5$ )、氧化鋁( $Al_2O_3$ )、氧化鈦( $HfO_2$ )、氧化鈦( $TiO_2$ )、氧化鋯( $ZrO_2$ )或其組合。第二電極層 152 的材料例如是 Ti、TiN、Ta、TaN、Al、In、Nb、Hf、Sn、Zn、Zr、Cu、Y 或其組合。在本實施例中，電容器 108 還具有延伸至開口 106a 以外的延伸部 108a，可進一步增加電容器 108 的電容量。

【0028】 在圖 1 中，還設置了多個字元線 (WL) 156 分別耦接第一閘極 110 與第二閘極 124，且字元線 156 與下金屬層 146 以及第 1 層的金屬層  $132_1$  均為同一層材料形成。此外，由於圖 1 顯示的是元件的剖面，所以即使看不出來，但是字元線 156 的延伸方向實際上可與第一閘極 110/第二閘極 124 的延伸方向一樣。這是因為電容器 108 的位置移到金屬內連線結構 106，所以有空間設置連接閘極(110/124)的金屬字元線 156，降低傳統電容器的下電極直接接觸第一源極節點 114 與第二源極節點 126 的阻抗，可藉此避免閘極供電能力發生轉移 (shift) 與電容器漏電之問題。

【0029】 圖2A與圖2B分別是第一實施例的靜態隨機存取記憶體元件的兩例之剖面示意圖，其中使用與上一實施例相同的元件符號來表示相同或近似的構件，且相同或近似的構件也可參照上一實施例，不再贅述。

【0030】 在圖2A中，電容器108的下金屬層200與金屬內連線結構106中第2層的金屬層132<sub>2</sub>是以同一層材料形成，其餘構件與圖1相同。因此，電容器108的下金屬層200是經由接觸窗144、金屬層132<sub>1</sub>與介層窗136<sub>1</sub>耦接第一源極節點114與第二源極節點126。從圖2A可得到，電容器108儲存電容量的高度與金屬內連線結構106中的一層金屬層132<sub>3</sub>與兩層介層窗136<sub>2~3</sub>的總厚度相同，所以電容器108的表面積仍比傳統形成在基底100上與內層介電層142厚度接近的電容器的表面積要大，可增加其電容量。舉例來說，內層介電層142的厚度如為0.28 μm，其上方的一層金屬層132<sub>3</sub>與兩層介層窗136<sub>2~3</sub>的總厚度大概在0.49 μm以上，所以電容量至少增加64%。

【0031】 在圖2B中，電容器108的上金屬層202與金屬內連線結構106中第3層的金屬層132<sub>3</sub>是以同一層材料形成，其餘構件與圖1相同。從圖2B可得到，電容器108儲存電容量的高度與金屬內連線結構106中的一層金屬層132<sub>2</sub>與兩層介層窗136<sub>1~2</sub>的總厚度相同，所以電容器108的表面積仍比傳統與內層介電層142厚度接近的電容器的表面積要大，可增加其電容量。

【0032】 圖3A至圖3G是依照本發明的第二實施例的一種靜態隨機存取記憶體元件的製造流程示意圖。

【0033】請先參照圖3A，提供基底300，再形成第一電晶體302與第二電晶體304，其中第一電晶體302包括第一閘極306a、第一汲極節點308a和第一源極節點308b，且第二電晶體304包括第二閘極306b、第二源極節點310a和第二汲極節點310b。第一電晶體302與第二電晶體304的製程可參照既有技術，因此在第一電晶體302與第二電晶體304中還可形成有閘介電層312、間隙壁314與LDD區316a、316b等構件。舉例來說，可在具有元件隔離結構318(如STI)的基底300表面先依序形成閘介電層312與導體層(未繪示)，再定義出閘介電層312與前述第一閘極306a和第二閘極306b，並先在基底300內利用離子植入製程形成LDD區316a、316b，再於第一閘極306a和第二閘極306b的側壁形成間隙壁314，之後由於第一電晶體302與第二電晶體304分別為N型金氧半導體電晶體與P型金氧半導體電晶體中的一者與另一者，所以利用離子植入製程分別形成不同導電型的第一汲極節點308a和第一源極節點308b以及第二源極節點310a和第二汲極節點310b。此外，還可在第一汲極節點308a和第一源極節點308b以及第二源極節點310a和第二汲極節點310b的表面形成矽化金屬層(未繪示)，以利後續電性耦接。上述製程僅為可施行的其中一種例子，還可根據電晶體所含的構件作相應地變化，而不侷限於以上步驟與流程。

【0034】然後，請參照圖3B，形成覆蓋第一與第二電晶體302和304的內層介電層320，並在內層介電層320內形成耦接第一源極節點308b與第二源極節點310a的接觸窗322。內層介電層320的材料例



如是以四乙氧基矽烷 (TEOS) 為反應氣體進行化學氣相沉積法所形成的氧化矽、或選自硼磷矽玻璃 (BPSG)、磷摻雜矽玻璃 (PSG)、低介電常數 (low k) 材料等。在本實施例中，所形成的接觸窗 322 還可作為個別連接第一閘極 306a、第二閘極 306b、第一汲極節點 308a 和第二汲極節點 310b 的接觸窗。

**【0035】** 之後，請參照圖 3C，在內層介電層 320 上形成金屬內連線結構 324，其包括多層金屬層 326<sub>N</sub>、多層層間介電 (ILD) 層 328<sub>N</sub> 與連接不同層金屬層 326<sub>N</sub> 的多個介層窗 330<sub>N</sub>，N 為 1 以上的整數。在製作金屬內連線結構 324 的過程中，可先完成電容器的下金屬層 332，其可與第 n 層的金屬層 326<sub>N</sub> 一同製作 (其中  $n \geq 1$ )，如圖 3C 中的下金屬層 332 是與第 1 層的金屬層 326<sub>1</sub> 一同製作，所以下金屬層 332 是第 1 層的金屬層 326<sub>1</sub> 的一部分。在另一實施例中，下金屬層 332 也可以與第 2 層的金屬層 326<sub>2</sub> 的一同製作，得到如圖 2A 的電容器，依此類推。此外，於 ILD 層 328<sub>1~3</sub> 之間可設置材料不同的其他中間層 334<sub>1~3</sub>，以利製程的控制，且其材料可參照上述實施例，故不再贅述。而且，在製作金屬層 326<sub>1</sub> 時同時還可製作字元線 (WL) 336，其分別耦接第一閘極 306a 與第二閘極 306b。由於連接第一閘極 306a 與第二閘極 306b 的字元線 336 是金屬，所以能降低阻抗，以避免閘極供電能力發生轉移問題。

**【0036】** 然後，請參照圖 3D，為了形成能容置電容器的開口，可先在金屬內連線結構 324 上方形成多層罩幕層 338，其可包括不同材料的膜層，以利後續蝕刻出開口。在一實施例中，多層罩幕層

338包括一層SiCN層340a、一層SiCO層340b、一層非晶碳(a-C)層340c與多層光阻(MLR)SiON層340d。然而，本發明並不限於此。隨後，在多層罩幕層338上形成圖案化光阻層342，其中圖案化光阻層342具有對準下金屬層332的圖案。

**【0037】** 接著，請參照圖3E，利用圖案化光阻層342做為罩幕，將圖案轉移至多層罩幕層338，再利用多層罩幕層338做為罩幕，將所述圖案轉移至金屬內連線結構324，以形成一開口344，所述開口344底部露出下金屬層332。在本實施例中，開口344的寬度 $w_1$ 略大於下金屬層332的寬度 $w_2$ ，然而本發明並不限於此。在另一實施例中，開口344的寬度 $w_1$ 可等於或小於下金屬層332的寬度 $w_2$ 。

**【0038】** 之後，請參照圖3F，移除圖案化光阻層(圖3E中的342)與多層罩幕層(圖3E中的338)，或可保留部分材料如SiCN層340a和SiCO層340b。接著為了在開口344內形成電容器，先在金屬內連線結構324與下金屬層322上沉積第一電極層346，形成第一電極層346的方法例如是化學氣相沉積法(CVD)、物理氣相沉積法(PVD)或其組合，如有機金屬氣相沉積(MOCVD)；再沉積介電層348與第二電極層350，其中形成上述第二電極層350的方法例如是超臨界流體沉積(SFD)、物理汽相沉積(PVD)或其組合。而且，由於開口344的深寬比較大，較佳是先進行SFD沉積部分第二電極層，再利用PVD沉積剩下的第二電極層。至於第一電極層346、介電層348與第二電極層350可選的材料請參照上述實施例，故不再贅述。

【0039】 隨後，請參照圖3G，圖案化上述第二電極層350、介電層348與第一電極層346，再於第二電極層350上形成上金屬層352，即完成電容器354的製作。所述上金屬層352可與第m層的金屬層326<sub>N</sub>一同製作（其中 $m \geq n+1$ ），如圖3G中的上金屬層352是與第4層的金屬層326<sub>4</sub>一同製作，所以上金屬層352是第4層的金屬層326<sub>4</sub>的一部分。也就是說，可先在第二電極層350上覆蓋ILD層328<sub>4</sub>，並在其中形成介層窗330<sub>3</sub>與上述金屬層326<sub>4</sub>，且於形成金屬層326<sub>4</sub>的期間同時形成上述上金屬層352。此外，在上述圖案化步驟中，可保留開口344以外的部分第二電極層350、部分介電層348與部分第一電極層346，而形成電容器354的延伸部354a，以進一步增加電容量。

【0040】 綜上所述，本發明整合原有的 2T-SRAM 製程，將電容器形成於金屬內連線結構中，因此其高度比傳統形成在基底上與內層介電層厚度接近的電容器的表面積要大得多，進而可增進電容量。而且，由於電容器與兩個電晶體之間的耦接是通過下金屬層，所以與傳統直接接觸源極節點的電容器製程相比，本發明的製程條件較寬鬆。同時，因為電容器的位置上移至金屬內連線結構，所以有空間設置連接閘極的金屬字元線，進而降低傳統以多晶矽當作字元線的阻抗，如此一來能降低閘極供電能力發生轉移的機率。

【0041】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的

精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

## 【符號說明】

### 【0042】

- 100、300: 基底
- 102、302: 第一電晶體
- 104、304: 第二電晶體
- 106、324: 金屬內連線結構
- 106a、344: 開口
- 108、354: 電容器
- 108a、354a: 延伸部
- 110、306a: 第一閘極
- 112、308a: 第一汲極節點
- 114、308b: 第一源極節點
- 116、130、316a、316b: LDD 區
- 118、312: 閘介電層
- 120、314: 間隙壁
- 122、318: 元件隔離結構
- 124、306b: 第二閘極
- 126、310a: 第二源極節點
- 128、310b: 第二汲極節點

132<sub>1~4</sub>、132<sub>N</sub>、326<sub>1~3</sub>、326<sub>N</sub>: 金屬層

134<sub>1~4</sub>、134<sub>N</sub>、328<sub>1~3</sub>、328<sub>N</sub>: ILD 層

136<sub>1~3</sub>、136<sub>N</sub>、330<sub>1~2</sub>、330<sub>N</sub>: 介層窗

140<sub>1~4</sub>、334<sub>1~3</sub>: 中間層

142、320: 內層介電層

144、322: 接觸窗

146、200、332: 下金屬層

148、346: 第一電極層

150、348: 介電層

152、350: 第二電極層

154、202、352: 上金屬層

156、336: 字元線

338: 多層罩幕層

340a: SiCN 層

340b: SiCO 層

340c: 非晶碳層

340d: MLR SiON 層

342: 圖案化光阻層

t1、t2: 厚度

w1、w2: 寬度

## 【發明申請專利範圍】

【請求項1】 一種靜態隨機存取記憶體元件，包括：

基底；

第一電晶體，形成於所述基底上，所述第一電晶體包括第一閘極、第一源極節點和第一汲極節點；

第二電晶體，形成於所述基底上，所述第二電晶體包括第二閘極、第二源極節點和第二汲極節點；

金屬內連線結構，形成於所述第一電晶體與所述第二電晶體上，其中所述金屬內連線結構包括多數層金屬層、多數層層間介電（ILD）層與連接不同層的所述金屬層的多數個介層窗，其中所述金屬內連線結構具有一開口；以及

電容器，設置於所述金屬內連線結構的所述開口內，並耦接在所述第一電晶體與所述第二電晶體之間，其中所述電容器包括：

下金屬層，耦接所述第一源極節點與所述第二源極節點，所述下金屬層與第  $n$  層的所述金屬層是以同一層材料形成，其中  $n \geq 1$ ；

上金屬層，設置在所述下金屬層之上，所述上金屬層與第  $m$  層的所述金屬層是以同一層材料形成，其中  $m \geq n+1$ ；

第一電極層，設置在所述下金屬層與所述上金屬層之間；

第二電極層，設置在所述上金屬層與所述第一電極層

之間；以及

介電層，介於所述第一電極層與所述第二電極層之間，其中

所述第一電極層形成於所述開口的表面，所述介電層形成於所述第一電極層的表面，且所述第二電極層填滿所述開口且覆蓋所述介電層。

**【請求項2】** 如請求項1所述的靜態隨機存取記憶體元件，更包括多數個字元線，分別耦接所述第一閘極與所述第二閘極，其中所述字元線與所述下金屬層是以同一層材料形成。

**【請求項3】** 如請求項2所述的靜態隨機存取記憶體元件，其中所述多數個字元線的延伸方向與所述第一閘極的延伸方向一樣，且所述多數個字元線的延伸方向與所述第二閘極的延伸方向一樣。

**【請求項4】** 如請求項1所述的靜態隨機存取記憶體元件，其中所述介電層的材料包括高介電常數材料。

**【請求項5】** 如請求項1所述的靜態隨機存取記憶體元件，其中所述電容器具有延伸至所述開口以外的延伸部。

**【請求項6】** 如請求項1所述的靜態隨機存取記憶體元件，其中所述上金屬層的厚度比所述第m層的金屬層的厚度薄。

**【請求項7】** 如請求項1所述的靜態隨機存取記憶體元件，其中所述第一電晶體與所述第二電晶體分別為N型金氧半導體電晶體與P型金氧半導體電晶體中的一者與另一者。

【請求項8】 一種靜態隨機存取記憶體元件的製造方法，包括：

提供基底；

形成第一電晶體與第二電晶體，其中所述第一電晶體包括第一閘極、第一源極節點和第一汲極節點，且所述第二電晶體包括第二閘極、第二源極節點和第二汲極節點；

形成覆蓋所述第一電晶體與所述第二電晶體的內層介電層；

在內層介電層內形成耦接所述第一源極節點與所述第二源極節點的多數個接觸窗；

在所述內層介電層上形成金屬內連線結構，其中所述金屬內連線結構包括多數層金屬層、多數層層間介電（ILD）層與連接不同層的所述金屬層的多數個介層窗，且第 $n$ 層的所述金屬層的一部分是下金屬層，其中 $n \geq 1$ ，且所述下金屬層耦接所述第一源極節點與所述第二源極節點；

在所述金屬內連線結構內形成一開口，所述開口底部露出所述下金屬層；以及

於所述開口內形成電容器，其中所述電容器包括所述下金屬層、形成於所述開口的表面的第一電極層、形成於所述第一電極層的表面的介電層、填滿所述開口且覆蓋所述介電層的第二電極層以及形成於所述第二電極層的表面的上金屬層，所述上金屬層是第 $m$ 層的所述金屬層的一部分，其中 $m \geq n+1$ 。

【請求項9】 如請求項8所述的靜態隨機存取記憶體元件的製造方法，其中形成所述開口的步驟包括：



在所述金屬內連線結構上方形成多層罩幕層；

在所述多層罩幕層上形成圖案化光阻層，所述圖案化光阻層具有對準所述下金屬層的圖案；

利用所述圖案化光阻層做為罩幕，將所述圖案轉移至所述多層罩幕層；

利用所述多層罩幕層做為罩幕，將所述圖案轉移至所述金屬內連線結構；以及

移除所述圖案化光阻層與所述多層罩幕層。

**【請求項10】** 如請求項8所述的靜態隨機存取記憶體元件的製造方法，其中形成所述第一電極層的方法包括有機金屬氣相沉積（MOCVD）。

**【請求項11】** 如請求項8所述的靜態隨機存取記憶體元件的製造方法，其中所述介電層的材料包括高介電常數材料。

**【請求項12】** 如請求項8所述的靜態隨機存取記憶體元件的製造方法，其中形成所述第二電極層的方法包括超臨界流體沉積（SFD）、物理汽相沉積（PVD）或其組合。

**【請求項13】** 如請求項8所述的靜態隨機存取記憶體元件的製造方法，其中形成所述電容器的步驟包括：

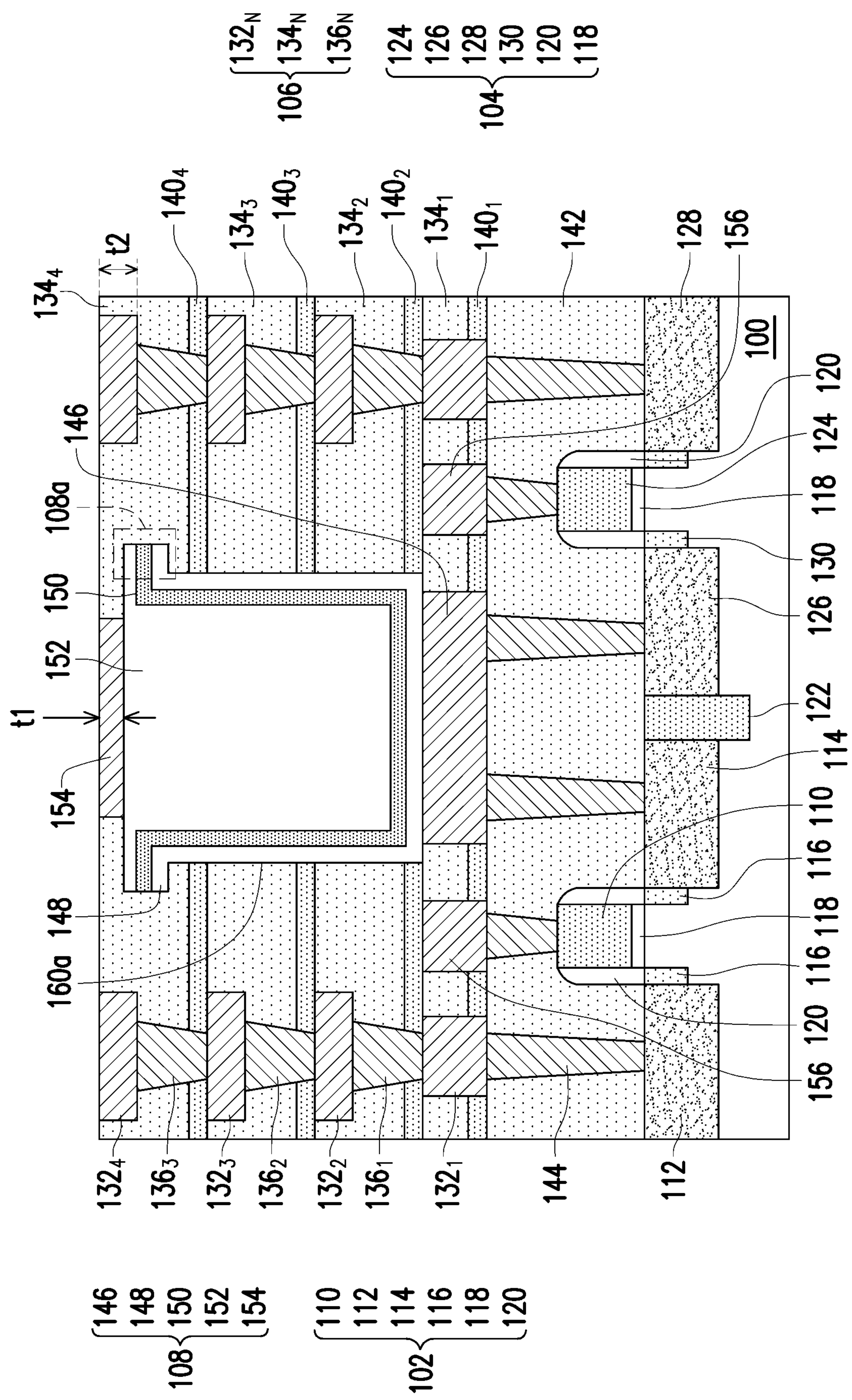
在所述金屬內連線結構與所述下金屬層上依序沉積所述第一電極層、所述介電層與所述第二電極層；

圖案化所述第二電極層、所述介電層與所述第一電極層；以及

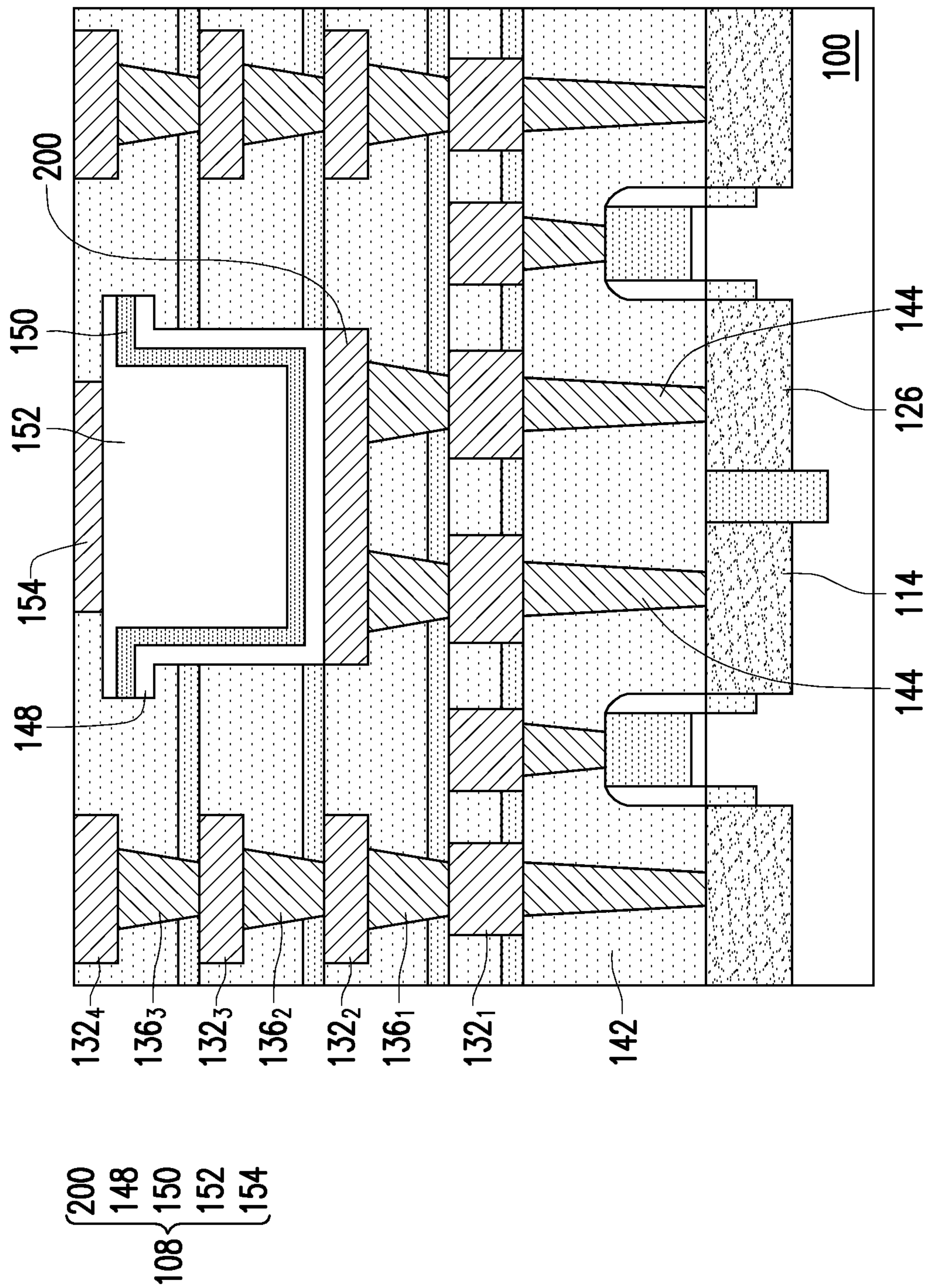
在所述第二電極層上形成所述上金屬層。

【請求項14】 使如請求項13所述的靜態隨機存取記憶體元件的製造方法，其中圖案化所述第二電極層、所述介電層與所述第一電極層的步驟包括保留所述開口以外的部分所述第二電極層、所述介電層與所述第一電極層，而形成所述電容器的延伸部。

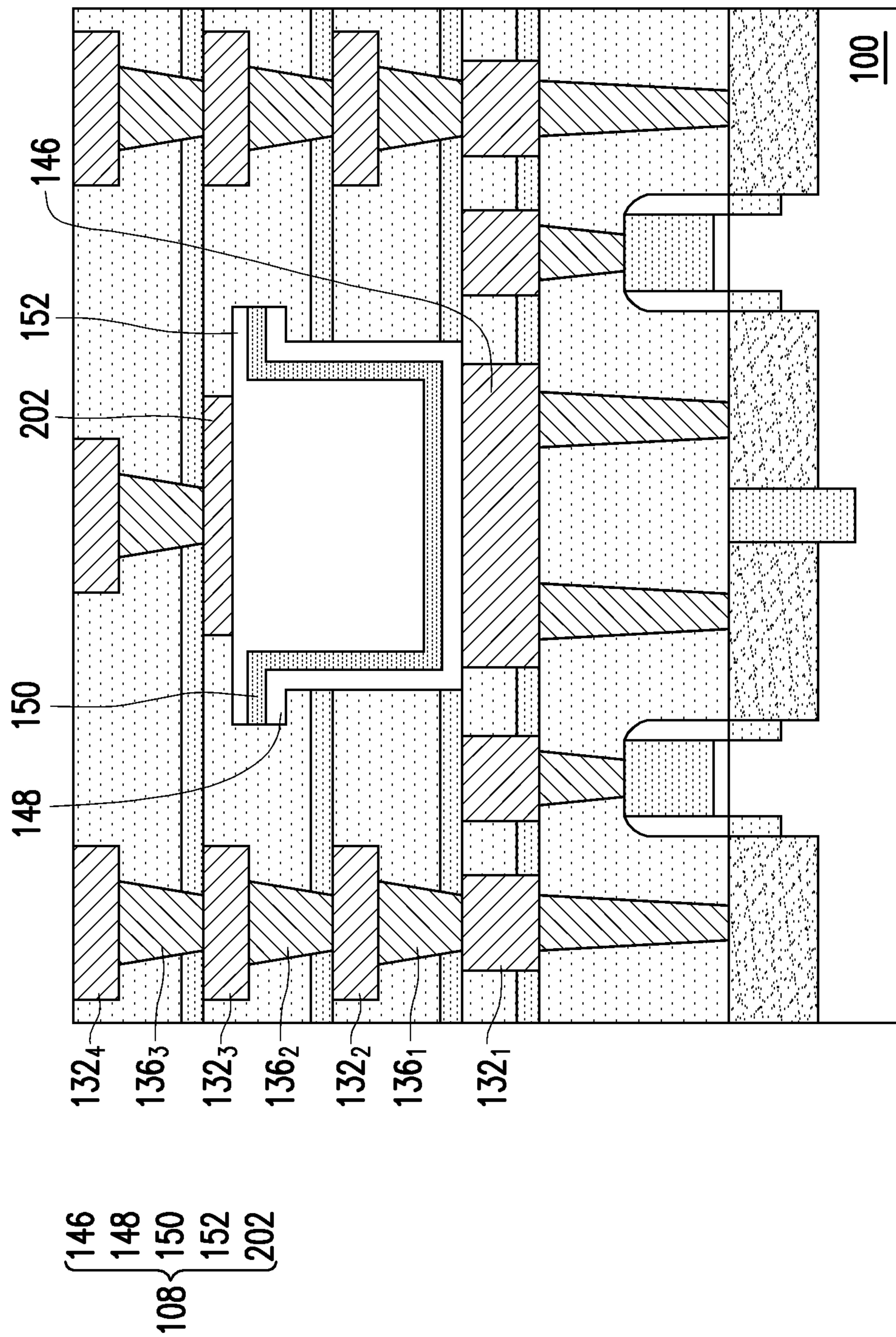
【發明圖式】



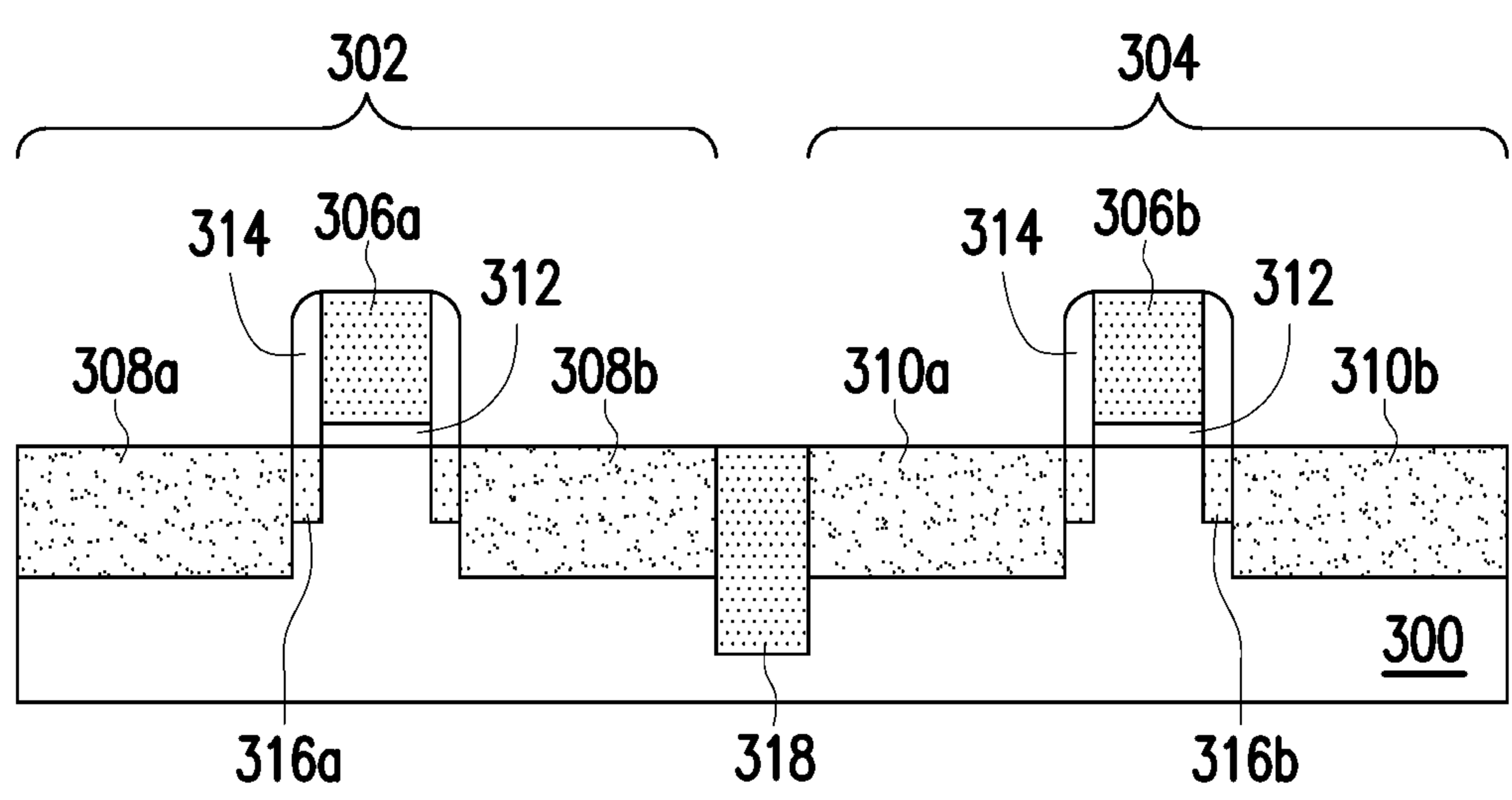
【圖1】



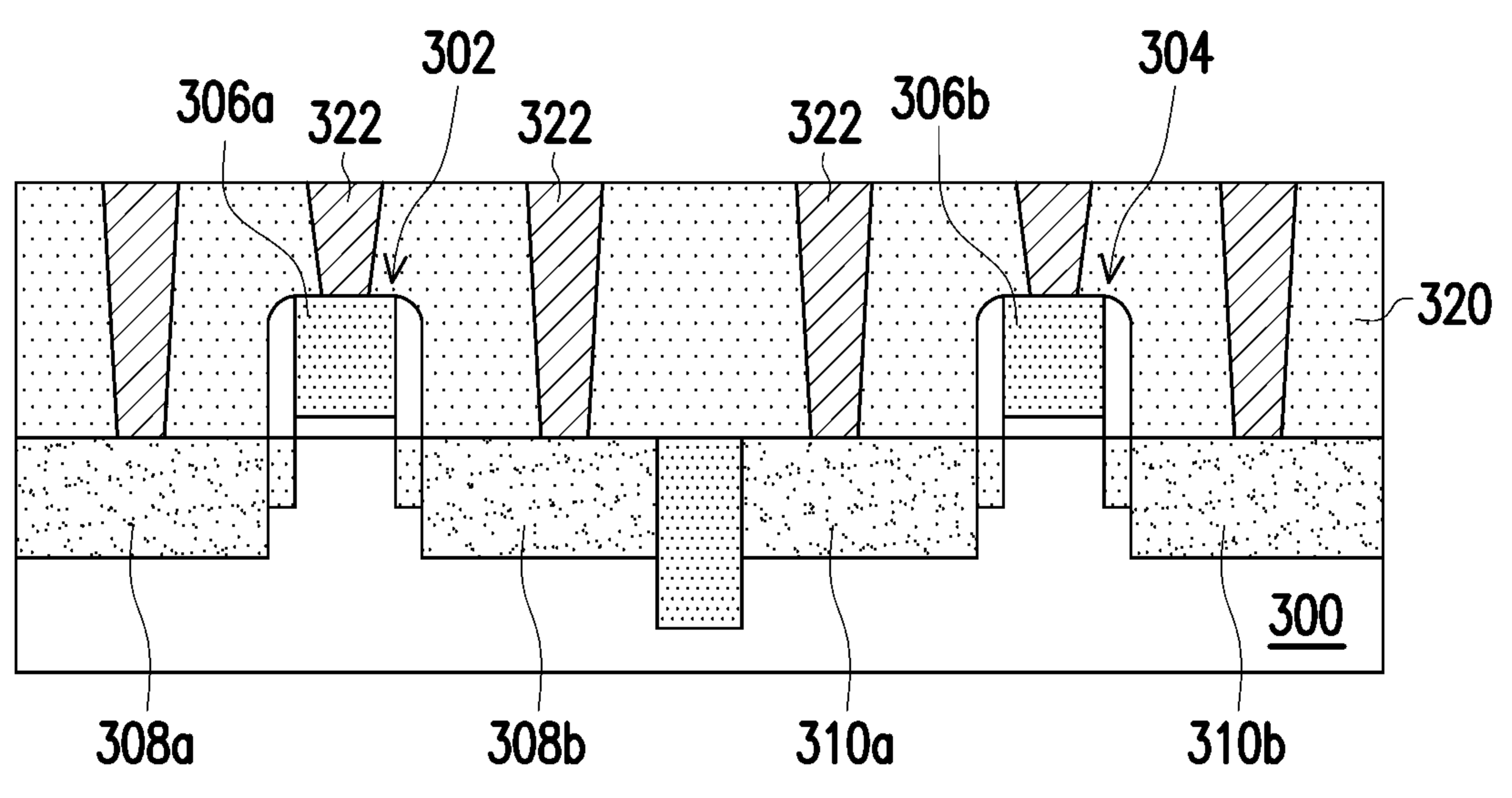
【圖2A】



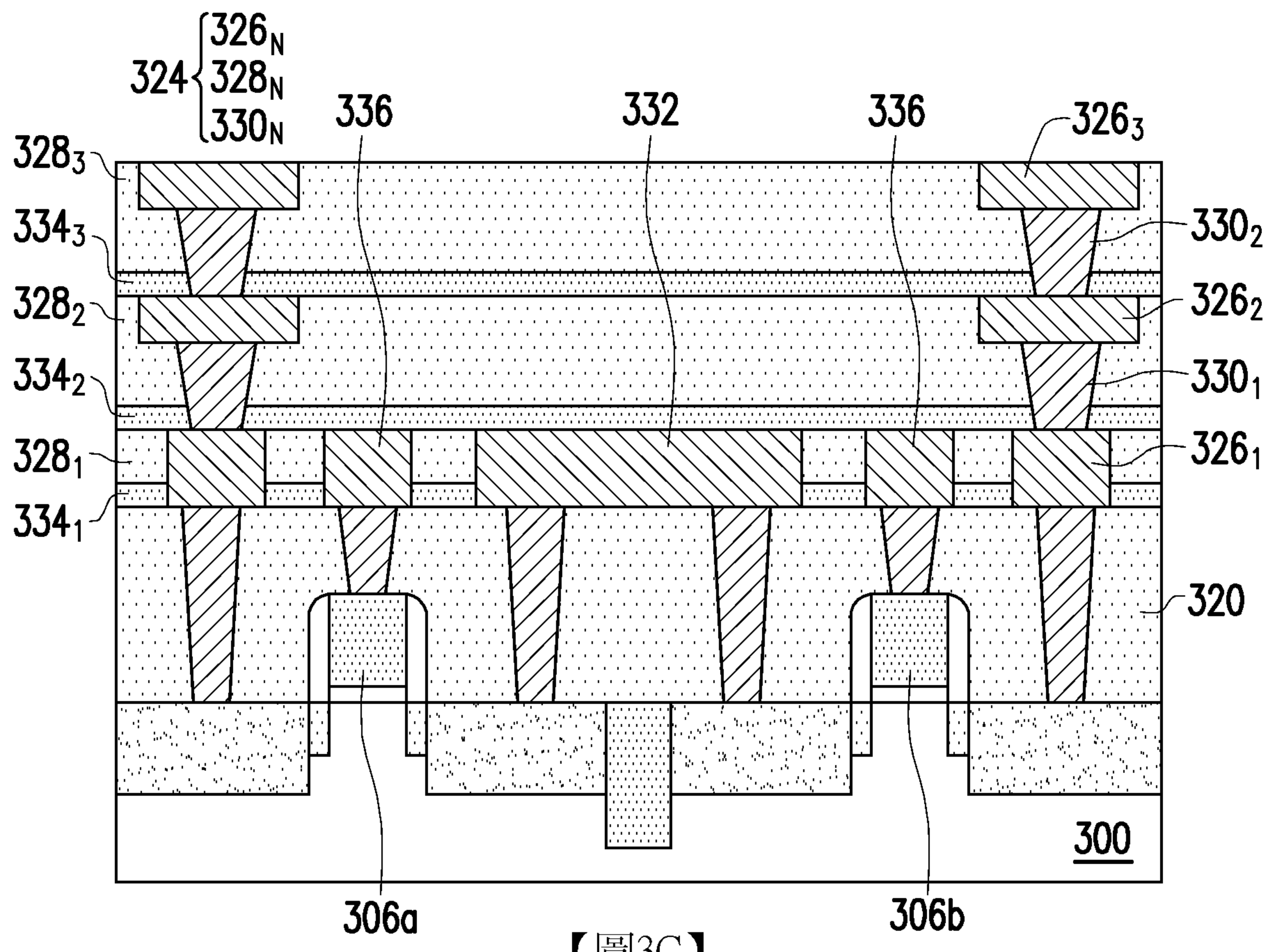
【圖2B】



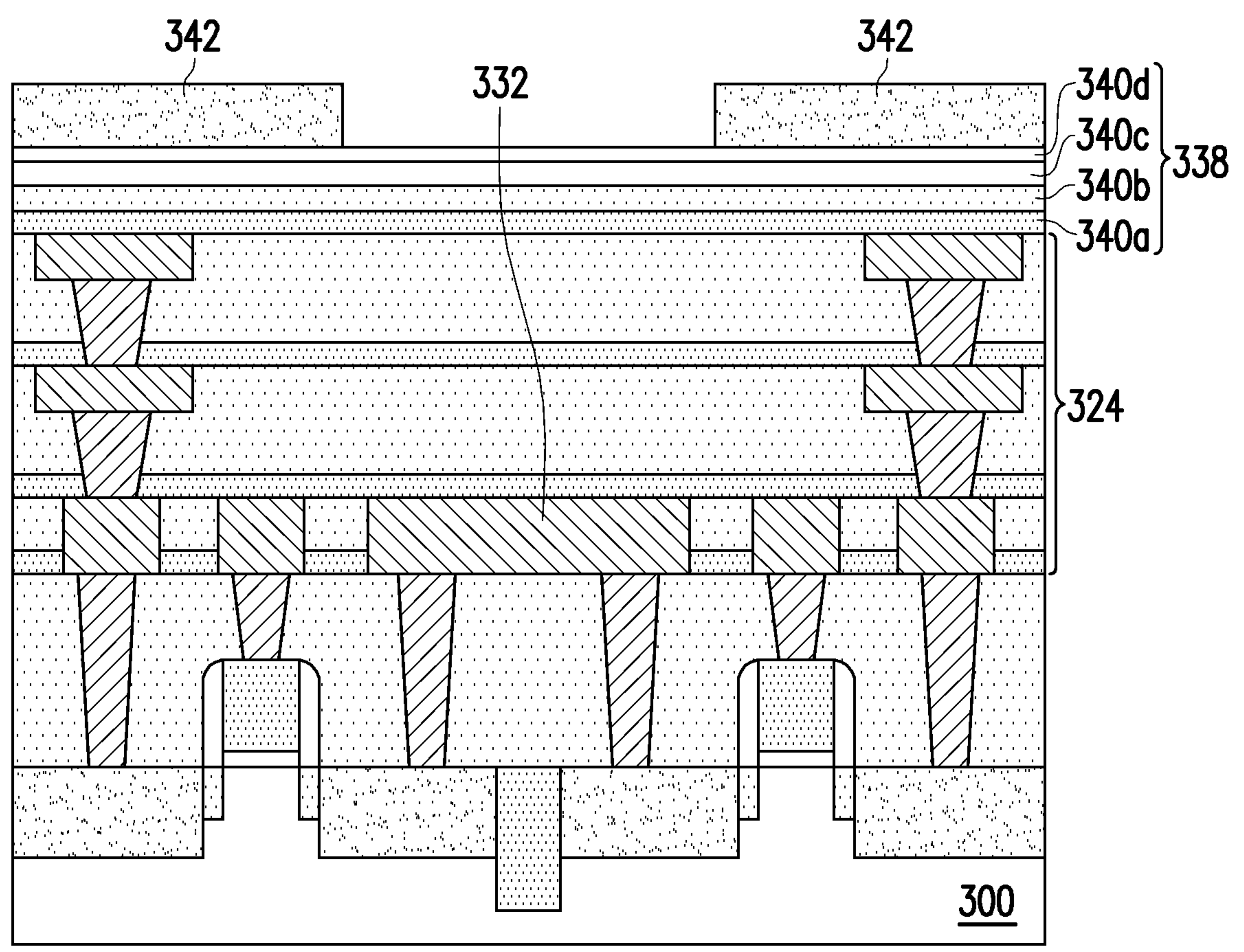
【圖3A】



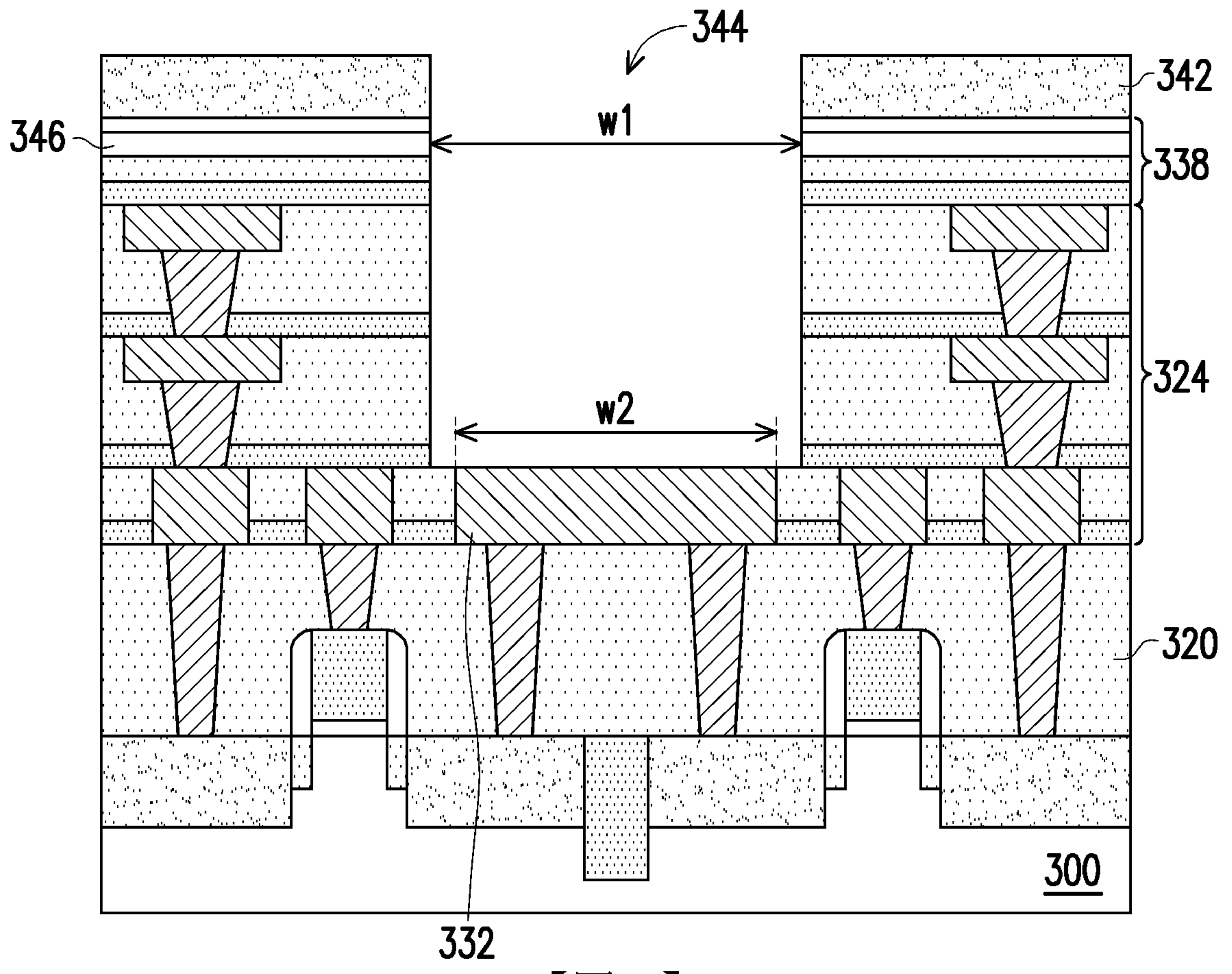
【圖3B】



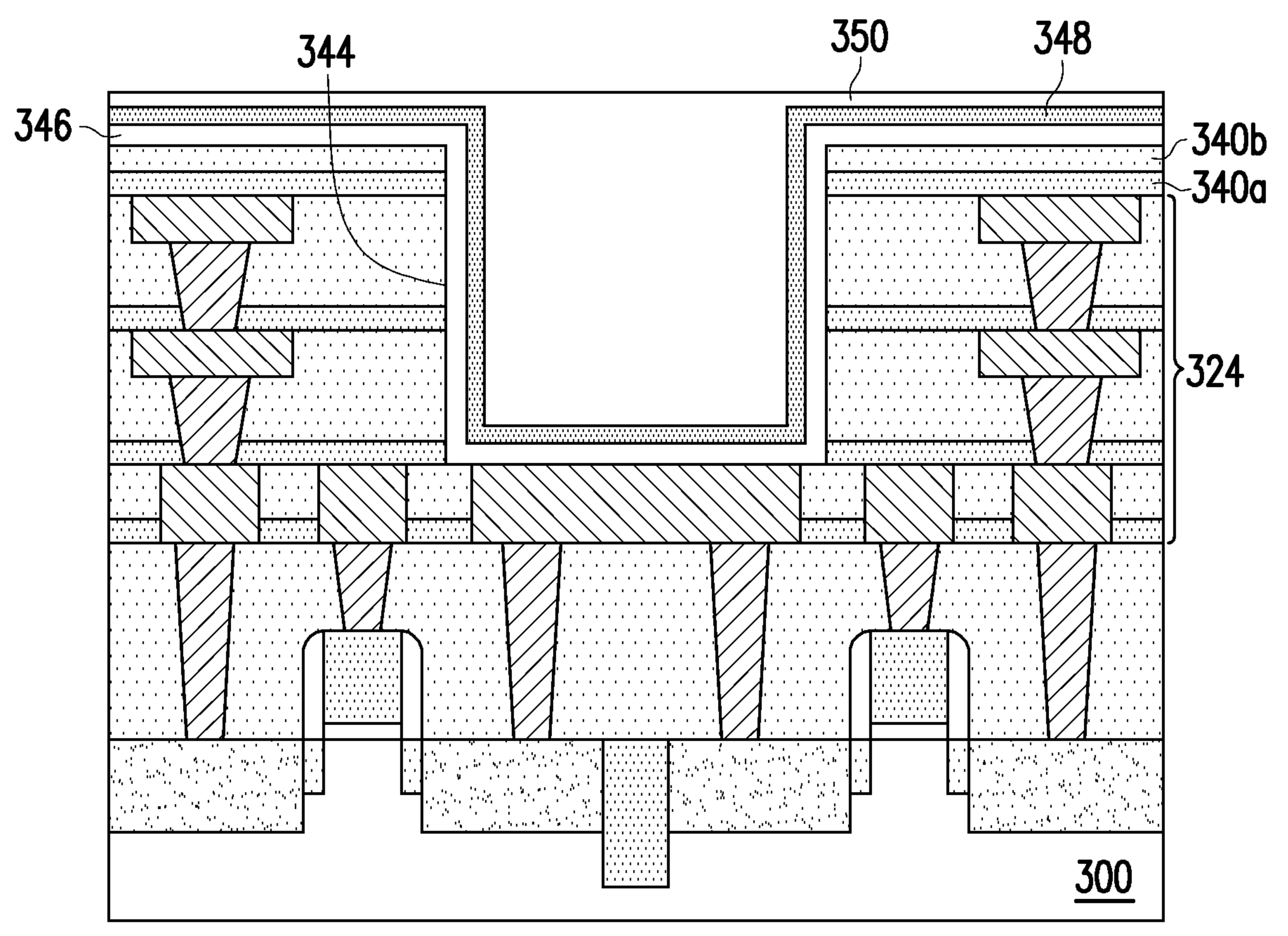
【圖3C】



【圖3D】

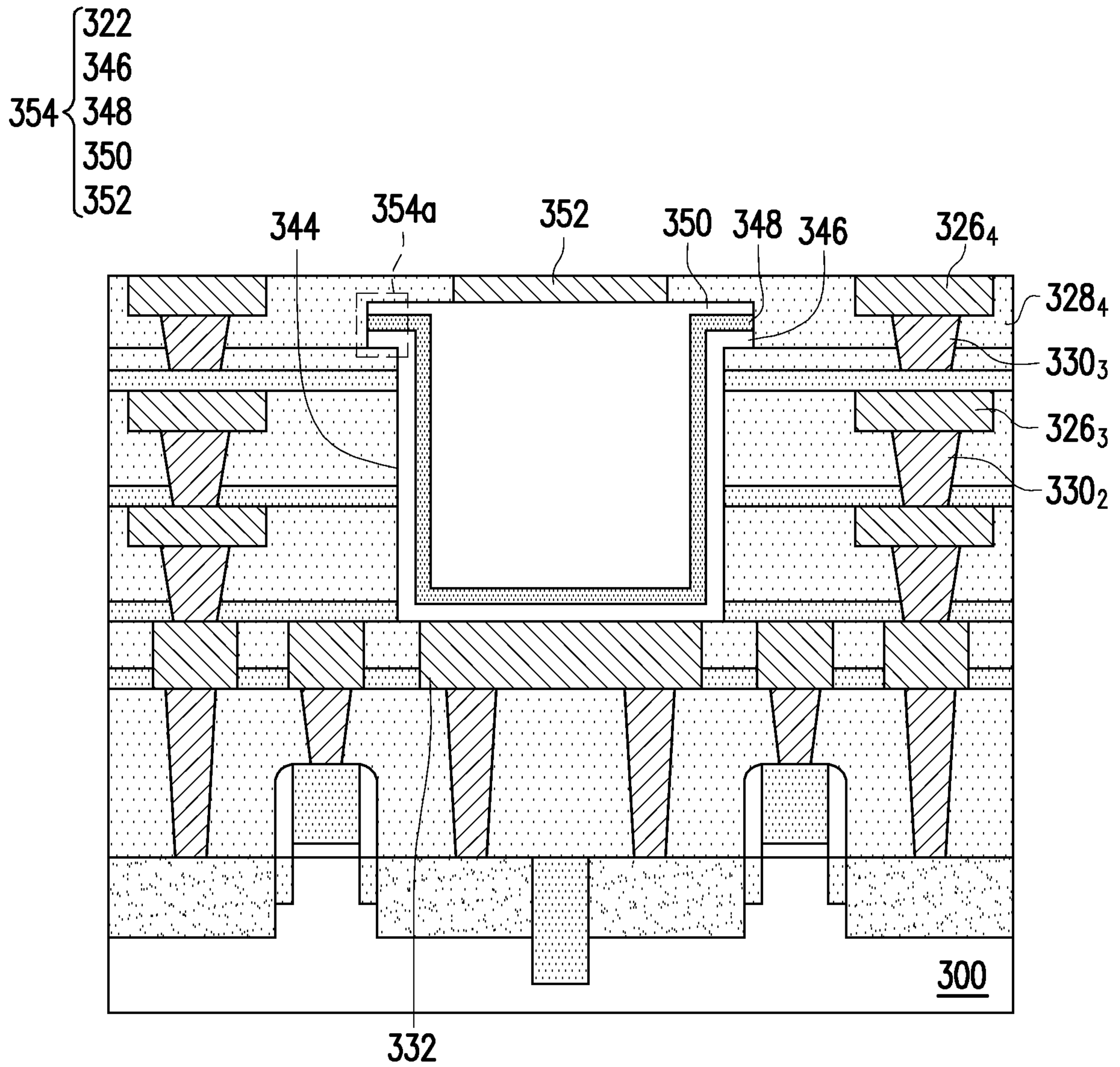


【圖3E】



【圖3F】





【圖3G】