

# 發明專利說明書

200414401

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92136231

※申請日期：92年12月19日

※IPC分類：H01L 21/70

## 壹、發明名稱：

(中) 半導體裝置及其製造方法

(外) Semiconductor device and method for manufacturing the same

## 貳、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英)

地址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英)

國籍：(中英) 日本

JAPAN

## 參、發明人：(共 7 人)

1. 姓名：(中) 桑原秀明

(英) KUWABARA, HIDEAKI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股  
份有限公司內

(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所內

2. 姓名：(中) 丸山純矢

(英) MARUYAMA, JUNYA

地址：(中) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股  
份有限公司內

(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所內

3. 姓名：(中) 大野由美子

(英) OHNO, YUMIKO

地址：(中) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股  
份有限公司內

(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所内

4. 姓名: (中) 高山徹  
(英) TAKAYAMA, TORU  
地 址: (中) 日本国神奈川県厚木市長谷三九八番地 半導体エネルギー研究所股  
份有限公司内  
(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所内

5. 姓名: (中) 後藤裕吾  
(英) GOTO, YUUGO  
地 址: (中) 日本国神奈川県厚木市長谷三九八番地半導体エネルギー研究所有限  
公司内  
(英) 日本国神奈川県厚木市長谷398番地株式会社半導体エネルギー  
研究所内

6. 姓名: (中) 新川悦子  
(英) ARAKAWA, ETSUKO  
地 址: (中) 日本国神奈川県厚木市長谷三九八番地 半導体エネルギー研究所股  
份有限公司内  
(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所内

7. 姓名: (中) 山崎舜平  
(英) YAMAZAKI, SHUNPEI  
地 址: (中) 日本国神奈川県厚木市長谷三九八番地 半導体エネルギー研究所股  
份有限公司内  
(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所内

#### 肆、聲明事項:

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

1. 日本 ; 2002/12/26 ; 2002-377816  有主張優先權

(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所内

4. 姓名: (中) 高山徹  
(英) TAKAYAMA, TORU  
地 址: (中) 日本国神奈川県厚木市長谷三九八番地 半導体エネルギー研究所股  
份有限公司内  
(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所内

5. 姓名: (中) 後藤裕吾  
(英) GOTO, YUUGO  
地 址: (中) 日本国神奈川県厚木市長谷三九八番地半導体エネルギー研究所有限  
公司内  
(英) 日本国神奈川県厚木市長谷398番地株式会社半導体エネルギー  
研究所内

6. 姓名: (中) 新川悦子  
(英) ARAKAWA, ETSUKO  
地 址: (中) 日本国神奈川県厚木市長谷三九八番地 半導体エネルギー研究所股  
份有限公司内  
(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所内

7. 姓名: (中) 山崎舜平  
(英) YAMAZAKI, SHUNPEI  
地 址: (中) 日本国神奈川県厚木市長谷三九八番地 半導体エネルギー研究所股  
份有限公司内  
(英) 日本国神奈川県厚木市長谷398番地 株式会社半導体  
エネルギー研究所内

#### 肆、聲明事項:

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權:

【格式請依: 受理國家(地區); 申請日; 申請案號數 順序註記】

1. 日本 ; 2002/12/26 ; 2002-377816  有主張優先權

(1)

## 玖、發明說明

### 【發明所屬之技術領域】

本發明相關於一種半導體安裝技術，確切地說，本發明相關於安裝有利用轉移技術製造的積體電路膜的半導體裝置以及該半導體裝置的製造方法。

### 【先前技術】

對借助於安裝半導體晶片而形成的半導體裝置來說，要實現小體積化，薄型化，半導體晶片的薄型化技術是越來越必要的技術。

一般來說，在半導體安裝技術領域中，對形成有半導體元件的矽片（silicon wafer）的背面（也就是半導體層中不作爲元件發生函數的那一部分）執行磨削（背面磨削），從而將其厚度加工成幾百 $\mu\text{m}$ 。

然而，由於形成在矽片上的絕緣膜和線路等的應力影響，被加工得很薄的矽片有產生反屈的問題。而矽片的反屈又會導致類似切割等製程難度變大的問題，這些問題妨礙了半導體晶片的進一步被減薄。

針對於上述問題，已有人嘗試藉由改進在矽片的背面磨削製程中粘貼護板（protecting sheet）的粘貼方法從而抑制矽片的反屈等（比如，專利文件 1）問題的技術。

專利文件 1

日本專利公開 2000-61785（第 2-4 頁，第 1 圖）

另外，其他的，在實施背面磨削時，在矽片背面形成

(2)

的傷痕等也會成爲妨礙半導體晶片的薄型化的問題。

綜上所述，爲了解決這些問題，開發嶄新的不依靠矽片的背面加工就能夠實現薄型化的半導體安裝技術被迫切期待。

### 【發明內容】

所以，針對於此，本發明的一個目的是提供安裝有利用轉移技術而製成的積體電路膜的半導體裝置以及該半導體裝置的製造方法。

本發明的半導體裝置的特徵之一是其安裝有利用轉移技術而製成的積體電路膜。

在基底上形成半導體膜後，藉由將該半導體膜分離成島的形狀來分離元件，從而形成積體電路，然後將該積體電路從基底分離出來，這樣製成的膜狀的積體電路在本說明書書中被稱爲“積體電路膜”。可以採用玻璃基底或石英基底作爲上述基底。另外，轉移技術，以及只對上述基底進行選擇蝕刻的技術可以用來作爲從基底將積體電路分離出來的方法。

另外，安裝在本發明的半導體裝置的積體電路膜具有分離成島狀的多個元件，構成各個元件的半導體層被分離成島狀，該半導體層的厚度爲 30-60nm。由多個元件構成的積體電路具有邏輯電路，記憶體等函數。

習知使用的半導體晶片的厚度取決於半導體層的厚度。利用轉移技術而製成的積體電路膜是具有厚度爲 30-

(3)

60nm 的半導體層的膜，跟半導體晶片相比，其厚度是極薄的。

另外，安裝在本發明的半導體裝置中的積體電路膜中，構成各個元件的半導體層的膜面有多個平面方位 (plane direction)。

另外，具有如上述的 30-60nm 的半導體層的積體電路膜的厚度取決於線路以及層間絕緣膜的層疊數量。

另外，本發明的半導體裝置的特徵之一是具有和積體電路膜連接的導熱率等於或大於  $10\text{W/m}\cdot\text{K}$  的膜。

借助於提供如上述那樣的導熱性好的膜，使在積體電路膜中產生的熱容易被釋放出。

本發明的半導體裝置的另一特徵是積體電路膜藉由突起電極和線路基底電連接在一起。

另外，上述線路基底利用聚亞胺等絕緣體以及銅等導電體而形成。該線路基底可以任意使用硬質或柔質的板。絕緣體具體除了聚亞胺，環氧玻璃等樹脂材料以外，還可以使用鋁氧，氮化鋁等的陶瓷材料。另外，導電體除了銅以外，還可以使用金等材料。突起電極是由厚  $10-30\mu\text{m}$  的焊錫或鍍金屬而形成。

另外，可以在上述基底上將多個積體電路膜多個地，橫向排列地積載。另外，各個積體電路膜也可以被製成函數不同的 CPU 或記憶體等。

此外，本發明的積體電路膜是多邊形。使多邊形成為可能的原因是本發明的積體電路膜沒有必要象矽片那樣依

(4)

靠劈開面 (cleaved surface) 來執行分割。

### 【實施方式】

以下就本發明的實施例模式進行詳細描述。

#### 實施例模式

下面將用圖 1A-1C 描述本發明的實施例模式。本實施例模式將對安裝了利用轉移技術製成的積體電路膜的半導體裝置進行說明。

圖 1A 中，積體電路膜 12 和基底 13 藉由突起電極 (也稱凸塊, bump) 15 電連接在一起。積體電路膜 12 是利用轉移技術剝離包括形成在玻璃基底上的 TFT 以及驅動 TFT 的線路的層而形成，也就是說，這個實現了薄型化的積體電路膜不用象矽片那樣使用背面磨削製程就可以形成。基底 13 是在聚亞胺膜上佈置了銅等的導電性材料線路的多層線路基底。

在本實施例模式的半導體裝置中，積體電路膜 12 和基底 13 是倒裝結構 (也就是面朝下的 face-down 結構)，即形成在積體電路膜中的交錯式 TFT 21 的上側 (也就是以半導體層為中心的閘電極側) 和基底 13 被設計成面對面的結構。

積體電路膜 12 中形成有多個由分離成島狀的多晶矽膜的半導體層構成的 TFT。

圖 1B 是表示部分積體電路膜 12 的橫截面圖。N 通道型 TFT 21 和 P 通道型 TFT 22 形成在絕緣膜 23 上。TFT

(5)

21, 22 的半導體層厚 30-60nm。在覆蓋 TFT 21, 22 的絕緣膜 31 上形成有傳遞電信號給 TFT 21, 22 的線路 35。另外, 電極 33 形成在和線路 35 相同的層中。電極 33 在保護 TFT21, 22 以及線路 35 的保護膜 34 的開口部分暴露出來。線路 35 由含有 1%的矽的鋁製成, 層間絕緣膜 31 由氧化矽等的有 250°C 或更高的耐熱性膜製成。另外, 積體電路膜 12 是將形成在玻璃基底上的 TFT 層利用轉移技術被剝離的厚 1-10 $\mu$ m 的膜。另外, TFT 層不但指 TFT, 還包括線路, 絕緣層的層。

積體電路膜 12 中, 由導熱性好的材料製成的膜 16 形成在和電極 33 相反的提供有絕緣膜 23 的那一側。借助於提供膜 16, 可以釋放積體電路膜 12 中產生的熱。膜 16 可以採用導熱率是 10W/m·K 或更多的金屬材料(比如鋁等), 或以碳或鋁為主要成分的陶瓷材料(比如類金剛石碳的 DLC, 鋁氧)。

圖 1C 是圖 1A 中表示的積體電路膜 12 和基底 13 的連接部分(用虛線 11 圍住的部分)的橫截面圖。其中, 導電膜 42, 43 層疊形成在電極 33 之上。突起電極形成在導電膜 43 之上。另外, 積體電路膜 12 和基底 13 用粘合劑粘接在一起。電極 41 和突起電極 15 藉由粘合劑中的金屬顆粒電連接在一起。另外, 除了粘合劑, 也可以用導電性膠(conductive paste)來電連接電極 41 和突起電極 15。

如上所述, 藉由安裝由 TFT 形成的厚幾  $\mu$ m 的積體電



(6)

路膜，可以製造出其厚度被飛躍性地減薄的半導體裝置。

另外，本實施例模式雖使用形成有 TFT 的積體電路膜，除此以外，也可以使用由形成在玻璃基底或石英基底上的晶質半導體膜製成的記憶體等作為積體電路膜來形成半導體裝置。

下文中將詳細描述本發明的實施例。

#### 實施例 1

本實施例將用圖 2A-5B 描述安裝有利用轉移技術製成的積體電路膜的半導體裝置的製造方法。

本實施例中製造的積體電路膜的厚度為幾  $\mu\text{m}$ ，跟習知的半導體晶片相比，其厚度被飛越性地減薄。所以，安裝該積體電路膜的半導體裝置的體積也被飛越性地減小。另外，該積體電路膜跟用矽片形成的積體電路膜不同的是，沒有必要在執行分割時考慮劈開面，所以可以切割成各種各樣的形狀。甚至可以用和基底一邊基本相同的尺寸來切割。而且，該積體電路膜跟矽片不同，半導體層被分離形成為各自分開的島狀。所以，施加在 TFT 上的應力被分散，其對彎曲等壓力的強度高於用矽片形成的積體電路膜，並且，安裝時以及安裝後的半導體裝置對彎曲等外來壓力耐壓性好。另外，在製造半導體裝置的過程中，沒有必要實施背面磨削來實現薄型化，因此可以避免在磨削製程中產生次品。另外，因為不需要實施背面磨削，形成 TFT 的製程和形成突起電極（凸塊）的製程可以連續地被

(7)

實施。

首先，在玻璃製成的第一基底 700 上形成 TFT，形成 TFT 的具體步驟如下。

在第一基底 700 上形成絕緣膜 701。本實施例用 PCVD 法形成厚 100nm 的氮氧化矽膜 (SiON) 作為絕緣膜 701。

然後在絕緣膜 701 上形成金屬膜 702。本實施例用濺射法形成厚 50nm 的鎢膜作為金屬膜 702。

接著，在金屬膜 702 上形成氧化膜 703。本實施例用濺射法形成厚 200nm 的氧化矽膜作為氧化膜 703。另外，金屬膜 702 和氧化膜 703 的形成是在不暴露於大氣的情況下連續形成的。另外，雖然氧化膜 703 的膜的厚度不限於上述的值，但其厚度較佳是金屬膜 702 厚度的兩倍。

另外，藉由層疊形成金屬膜 702 和氧化膜 703，在金屬膜和氧化膜的介面（接觸面）形成了非晶質的氧化金屬膜 704a。另外，由於在本實施例中使用鎢膜作為金屬膜 702，使用氧化矽膜作為氧化膜 703，所以形成了厚 4nm 的氧化鎢 (WO<sub>x</sub>) 的氧化金屬膜 704a。另外，除了鎢 (W) 以外，還可以使用鉬 (Mo)，鎢和鉬的合金 (W<sub>x</sub>Mo<sub>1-x</sub>) 等作為金屬膜 702。另外，也可以在氧化金屬膜 704a 中添加氧，從而促進後繼的剝離製程，或者添加氮，從而抑制剝離。至於要不要添加上述成分，以及添加量的多少，可以適當地根據需要進行調整。

接著，用氧灰化法 (O<sub>2</sub> ashing) 清除形成在基底邊緣

(8)

的金屬膜 702 和氧化膜 703。

然後，在氧化膜 703 上形成底絕緣膜 790。形成厚 100nm 的氧氮化矽膜 (SiON) 作為底絕緣膜 790。形成該底絕緣膜 790 是爲了防止雜質從玻璃基底等混入到後來形成的半導體層中。

接著，形成晶質半導體膜 705。晶質半導體膜 705 是在形成厚 54nm 的非晶質矽膜後，將該非晶質矽膜晶化而形成。另外，用 PCVD 法形成非晶質矽膜。還有，本實施例的非晶質矽膜包含氫元素。

本實施例中，上述非晶質矽膜中含有 21.5% (成分比) 的氫元素。這個值是根據用紅外光譜學 (FT-IR) 的定量分析得出的上述非晶質矽膜中的 Si-H 的密度爲  $1.06 \times 10^{22} \text{ atoms/cm}^3$ ，Si-H<sub>2</sub> 的密度爲  $8.34 \times 10^{19} \text{ atoms/cm}^3$  的結果而算出來的。

隨後，在上述非晶質矽膜的表面添加催化劑的金屬元素 Ni 後，進行 500°C，1 小時的熱處理。接著，連續實施 550°C，4 小時的使用爐子的熱處理從而形成第一多晶矽膜。

另外，借助於實施 410°C 或更高溫度的熱處理來擴散包含在非晶矽膜中的氫元素。另外，借助於實施 400°C 或更高溫度的熱處理來晶化非晶質的氧化金屬膜 704a，使其成爲晶質氧化金屬膜 704b。另外，經過晶化以後，氧化金屬膜 704b 的厚度是 2nm。換句話說，本實施例藉由實施上述 410°C 或更高溫度條件下的熱處理不但實現了氫

(9)

元素擴散，還實現了氧化金屬膜 704a 的晶化。所以，非晶質的氧化鎢變成了晶質的氧化鎢。另外，在如本實施例的在形成第一多晶矽膜以外的製程中也可以實施 410°C 或更高溫度的熱處理。

然後，輻照準分子雷射光束到第一多晶矽膜來提高結晶性，從而形成第二多晶矽膜。

然後，用臭氧水在第二多晶矽膜上形成厚 1nm 的薄氧化膜，並且用濺射法在其上形成厚 100nm 的非晶矽膜。然後實施 550°C，4 小時的使用爐子的熱處理從而使包含在晶質矽膜中的催化劑金屬元素遷移到非晶矽膜（除氣處理）。除氣處理後，用 TMAH 溶液清除掉不要的非晶矽膜（除氣後，因催化劑金屬元素的效應有可能變成晶質矽膜），然後用氫氟酸清除掉薄氧化膜，並形成晶質半導體膜 705。

另外，上述晶質半導體膜 705 的膜的表面有多個歸屬於 <111>帶晶面（crystal zone plane）的結晶面。

另外，除了如本實施例那樣利用 Ni 作為催化劑金屬元素以外，還可以用眾所周知的晶化方法（固相成長法，雷射器晶化法等）形成晶質半導體膜 705。

當使用鐳射晶化法形成晶質半導體膜時，使用受激準分子（XeCl）或 YAG，YVO<sub>4</sub> 的脈衝振盪型或連續振盪型的鐳射作為鐳射介質。當使用受激準分子鐳射時，脈衝振盪頻率設置為 300Hz 並且鐳射能量密度設置為 100 到 400mJ/cm<sup>2</sup>。當使用 YAG 鐳射時，使用它的二次諧波，脈

(10)

衝振盪頻率設置為 30 到 300Hz 並且鐳射能量密度設置為 300 到 600mJ/cm<sup>2</sup>。鐳射集中為寬度 100 到 1000 $\mu$ m 的線形鐳射，用該線形鐳射照射基底的整個表面，將鐳射的覆蓋率設置為 50 到 90%。注意，即使在採用鐳射晶化法的情形中，最好實施 410°C 或更高溫度的熱處理從而擴散氫元素以及執行氧化鎢的晶化。

然後，如上述那樣獲得晶質半導體膜 705 後，實施形成圖案以及蝕刻從而將其加工成所希望的形狀，這樣就形成了分離成島狀的半導體層 706a，706b。

另外，在形成半導體層 706 之前，或者形成之後，可以添加雜質（通道雜質）以便控制 TFT 的門欄值。添加的雜質可以是硼或磷。

接著，在半導體層 706a，706b 上形成閘絕緣膜 707。隨後在閘絕緣膜 707 上形成閘電極 708。形成 30nm 厚的氧化矽膜作為閘絕緣膜 707。另外，在形成厚度分別為 30nm，370nm 的氮化鈦（TiN）膜和鎢膜後，執行圖案形成以及蝕刻來形成閘電極。

然後，添加 n 型雜質的磷來形成 n 型的低濃度雜質區 709。並且，添加 p 型雜質的硼來形成 p 型的低濃度雜質區 710。

接著，在閘電極 708 的側壁上形成邊牆（side wall）711。

然後，添加 n 型雜質的磷來形成 n 型的源極區（或汲極區）712。並且，添加 p 型雜質的硼來形成 p 型的源極

(11)

區（或汲極區）713。

如上所述，用晶質半導體膜 705 分別形成 n 通道型 TFT 714，p 通道型 TFT 715。

隨後，形成覆蓋 TFT 714，715 的層間絕緣膜 716。形成氧化矽膜作為層間絕緣膜 716。並且，使層間絕緣膜 716 的表面平坦化。在形成層間絕緣膜 716 後，實施使添加了的雜質啟動的製程。

然後，形成貫穿層間絕緣膜 716，到達源極區（或汲極區）712，713 的接觸孔。

然後，形成給 TFT 714，715 傳遞電信號的線路 717 以及電極 718。線路 717 以及電極 718 雙方都形成在和層間絕緣膜 716 上面的層相同的層。另外，本實施例在形成由鈦（Ti），含有 1% 的矽元素的鋁膜（Al-Si），鈦（Ti）組成的疊層後，執行圖案形成以及蝕刻來加工這個疊層，這樣就形成了線路 717 和電極 718。

然後，形成有開口部分的保護膜 719。保護膜 719 是在層間絕緣膜 716 的上方形成 500nm 厚的氧化矽膜，然後實施圖案形成和蝕刻形成開口部分後而形成的。注意，在保護膜 719 的開口部分，電極 718 是暴露出來的。

藉由以上步驟形成的從底絕緣膜 705 到保護膜 719 的疊層就是 TFT 層 720。

然後，在電極 718 上形成導電膜 730 和突起電極（凸塊）731。導電膜 730 藉由層疊鉻（Cr）和銅（Cu）而形成。另外，突起電極 731 用 PbSn 或金（Au）作為材料藉

(12)

由焊接方式而形成。注意，突起電極 731 的厚度為  $20\mu\text{m}$ 。另外，其他的材料，如果是和突起電極 731 的緊貼性好的材料，也可以被用於導電膜 730。

另外，層間絕緣膜 716 和保護膜 719 最好採用能夠耐焊接溫度的  $250^{\circ}\text{C}$  或更高溫度的耐熱性材料。另外，層間絕緣膜 716 和保護膜 719 可以採用有機材料，也可以採用無機材料。

接下來，將對剝離形成有突起電極 731 的 TFT 層 720 的製程進行說明。

首先，在保護膜 719 的上方塗敷粘合劑 740。注意，塗敷粘合劑的厚度大約為  $60\mu\text{m}$ ，這樣以便覆蓋突起電極 731。塗敷粘合劑 740 後，執行烘烤，然後照射紫外線來實現硬化。本實施例採用本身有平坦性的水溶性樹脂作為粘合劑 740。另外，粘合劑 740 由環氧基，丙烯酸酯基，矽基等製成。

然後，在要剝離區域的邊緣的一部分用金剛石筆切入切口，對該部分進行有意性地損傷。從外部施加局部壓力來降低金屬膜 702，氧化金屬膜 704b，氧化膜 703 之間的介面（接觸面）的粘接力，這樣就容易從切入的切口部分實施剝離製程。另外，除了用金剛石筆切入切口的方法以外，可以使用劃線器具並且將下壓量設在  $1\text{mm}$ ，來切入切口。或者，用鐳射沿著要剝離區域的周邊部分實施部分照射，對該部分進行有意損傷，這樣來達到降低金屬膜 702，氧化金屬膜 704b，氧化膜 703 之間的接觸面的粘接

(13)

力的目的。

然後，用雙面膠帶 741 在粘合劑 740 之上粘貼第二基底 742。在此，因粘合劑 740 本身具有平坦性，所以粘合劑 740 的表面和第二基底 742 的表面可以基本平行地粘接在一起。並且，用雙面膠帶 741 也在第一基底 700 上粘接第三基底 743。第三基底 743 是爲了防止第一基底 700 不受破損而粘接的。

然後，從上述被有意損傷了的金屬膜 702，氧化金屬膜 704b，氧化膜 703 之間的接觸面，用物理方法(如用人的手、藉由噴嘴噴射的氣壓、超聲波等)剝離第一基底 700。

藉由上述步驟，將在第一基底 700 上形成的 TFT 層 720 轉移到第二基底 742。

注意，TFT 層 720 被轉移後，TFT 層 720 下面的氧化金屬膜 704b 以及氧化膜 703 被殘留下來。本實施例只清除氧化金屬膜 704b。

然後，在氧化膜 703 上形成導熱性好的膜 744。本實施例用類金剛石碳的 DLC 形成厚  $10\mu\text{m}$  的膜 744。另外，除了 DLC 以外，也可以使用  $\text{Al}_2\text{O}_3$ 。

然後，在膜 744 上粘貼保護片 745，使用有粘接層的保護片 745。

隨後，從雙面膠帶 741 撕剝第二基底 742。然後撕剝該雙面膠帶 741，接著浸在純水中以便清除粘合劑 740。藉由這些步驟，TFT 層 720 處於貼附在保護片 745 的狀



(14)

態。

接下來，將貼附在保護片 745 的 TFT 層 720 連同保護片 745 一起切開，並形成所希望的圖案，最後製成多個積體電路膜 750。

另外，第二基底 742 也可以在切斷 TFT 層後再被剝下。還有，必須考慮在剝離第二基底 742 時，不使保護片被同時剝離的粘接性。

另外，本實施例中雖說明瞭利用金屬膜的剝離方法，但剝離方法並不局限於此，使用其他方法，比如利用溶解第一基底的方法，以及利用對第一基底的背面照射鐳射的方法等也無妨。

下面將說明安裝利用轉移技術製成的積體電路膜 750 的方法。

在第四基底 751 上塗敷粘合劑 752，其中第四基底中的聚亞胺膜上佈置有多層的用銅等導電材料製成的線路。另外，第四基底 751 上形成有電極 753。另外，粘合劑 752 中分散有被絕緣膜覆蓋著的金屬顆粒。

然後，安排第四基底 751 的電極 753 上重疊於積體電路膜 750 的電極 718，在這種狀態下粘合第四基底 751 和積體電路膜 750。粘合時，電極 718 上形成的突起電極 731 藉由粘合劑 752 中的金屬顆粒和電極 753 電連接在一起。另外，覆蓋金屬顆粒的絕緣膜在結合時，因來自突起電極 731 和電極 753 的壓力被破壞，所以可以是連通的。另外，沒有形成突起電極 731 的部分由於絕緣膜沒有被破

(15)

壞，因此其絕緣性被得以維持。

其次，對積體電路膜 750 照射紫外線，剝離保護片 745。另外，也可以在粘合積體電路膜 750 和第四基底 751 前剝離保護片 745。

藉由以上步驟，完成了半導體裝置的製造。

## 實施例 2

本實施例將用圖 6A-6B 說明利用不同於實施例 1 的方法，藉由粘合積體電路膜 750 和第四基底 751 製造半導體裝置的情況。

塗敷樹脂 771 到第四基底 751 上，該基底上的聚亞胺膜上佈置有多層用銅等導電材料製成的線路。另外，第四基底 751 上形成有電極 753。

接著，在突起電極 731 上附著導電性膠 772。

然後，安排第四基底 751 的電極 753 上重疊於積體電路膜 750 的電極 718，在這種狀態下貼合電極 753 和突起電極 731。

對積體電路膜 750 施加超聲波振盪，使樹脂 771 擴散到積體電路膜 750 和第四基底 751 之間的空隙整體。然後，進一步實施加熱處理，使樹脂 771 硬化。

然後，對積體電路膜 750 照射紫外線，並剝離保護片 745。另外，也可以在粘合積體電路膜 750 和第四基底 751 前剝離保護片 745。

藉由以上步驟，完成了本發明的半導體裝置的製造。

(16)

根據本實施例製造的半導體裝置和根據實施例 1 製造的半導體裝置一樣，積體電路膜的厚度僅有幾  $\mu\text{m}$ ，跟習知的半導體晶片相比，其厚度被飛躍性地減薄了。

### 實施例 3

本實施例將用圖 7A 和 7B 說明使用利用轉移技術製成的積體電路膜而製成的多膜模組 (multifilm module)。

根據實施例 1 描述的直到形成晶質半導體膜 705 的方法，形成晶質半導體膜後，在不同的基底上用該晶質半導體膜形成 CPU (Central Processing Unit, 中央處理構件)，快閃記憶體 (flash memory)，SRAM (Static DRAM, 靜態隨機記憶體)，DRAM (Dynamic Random Access Memory, 動態隨機記憶體)，邏輯電路 (Logic circuit)。

其次，根據和實施例 1 描述的形成 TFT 714，715 後相同的方法，形成分別搭載 CPU，快閃記憶體，SRAM，DRAM，Logic 的積體電路膜 7001，7002，7003，7004，7005。另外，本實施例中積體電路膜 7001-7005 中形成有用導熱性好的材料製成的膜。

然後，利用根據相同於實施例 1 描述的安裝方法，或根據相同於實施例 2 描述的安裝方法，在印刷基底的雙面形成有多層線路層的第五基底 7010 上粘貼各個積體電路膜 7001-7005。

(17)

圖 7B 是按圖 7A 中 A-A' 線切割的橫截面圖，圖 7B 中，在第五基底 7010 上安裝有積體電路膜 7001-7005。

如實施例 1 中所描述，本發明中的積體電路膜由於不象矽片那樣受劈開面的限制，所以可以被切割成各種各樣的形狀。這樣就提高了第五基底上的積體電路膜 7001-7005 的佈置以及第五基底 7010 上的線路分佈的自由程度。

根據以上步驟可以製造倒裝晶片 (Flip chip) 型多膜模組。另外，本發明的多膜模組由於是使用利用轉移技術製成的積體電路膜而形成，其厚度被飛躍性地減薄。

#### 實施例 4

本實施例將用圖 10A-10E 說明搭載了本發明的半導體裝置的電子器具的實例。藉由搭載本發明的半導體裝置可以製造極薄的電子器具。另外，本發明的半導體裝置如圖 8-9B 那樣被安裝，並被搭載到各個電子器具的主體內部。

圖 8 中，主印刷電路基底 800 上安裝有應用本發明而製成的多膜模組 820。多膜模組 820 上安裝有多個積體電路膜 821-824。各個積體電路膜中安裝有邏輯電路 821，快閃記憶體 822，SRAM 823，DRAM 824。該各個積體電路膜是各自在不同的基底上形成後利用轉移技術而製成的。另外，CPU 810，邏輯電路 811 也是應用本發明被極薄地製成的。本發明的半導體裝置可以被安排成如邏輯電

(18)

路 811 那樣的 L 字形等各種各樣形狀。另外，實施例 1-3 中雖然舉出了倒裝 (Face-down) 型半導體裝置的例子，但用線路接合法 (Wire-bonding) 來安裝也無妨。這種情形中，同樣可以安裝各種各樣形狀的積體電路膜。

另外，圖 9A 中，基底 903 上安裝有驅動器 901 和控制器 902。另外，圖 9B 是按圖 9A 中 B-B' 線切割的橫截面圖。基底 903 上安裝有 FPC 904，藉由 FPC 904，連接比如顯示裝置等。驅動器 901 和控制器 902 是本發明的半導體裝置。另外，本實施例中的基底 903 是撓性基底。

圖 10A 表示應用本發明而製成的筆記本式個人電腦，由主體 3001，框架 3002，顯示構件 3003，鍵盤 3004 等構成。

圖 10B 表示應用本發明而製成的可攜式資訊端點 (PDA)，在主體 3021 上提供有顯示構件 3023，外部介面 3025，操作按鈕 3024 等構成。另外，還提供有作為操作作用的附屬品的觸筆 (Stylus) 3022。

圖 10C 表示視頻照相機，由主體 3031，顯示構件 3032，音頻輸入構件 3033，操作開關 3034，電池 3035，影像接收部分 3036 等構成。

圖 10D 表示應用本發明而製成的行動電話，在主體 3041 上提供有顯示構件 3044，音頻輸出構件 3042，音頻輸入構件 3043，操作按鈕 3045，天線 3046 等。

圖 10E 表示數位相機，由主體 3051，顯示構件 A 3057，目鏡 3053，操作開關 3054，顯示構件 B 3055，電

(19)

池 3056 等構成。

安裝在本發明的半導體裝置中的積體電路膜的厚度為幾  $\mu\text{m}$ ，與習知的積體電路膜相比，其厚度被飛躍性地減薄。所以，安裝有該積體電路膜的本發明的半導體裝置的厚度也被飛躍性地減薄。另外，由於可以將積體電路膜切割成各種各樣的形狀，所以比如在一個多層線路基底上安裝多個積體電路膜時，可以提高佈局的多樣化和安裝密度。安裝在本發明的半導體裝置中的積體電路膜，其半導體層是分離成獨立的島形狀。因此，施加在 TFT 上的應力被分散，對彎曲等壓力的強度比用矽片製成的積體電路膜還要大。另外，在製造半導體裝置的過程中，沒有必要實施背面磨削來實現半導體裝置的薄型化，因此可以避免在磨削製程中產生次品，並可以提高成品率。另外，因為不需要實施背面磨削，形成 TFT 的製程和形成突起電極（凸塊）的製程可以連續地被實施。

#### 【圖式簡單說明】

在圖式中：

圖 1A-1C 是表示本發明的半導體裝置的視圖；

圖 2A-2E 是說明製造本發明的半導體裝置的視圖；

圖 3A-3D 是說明製造本發明的半導體裝置的視圖；

圖 4A-4D 是說明製造本發明的半導體裝置的視圖；

圖 5A-5B 是說明製造本發明的半導體裝置的視圖；

圖 6A-6B 是說明製造本發明的半導體裝置的視圖；

(20)

圖 7A-7B 是說明製造本發明的半導體裝置的視圖；

圖 8 是表示應用本發明的半導體裝置的模組的視圖；

圖 9A-9B 是表示應用本發明的半導體裝置的模組的視圖；

圖 10A-10E 是應用本發明的半導體裝置的電子器具的視圖。

本發明的選擇圖為圖 1

#### 主要元件對照表

12	積體電路膜
13	基底
15	突起電極
16	膜
21	交錯式 TFT
22	P 通道型 TFT
23	絕緣膜
3001	主體
3002	框架
3003	顯示構件
3004	鍵盤
3021	主體
3022	觸筆
3023	顯示構件
3024	操作按鈕
3025	外部介面

(21)

- 3031 主體
- 3032 顯示構件
- 3033 音頻輸入構件
- 3034 操作開關
- 3035 電池
- 3036 影像接收部分
- 3041 主體
- 3042 音頻輸出構件
- 3043 音頻輸入構件
- 3044 顯示構件
- 3045 操作扭鈕
- 3051 主體
- 3053 目鏡
- 3054 操作開關
- 3055 顯示構件 B
- 3056 電池
- 3057 顯示構件 A
- 31 絕緣膜
- 33 電極
- 34 保護膜
- 35 線路
- 41 電極
- 42 導電膜
- 43 導電膜



(22)

700	第一基底
7001	積體電路膜
701	絕緣膜
7010	第五基底
702	金屬膜
703	氧化膜
704a	氧化金屬膜
704b	氧化金屬膜
705	晶質半導體膜
706	半導體層
706a	半導體層
707	閘絕緣膜
708	閘電極
709	n型的低濃度雜質區
710	p型的低濃度雜質區
711	邊牆
712	源極區
713	源極區
714	TFT
715	P通道型TFT
716	層間絕緣膜
717	線路
718	電極
719	保護膜

(23)

720	TFT 層
730	導電膜
731	突起電極
740	粘合劑
742	第二基底
743	第三基底
744	膜
745	保護片
750	積體電路膜
751	第四基底
752	粘合劑
753	電極
771	樹脂
772	導電性膠
790	基底絕緣膜
800	印刷電路
810	CPU
811	邏輯電路
820	多膜模組
821	邏輯電路
822	快閃記憶體
823	SRAM
824	DRAM
901	驅動器

(24)

902        控 制 器

903        基 底

904        F P C

#### 伍、中文發明摘要

發明之名稱：半導體裝置及其製造方法

本發明提供一種嶄新的半導體安裝技術，該技術不依靠矽片的背面加工就可以實現半導體裝置的薄型化。借助於安裝積體電路膜，使安裝該積體電路膜的半導體裝置的薄型化成為可能。在此，"積體電路膜"指的是使用利用在玻璃基底或石英基底上形成的半導體膜製成的積體電路而製成的膜狀的積體電路。本發明利用轉移技術製造積體電路膜。

#### 陸、英文發明摘要

發明之名稱：SEMICONDUCTOR DEVICE AND METHOD FOR  
MANUFACTURING THE SAME

It is an object of the present invention to provide a technique for making a semiconductor device thinner without using a back-grinding method for a silicon wafer. According to the present invention, an integrated circuit film is mounted, thereby making a semiconductor device mounting the integrated circuit film thinner. The term "an integrated circuit film" means a film-like integrated circuit which is manufactured based on an integrated circuit manufactured by a semiconductor film formed over a substrate such as a glass substrate or a quartz substrate. In the present invention, the integrated circuit film is manufactured by a technique for transferring.

(1)

### 拾、申請專利範圍

1. 一種安裝有膜狀積體電路的半導體裝置，其中所述膜狀積體電路藉由從基底分離出在該基底上形成的積體電路而製成。

2. 根據申請專利範圍第 1 項的半導體裝置，其中構成所述積體電路的半導體層的膜的厚度在 30-60nm 的範圍內。

3. 根據申請專利範圍第 1 項的半導體裝置，其中提供導熱率等於或大於  $10\text{W/m}\cdot\text{K}$  的膜，且使該膜和所述膜狀的積體電路連接。

4. 根據申請專利範圍第 1 項的半導體裝置，其中所述膜狀的積體電路藉由突起電極和線路基底電連接在一起。

5. 根據申請專利範圍第 4 項的半導體裝置，其中所述線路基底上有多個所述膜狀的積體電路。

6. 一種安裝有積體電路膜的半導體裝置，其中所書薄膜積體電路包括多個分開成島形狀的半導體層，並且其中，所述半導體層的膜的厚度在 30-60nm 的範圍內。

7. 根據申請專利範圍第 6 項的半導體裝置，其中提供導熱率等於或大於  $10\text{W/m}\cdot\text{K}$  的膜，且使該膜和所述積體電路膜連接。

8. 根據申請專利範圍第 6 項的半導體裝置，其中所述積體電路膜藉由突起電極和線路基底電連接在一起。

9. 根據申請專利範圍第 8 項的半導體裝置，其中所

(2)

述線路基底上有多個所述積體電路膜。

10. 根據申請專利範圍第 6 項的半導體裝置，其中所述積體電路膜是多邊形。

11. 一種半導體裝置的製造方法，它包括以下步驟：  
在第一基底上形成晶質半導體膜；

形成使用該晶質半導體膜的元件，傳遞電信號到該元件的線路，以及包括絕緣膜的元件層；

將該元件層從所述第一基底轉移到第二基底；

將該元件層轉移到薄板 (sheet) 上；

分割該元件層從而製造積體電路膜。

12. 根據申請專利範圍第 11 項的半導體裝置的製造方法，其中，在形成所述元件層後，該元件層被轉移到第二基底前，形成給所述線路傳遞電信號的突起電極。

13. 根據申請專利範圍第 11 項的半導體裝置的製造方法，其中在所述元件層被轉移到所述第二基底後，在所述元件層上形成導熱率等於或大於  $10\text{ W/m}\cdot\text{K}$  或更多的膜。

14. 根據申請專利範圍第 12 項的半導體裝置的製造方法，其中在所述元件層被轉移到所述第二基底後，在所述元件層上形成導熱率等於或大於  $10\text{ W/m}\cdot\text{K}$  或更多的膜。

P2136231

圖 1A

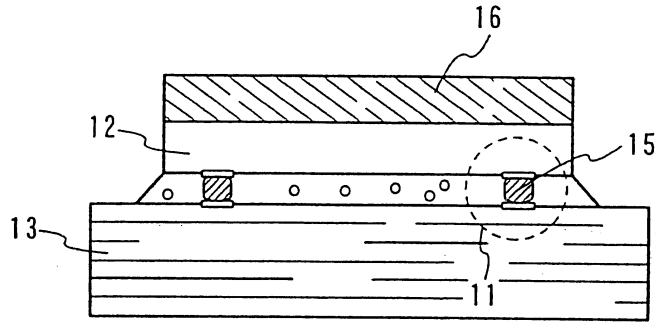


圖 1B

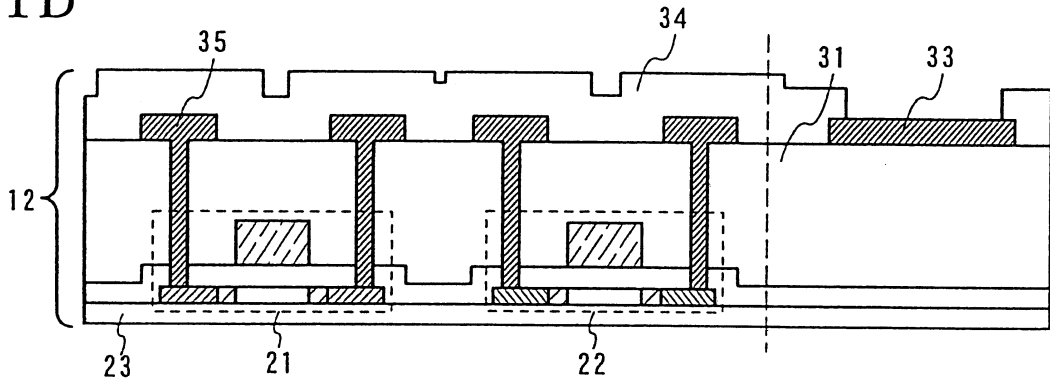
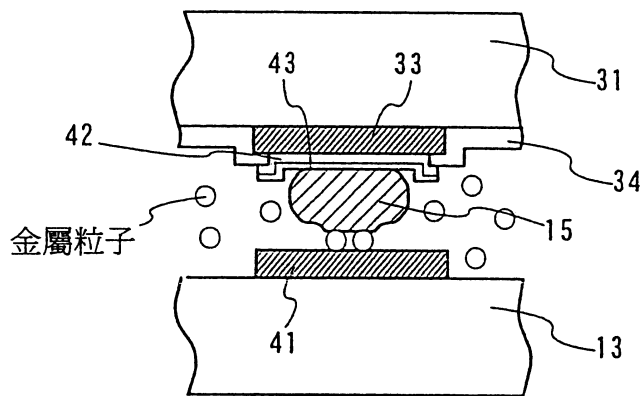
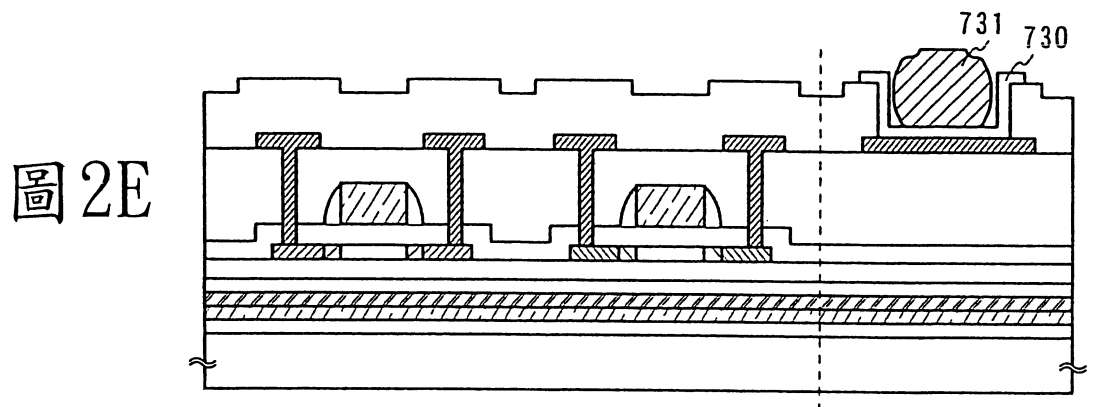
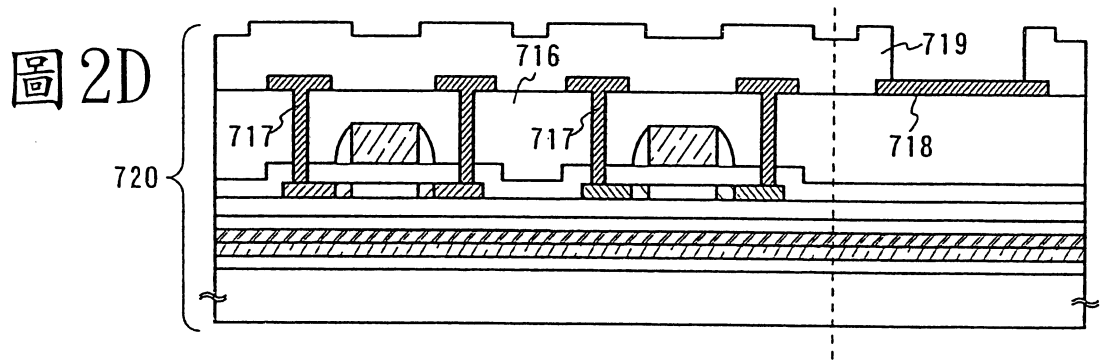
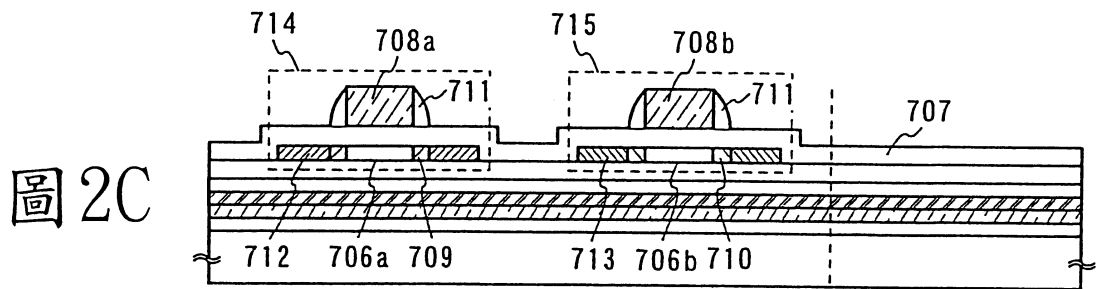
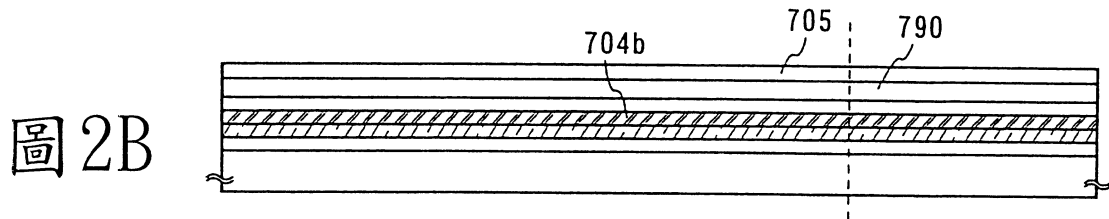
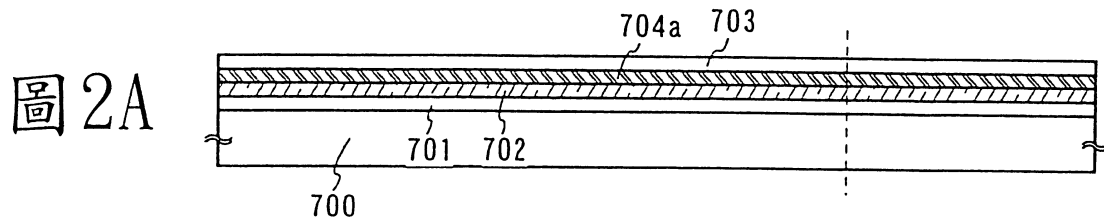


圖 1C







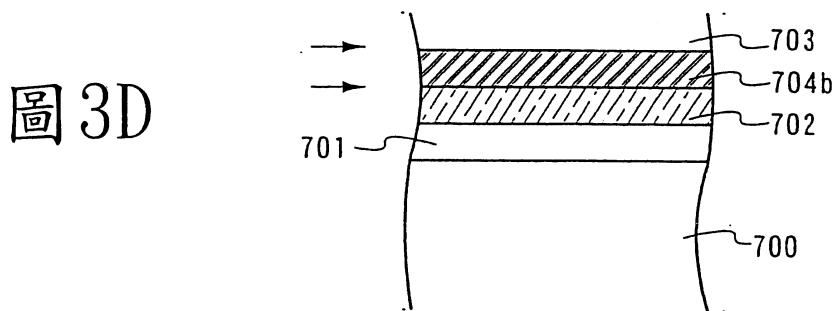
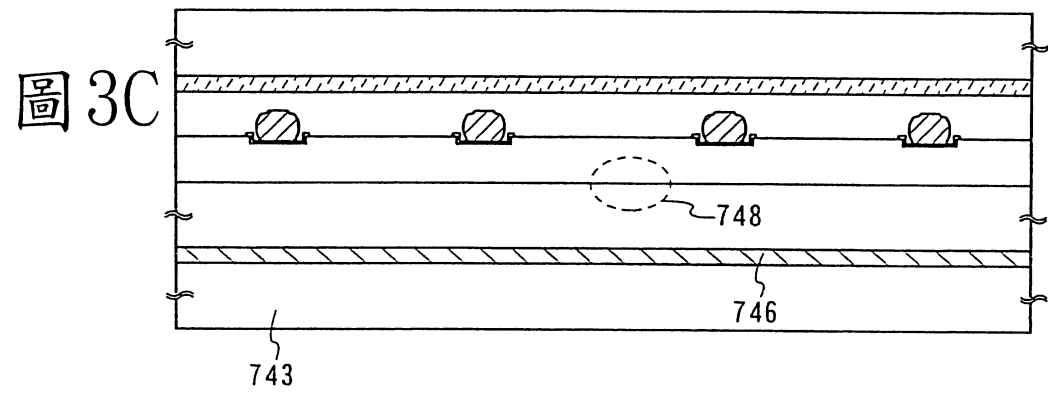
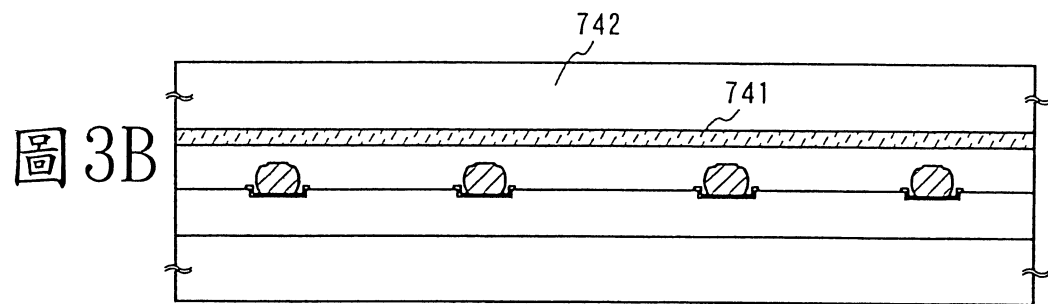
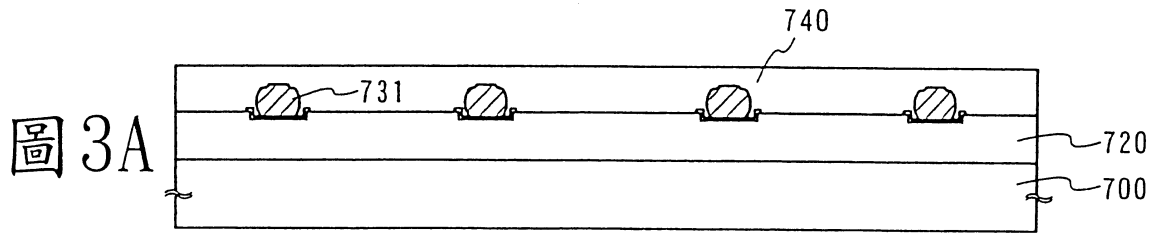


圖 4A

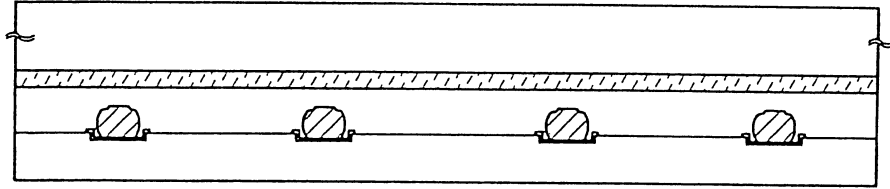


圖 4B

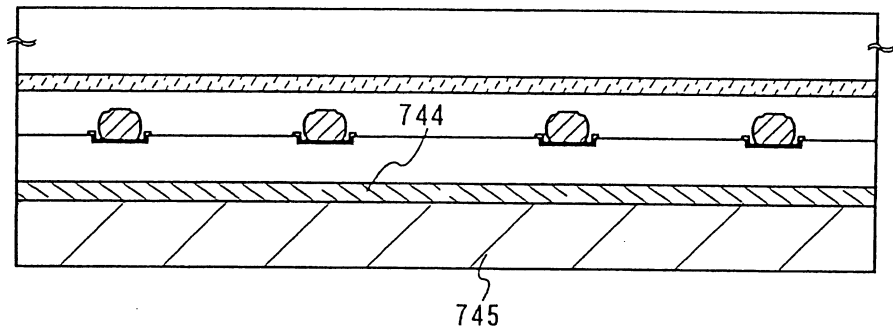


圖 4C

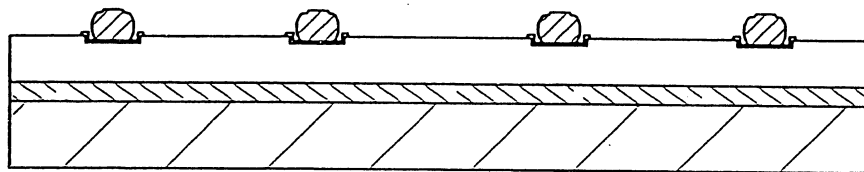


圖 4D

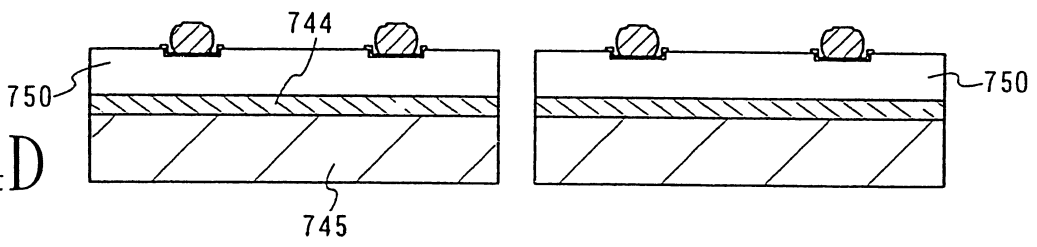


圖 5A

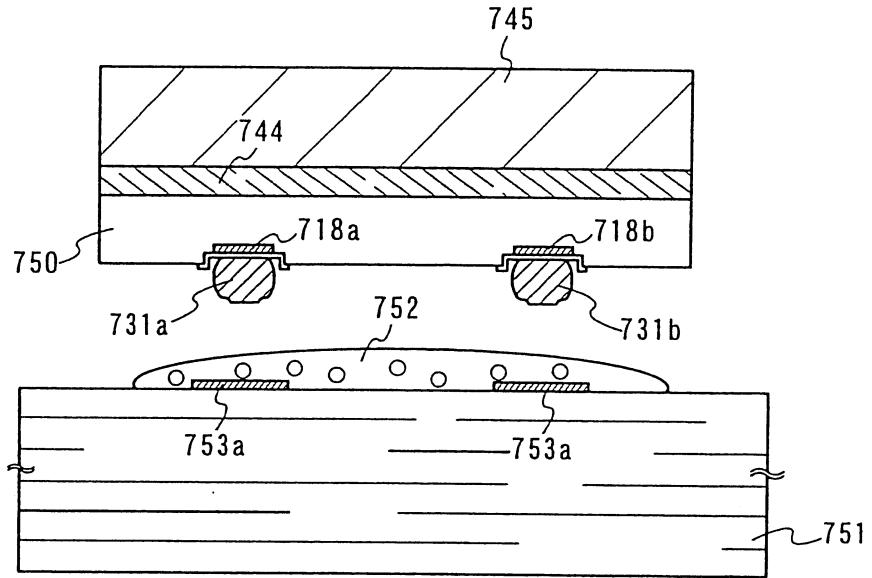


圖 5B

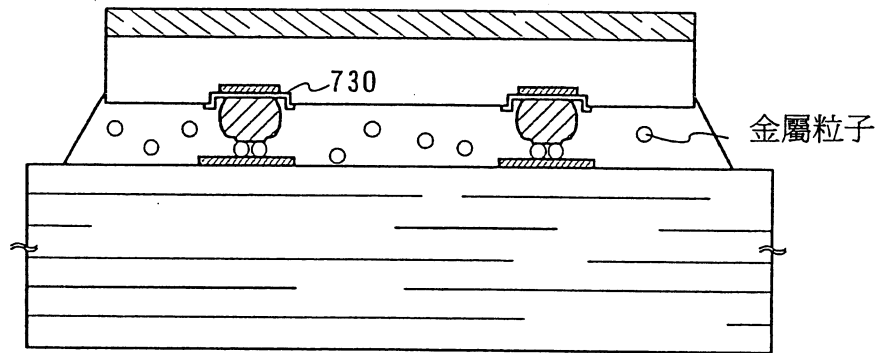


圖 6A

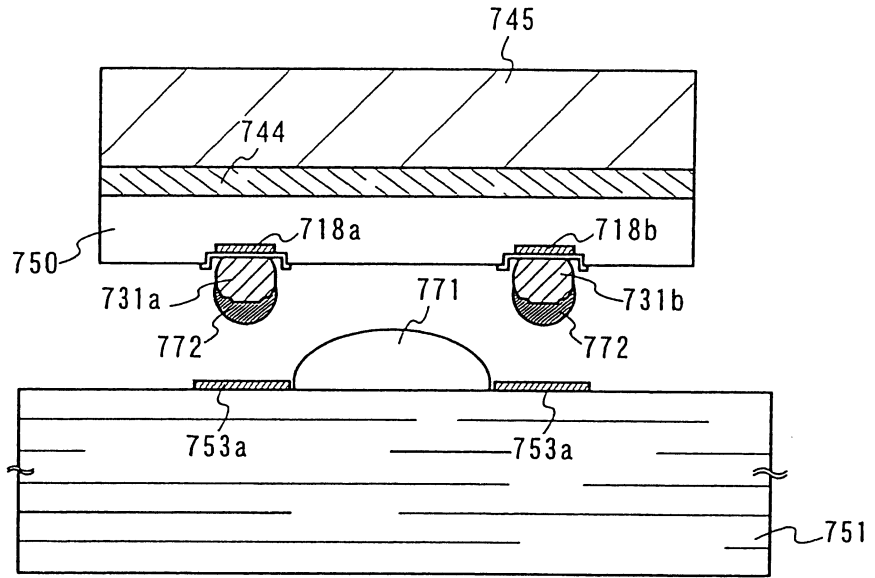


圖 6B

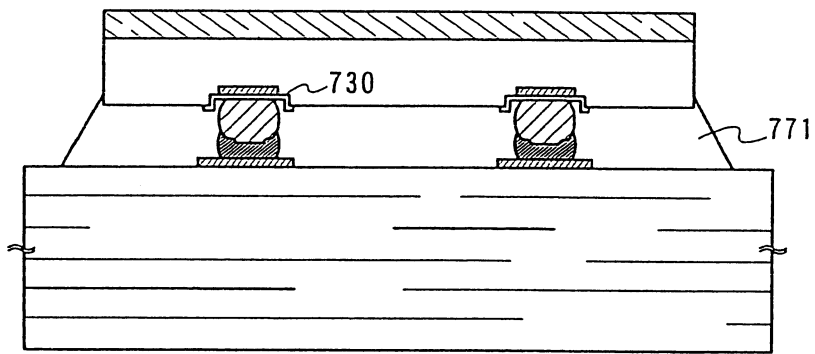


圖 7A

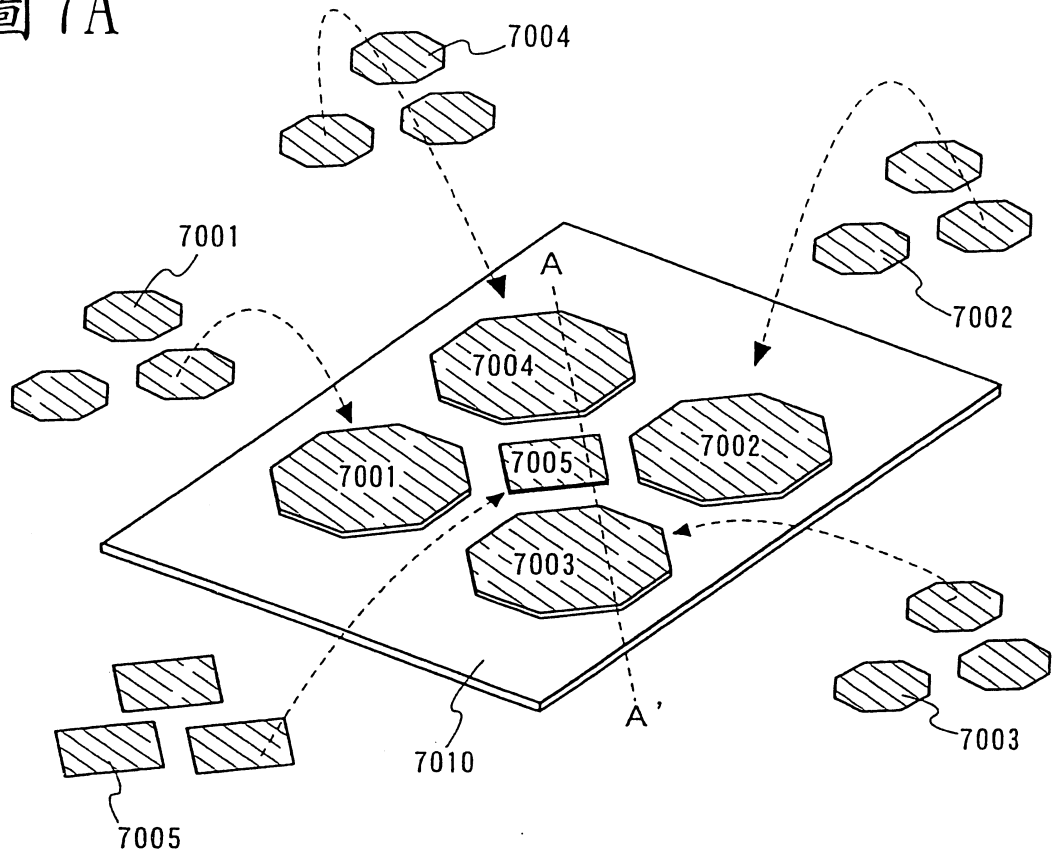


圖 7B

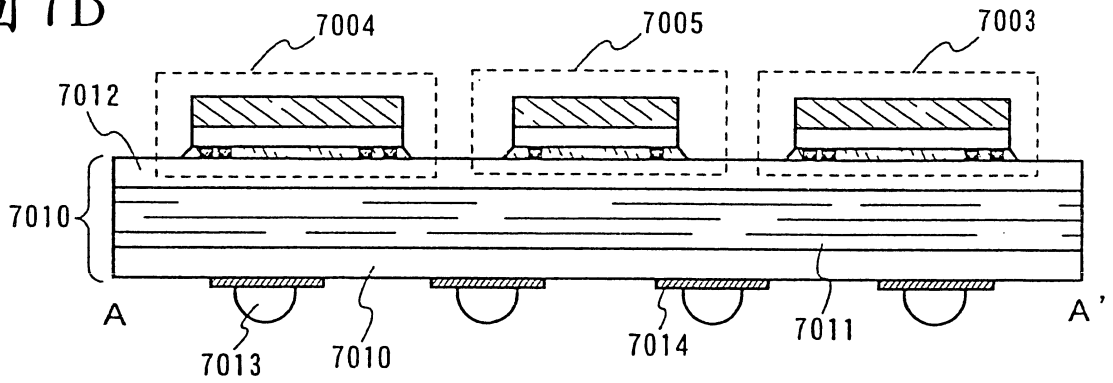


圖 8

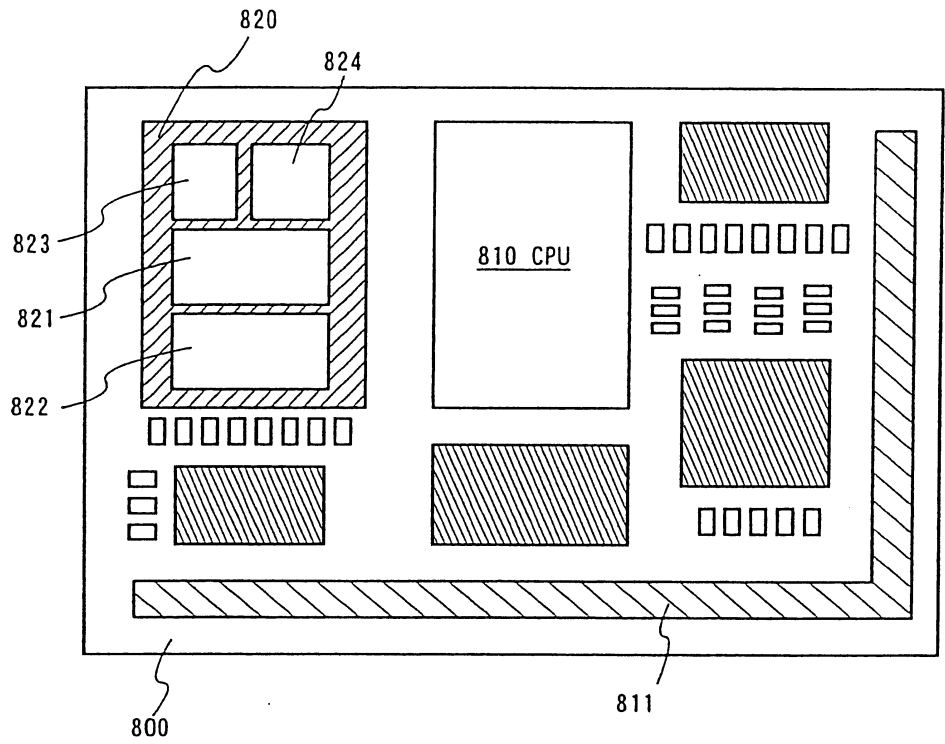


圖 9A

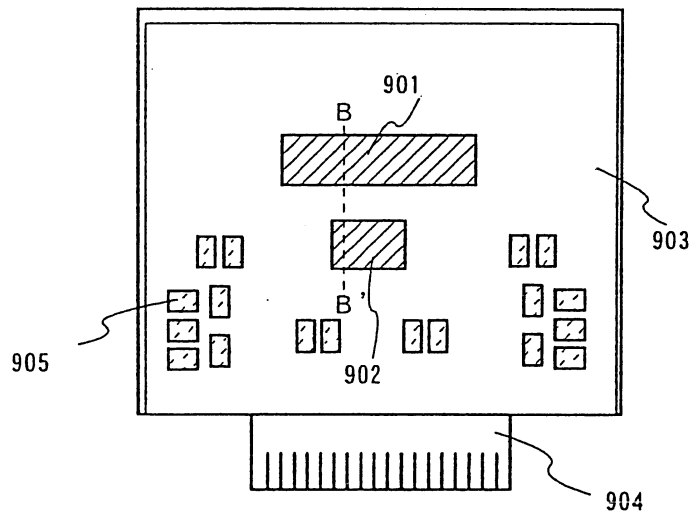


圖 9B

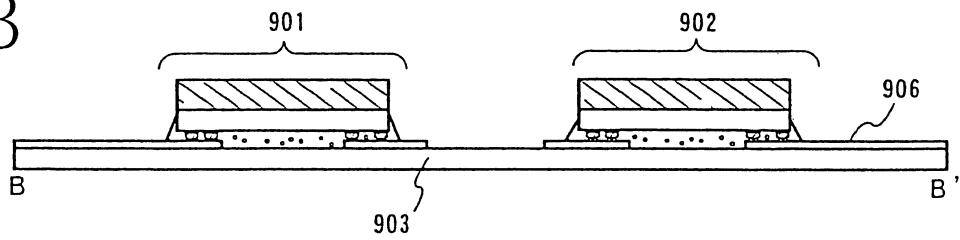


圖 10A

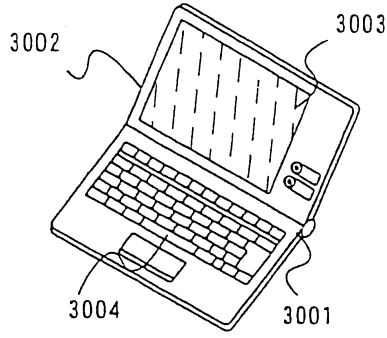


圖 10B

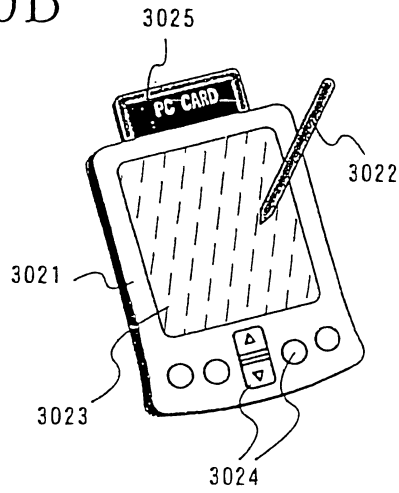


圖 10C

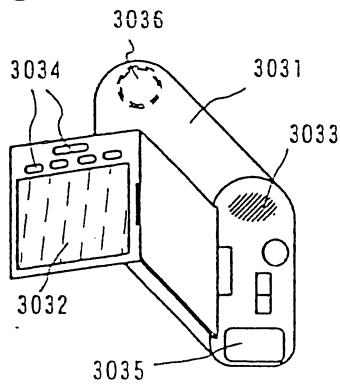


圖 10D

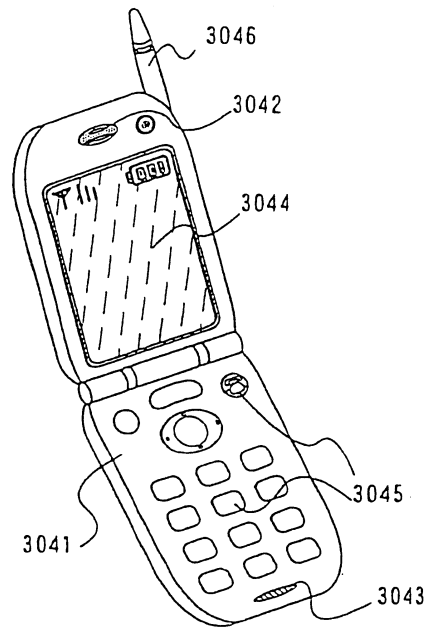
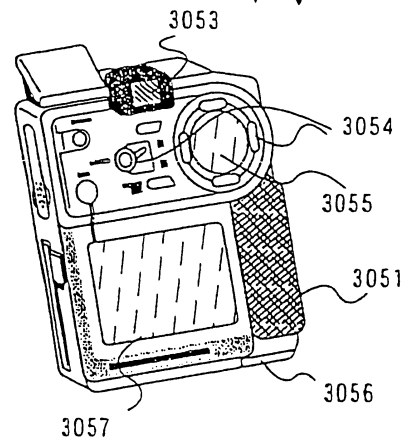


圖 10E



- 柒、(一)、本案指定代表圖為：第 4D 圖  
(二)、本代表圖之元件代表符號簡單說明：

750	積體電路膜
744	膜
745	保護片

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：