

(此處由本局於收  
文時黏貼條碼)

089890

M289890

公告本

# 新型專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：84 41000

※ 申請日期：94 年 9 月 16 日

※ IPC 分類：G06T 1/00, H04N 5/225

## 一、新型名稱：(中文/英文)

影像積體電路及其影像處理裝置/ VIDEO INTEGRATED CIRCUIT  
AND VIDEO PROCESSING APPARATUS THEREOF

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

啟能國際科技有限公司/BEACON ADVANCED TECHNOLOGY CO.,  
LTD.

代表人：(中文/英文) 黃啟能/HUANG, WILLIAM

住居所或營業所地址：(中文/英文)

台北縣永和市保生路 2 號 16 樓/

16Fl., No. 2, Bao-Sheng Rd., Yung-Ho, Taipei Hsien, 234 Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國/Taiwan, R.O.C.

## 三、創作人：(共 1 人)

姓 名：(中文/英文)

崔開良/ TSUI, KAI-LIANG

國 籍：(中文/英文)

中華民國/Taiwan, R.O.C.

**四、聲明事項：**

主張專利法第九十四條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第一百零八條準用第二十七條第一項國際優先權：

無主張專利法第一百零八條準用第二十七條第一項國際優先權：

主張專利法第一百零八條準用第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

## 八、新型說明：

### 【新型所屬之技術領域】

本創作是有關於一種影像積體電路及其影像處理裝置，更詳細來說，係關於一種用於處理並顯示多種影像信號之影像積體電路及其影像處理裝置。

### 【先前技術】

在這科技進步的時代，影像相關技術發展迅速，因此影像顯示裝置是與人們生活息息相關的商品。然而一般僅能顯示單一畫面的影像顯示裝置已無法迎合在短時間內得到更多資訊的需求，是故具有子母畫面或多分割畫面的影像顯示裝置因應而生。

習知可處理多個畫面之影像顯示裝置的處理控制電路大多由數個積體電路組成，例如欲處理一包含多個數位視訊訊號的輸入並生成相對應之影像，需要處理器、視訊輸出輸入埠單元、動畫壓縮標準(motion picture experts group, MPEG)編碼譯碼器、整合驅動電子(integrated drive electronics, IDE)控制器等多種積體電路配合操作，由於這樣的組合其電路布局面積大，不僅成本過高，且其產品的體積亦無法符合現代輕薄短小的要求。因此一種單一積體電路以處理多種影像信號之影像積體電路及其影像處理裝置仍是急切需要的。

【新型內容】

本創作之一目的在於提供一種影像積體電路，係連接至一記憶體及一影像播放裝置，其包含一處理器、一影像擷取單元、一動畫壓縮標準編碼譯碼器、一記憶體控制單元以及一影像輸出單元。影像擷取單元係因應處理器之一信號，接收複數個數位影像信號並產生一處理信號。動畫壓縮標準編碼譯碼器因應處理器之一信號接收並壓縮該處理信號。記憶體控制單元因應處理器之一信號將該處理信號儲存至記憶體。影像輸出單元因應處理器之一信號經由記憶體控制單元自記憶體擷取該處理信號，並將該處理信號輸出至影像播放裝置。上述影像擷取單元、動畫壓縮標準編碼譯碼器、記憶體控制單元及影像輸出單元所因應處理器之一信號並不限定為同一個信號。

此影像積體電路更可連接至一視頻圖形陣列(video graphics array, VGA)顯示器。更詳細來說，影像積體電路更包含一視頻圖形陣列編碼器，編碼來自影像輸出單元之該處理信號，並將編碼後之處理信號輸出至視頻圖形陣列顯示器。

此影像積體電路更可連接至一硬碟。更詳細來說，影像積體電路更包含一整合驅動電子(integrated drive electronics, IDE)控制器，因應處理器之一信號將該處理信號儲存至硬碟。

此影像積體電路更可連接至一週邊控制器介面(peripheral controller interface, PCI)匯流排。更詳細來說，影像積體電路更包含一週邊控制器介面單元，因應處理器之一信號將該處理信

號輸出至週邊控制器介面匯流排。

此影像積體電路更可連接至一通用串列匯流排(universal serial bus, USB)埠。更詳細來說，影像積體電路更包含一通用串列匯流排單元，因應處理器之一信號將該處理信號輸出至通用串列匯流排埠。

此影像積體電路更可連接至一乙太網路實體層(physical layer)。更詳細來說，影像積體電路更包含一乙太網路媒體存取控制層(media access control layer)，因應處理器之一信號將該處理信號輸出至乙太網路實體層。

本創作之另一目的在於提供一種影像處理裝置，係連接至一記憶體及一影像播放裝置。影像處理裝置包含一第一影像積體電路及一第二影像積體電路。第一影像積體電路及第二影像積體電路分別包含一處理器、一影像擷取單元、一動畫壓縮標準編碼譯碼器、一記憶體控制單元以及一影像輸出單元，其中處理器、動畫壓縮標準編碼譯碼器及記憶體控制單元與前述本創作之影像積體電路之處理器、動畫壓縮標準編碼譯碼器及記憶體控制單元相同。影像擷取單元包含一第一輸入端及一第二輸入端，影像擷取單元因應處理器之一信號自第一輸入端接收複數個數位影像信號並產生一處理信號。影像輸出單元包含一第一輸出端及一第二輸出端，影像輸出單元因應處理器之一信號經由記憶體控制單元自記憶體擷取該處理信號，並將該處理信號自第一輸出端輸出至影像播放裝置。其中，第一影像積

體電路之影像輸出單元之第二輸出端連接至第二影像積體電路之影像擷取單元之第二輸入端，第一影像積體電路之處理信號輸入至第二影像積體電路。同樣地，前述各元件「因應處理器之一信號」並不限定為同一個信號。

在參閱圖式及隨後描述之實施方式後，該技術領域具有通常知識者便可瞭解本發明之其他目的，以及本發明之技術手段與實施態樣。

### 【實施方式】

本創作之第一實施例如第 1 圖所示，係為一種影像積體電路 1，用於處理複數個數位影像信號，並將處理後的數位影像信號輸出於一顯示器上。

影像積體電路 1 電連接至一記憶體 101 與一影像播放裝置 103，並包含一處理器 105、一影像擷取單元 107、一動畫壓縮標準編碼譯碼器 109、一記憶體控制單元 111 及一影像輸出單元 113。處理器 105 藉由一線路 161 及一匯流排 115 輸出信號，以控制影像積體電路 1 之其他單元。影像擷取單元 107 接收由處理器 105 經線路 161 及匯流排 115 所輸出之第一信號 122 後，因應第一信號 122 接收複數個數位影像信號 102，並產生一處理信號 104，處理信號 104 被傳送至匯流排 115。在此實施例中，匯流排 115 為先進高效匯流排 (advanced high-performance bus, AHB)，複數個數位影像信號 102 為四個

混合信號(composite signal)。

動畫壓縮標準編碼譯碼器 109 接收由處理器 105 經線路 161 及匯流排 115 所輸出之第二信號 124 後，因應第二信號 124 自匯流排 115 接收並壓縮處理信號 104，其壓縮格式為 MPEG-4 格式。記憶體控制單元 111 接收由處理器 105 經線路 161 及匯流排 115 所輸出之第三信號 126 後，將影像擷取單元 107 所產生之處理信號 104 儲存至記憶體 101，因此處理信號 104 便被保存在記憶體 101 中，此記憶體 101 為一同步動態隨機存取記憶體。當處理信號 104 需要被擷取出來時，處理器 105 經線路 161 及匯流排 115 傳送第四信號 128 至影像輸出單元 113，影像輸出單元 113 便要求記憶體控制單元 111 自記憶體 101 擷取處理信號 104，並將此處理信號 104 輸出至影像播放裝置 103 以顯示其畫面，此影像播放裝置 103 可為一液晶顯示器或一投影機。

影像積體電路 1 更連接至一視頻圖形陣列顯示器 117，影像積體電路 1 更包含一視頻圖形陣列編碼器 119，用以編碼來自影像輸出單元 113 之處理信號 104，並將編碼後之處理信號 104 輸出至視頻圖形陣列顯示器 117。因此，影像積體電路 1 可直接產生視頻圖形陣列之信號。在此實施例中，視頻圖形陣列顯示器 117 為一電視。

影像積體電路 1 更連接至一硬碟 121，且影像積體電路 1 更包含一整合驅動電子控制器 123，其接收由處理器 105 經線

路 161 及匯流排 115 所輸出之第五信號 130 後，將影像擷取單元 107 所產生之處理信號 104 儲存至硬碟 121。由於硬碟 121 可儲存大量的資料，因此處理信號 104 可被長時間的保存，待日後需使用時再從硬碟 121 讀取出，進行播放或進一步的處理。

影像積體電路 1 更連接至一週邊控制器介面匯流排 125，且影像積體電路 1 更包含一週邊控制器介面單元 127，其接收由處理器 105 經線路 161 及匯流排 115 所輸出之第六信號 132 後，將影像擷取單元 107 所產生之處理信號 104 輸出至週邊控制器介面匯流排 125，而週邊控制器介面匯流排 125 為電腦資料傳輸之標準介面，藉此處理信號 104 可傳送至電腦顯示或進一步處理。

影像積體電路 1 更連接至一通用串列匯流排埠 129，且影像積體電路 1 更包含一通用串列匯流排單元 131，其接收由處理器 105 經線路 161 及匯流排 115 所輸出之第七信號 134 後，將影像擷取單元 107 所產生之處理信號 104 輸出至通用串列匯流排埠 129。通用串列匯流排埠 129 亦為一種可與電腦主機連接的介面，藉此處理信號 104 可傳送至電腦顯示或進一步處理。

影像積體電路 1 更連接至一乙太網路實體層 133，且影像積體電路 1 更包含一乙太網路媒體存取控制層 135，其接收由處理器 105 經線路 161 及匯流排 115 所輸出之第八信號 136



後，將影像擷取單元 107 所產生之處理信號 104 輸出至乙太網路實體層 133，藉此處理信號 104 可傳送至網路。

本創作之第二實施例如第 2 圖所示，此實施例之影像積體電路 2 亦連接至一記憶體 201 與一影像輸出單元 203，同樣包含一處理器 205、一影像擷取單元 207、一動畫壓縮標準編碼譯碼器 209、一記憶體控制單元 211、一影像輸出單元 213 及一第一匯流排 215，其功能與第一實施例之相對應元件相同，故不贅述。

與影像積體電路 1 不同之處在於影像積體電路 2 更包含一第二匯流排 239 及一匯流排橋接器 241，其中第二匯流排 239 為一先進週邊裝置匯流排(advanced peripheral bus, APB)，而匯流排橋接器 241 為 AHB-APB 橋接器，用以連接第一匯流排 215 及第二匯流排 239。第二匯流排 239 連接至一兩線式控制匯流排 (I<sup>2</sup>C bus) 243、一紅外線數據協定(IrDA)介面 245、一儲存卡(storage card)介面 247、一通用輸出輸入埠(GPIO port) 249、一聲音介面(audio I/F) 251、一鍵盤與滑鼠介面 253、一通用非同步接收及傳送器(UART)介面 255 及一中斷控制器 257。第二匯流排 239 藉由匯流排橋接器 241 可與第一匯流排 215 傳遞信號，因此處理器 205、影像擷取單元 207、動畫壓縮標準編碼譯碼器 209、記憶體控制單元 211 及影像輸出單元 213 所產生之任何信號可經由上述介面 243、245、247、249、251、253、255 傳送出去，而使用者亦可藉由上述介面 243、245、247、

249、251、253、255、257 將控制信號或資料輸入至影像積體電路 2。

由於影像積體電路 1 及影像積體電路 2 可接收四個數位影像信號，因此可同時處理並顯示至少四個畫面。習知技術在處理數個影像信號時須使用多個裝置，因此成本高且體積大。本創作之影像積體電路係將習知多個積體電路晶片之功能整合於單一積體電路晶片上，減少了電路佈局之面積，進而達到降低成本及縮小產品體積之目的。

本創作亦提供一種影像處理裝置，其實施例如第 3 圖所示，此影像處理裝置 3 用以將多個數位影像信號處理控制後，顯示於液晶顯示器、電視、監視器、投影機等顯示器上，使單一顯示器同時顯示多個畫面。

影像處理裝置 3 包含一第一影像積體電路 31 及一第二影像積體電路 33。第一影像積體電路 31 及第二影像積體電路 33 之內部元件與第一實施例、第二實施例相同，故不贅述。第一影像積體電路 31 及第二影像積體電路 33 之影像擷取單元 307 更包含一第一輸入端 361 及一第二輸入端 363，第一輸入端 361 用以接收複數個數位影像信號 302 並產生前述之處理信號，第二輸入端 363 連接至前一級影像積體電路之影像輸出單元 313。第一影像積體電路 31 及第二影像積體電路 33 之影像輸出單元 313 更包含一第一輸出端 365 及一第二輸出端 367，第一輸出端 365 將處理信號輸出至一影像播放裝置 303，第二輸

出端 367 則連接至下一級影像積體電路之影像擷取單元 307 之第二輸入端 363。以此一實施例而言，第一影像積體電路 31 之影像輸出單元 313 之第二輸出端 367 連接至第二影像積體電路 33 之影像擷取單元 307 之第二輸入端 363，因此第一影像積體電路 31 之處理信號可輸入至第二影像積體電路 33。

若第一影像積體電路 31 及第二影像積體電路 33 分別可處理四個數位影像信號，則第二影像積體電路 33 之影像輸出單元 313 之第一輸出端 365 及第二輸出端 367 分別可輸出八個畫面，其中四個來自第一影像積體電路 31 之影像擷取單元 307 之第一輸入端 361 的數位影像信號 302，四個來自第二影像積體電路 33 之影像擷取單元 307 之第一輸入端 361 的數位影像信號 304。第二影像積體電路 33 可藉由其第一輸出端 365 將此八個畫面同時顯示於影像播放裝置 303 上。

雖然此實施例以包含兩個影像積體電路之影像處理裝置說明之，但熟悉該技術領域者可輕易推及包含兩個以上影像積體電路之影像處理裝置之實施態樣，例如包含四個影像積體電路之影像處理裝置，這樣的影像處理裝置便可同時顯示十六個畫面。

綜上所述，雖然本創作以前述實施例說明之，但並非用以限定本創作之實施方式，任何熟知此技藝者，在不脫離本創作之精神和如下申請專利範圍所界定的內容及其均等技術範圍下，當可做各種更動與修改。

**【圖式簡單說明】**

第 1 圖為本創作之影像積體電路的第一實施例之示意圖；

第 2 圖為本創作之影像積體電路的第二實施例之示意圖；以及

第 3 圖為本創作之影像處理裝置的實施例之示意圖。

**【主要元件符號說明】**

1：影像積體電路	101：記憶體
103：影像播放裝置	105：處理器
107：影像擷取單元	109：動畫壓縮標準編碼譯碼器
111：記憶體控制單元	113：影像輸出單元
115：匯流排	117：視頻圖形陣列顯示器
119：視頻圖形陣列編碼器	121：硬碟
123：整合驅動電子控制器	125：週邊控制器介面匯流排
127：週邊控制器介面單元	129：通用串列匯流排埠
131：通用串列匯流排單元	133：乙太網路實體層
135：乙太網路媒體存取控制層	161：線路
102：數位影像信號	104：處理信號
122：第一信號	124：第二信號
126：第三信號	128：第四信號

# M289890

- 130：第五信號
- 132：第六信號
- 134：第七信號
- 136：第八信號
- 2：影像積體電路
- 201：記憶體
- 203：影像播放裝置
- 205：處理器
- 207：影像擷取單元
- 209：動畫壓縮標準編碼譯碼器
- 211：記憶體控制單元
- 213：影像輸出單元
- 215：第一匯流排
- 239：第二匯流排
- 241：匯流排橋接器
- 243：兩線式控制匯流排
- 245：紅外線數據協定介面
- 247：儲存卡介面
- 249：通用輸出輸入埠
- 251：聲音介面
- 253：鍵盤與滑鼠介面
- 255：通用非同步接收及傳送器
- 257：中斷控制器
- 3：影像處理裝置
- 31：第一影像積體電路
- 33：第二影像積體電路
- 303：影像播放裝置
- 307：影像擷取單元
- 361：第一輸入端
- 363：第二輸入端
- 313：影像輸出單元
- 365：第一輸出端
- 367：第二輸出端
- 302：數位影像信號
- 304：數位影像信號

## 五、中文新型摘要：

一種與記憶體及影像播放裝置連接，用於處理並顯示多種影像信號之影像積體電路及其影像處理裝置，包含處理器、影像擷取單元、動畫壓縮標準編碼譯碼器、記憶體控制單元以及影像輸出單元等元件。影像信號經影像積體電路及其影像處理裝置處理後，可同時產生多組影像。此單一積體電路處理多種影像信號之影像積體電路及其影像處理裝置可減少成本並達到縮小產品體積之需求。

## 六、英文新型摘要：

A video integrated circuit and a video processing apparatus thereof, connected to a memory and a video display apparatus, for processing and displaying a plurality of video signals are provided. The video integrated circuit and the video processing apparatus comprise a processor, a video capture unit, a motion picture experts group decoder, a memory control unit, and a video output unit. The video integrated circuit and the video processing apparatus generate a plurality of images corresponding to the plurality of video signals after processing. The video integrated circuit and the video processing apparatus displaying the plurality of images in one single chip decrease the cost and the size of products.

九、申請專利範圍：

1. 一種影像積體電路，係連接至一記憶體及一影像播放裝置，包含：

一處理器；

一影像擷取單元，係因應該處理器之一信號而接收複數個數位影像信號並產生一處理信號；

一動畫壓縮標準(motion picture experts group, MPEG)編碼譯碼器，係因應該處理器之一信號而接收並壓縮該處理信號；

一記憶體控制單元，係因應該處理器之一信號將該處理信號儲存至該記憶體；以及

一影像輸出單元，係因應該處理器之一信號經由該記憶體控制單元自該記憶體擷取該處理信號，並將該處理信號輸出至該影像播放裝置。

2. 如請求項 1 所述之影像積體電路，更連接至一視頻圖形陣列(video graphics array, VGA)顯示器，該影像積體電路更包含一視頻圖形陣列編碼器，編碼來自該影像輸出單元之該處理信號，並將該編碼後之處理信號輸出至該視頻圖形陣列顯示器。
3. 如請求項 2 所述之影像積體電路，其中該視頻圖形陣列顯示器係為一電視。
4. 如請求項 1 所述之影像積體電路，更連接至一硬碟，該影像

積體電路更包含一整合驅動電子(integrated drive electronics, IDE)控制器，係因應該處理器之一信號將該處理信號儲存至該硬碟。

5. 如請求項 1 所述之影像積體電路，更連接至一週邊控制器介面(peripheral controller interface, PCI)匯流排，該影像積體電路更包含一週邊控制器介面單元，係因應該處理器之一信號將該處理信號輸出至該週邊控制器介面匯流排。
6. 如請求項 1 所述之影像積體電路，更連接至一通用串列匯流排(universal serial bus, USB)埠，該影像積體電路更包含一通用串列匯流排單元，係因應該處理器之一信號將該處理信號輸出至該通用串列匯流排埠。
7. 如請求項 1 所述之影像積體電路，更連接至一乙太網路實體層(physical layer)，該影像積體電路更包含一乙太網路媒體存取控制層(media access control layer)，係因應該處理器之一信號將該處理信號輸出至該乙太網路實體層。
8. 如請求項 1 所述之影像積體電路，其中該記憶體係為一同步動態隨機存取記憶體(SDRAM)。
9. 如請求項 1 所述之影像積體電路，其中該複數個數位影像信號係為 4 個混合信號(composite signal)。
10. 如請求項 1 所述之影像積體電路，其中該動畫壓縮標準編碼譯碼器係以 MPEG-4 格式進行壓縮。
11. 如請求項 1 所述之影像積體電路，其中該影像播放裝置係為



一液晶顯示器。

12. 如請求項 1 所述之影像積體電路，其中該影像播放裝置係為一投影機。

13. 如請求項 1 所述之影像積體電路，更包含一先進高效匯流排，用以傳送該信號及該處理信號。

14. 一種影像處理裝置，係連接至一記憶體及一影像播放裝置，該影像處理裝置包含一第一影像積體電路及一第二影像積體電路，該第一影像積體電路及該第二影像積體電路分別包含：

一處理器；

一影像擷取單元，包含一第一輸入端及一第二輸入端，該影像擷取單元因應該處理器之一信號自該第一輸入端接收複數個數位影像信號並產生一處理信號；

一動畫壓縮標準編碼譯碼器，係因應該處理器之一信號接收並壓縮該處理信號；

一記憶體控制單元，係因應該處理器之一信號將該處理信號儲存至該記憶體；以及

一影像輸出單元，包含一第一輸出端及一第二輸出端，該影像輸出單元因應該處理器之一信號經由該記憶體控制單元自該記憶體擷取該處理信號，並將該處理信號自該第一輸出端輸出至該影像播放裝置；

其中，該第一影像積體電路之該影像輸出單元之該第二

輸出端連接至該第二影像積體電路之該影像擷取單元之該第二輸入端，該第一影像積體電路之該處理信號輸入至該第二影像積體電路。

15. 如請求項 14 所述之影像處理裝置，更連接至一視頻圖形陣列顯示器，該第二影像積體電路更包含一視頻圖形陣列編碼器，編碼來自該影像輸出單元之該處理信號，並將該編碼後之處理信號輸出至該視頻圖形陣列顯示器。

16. 如請求項 15 所述之影像處理裝置，其中該視頻圖形陣列顯示器係為一電視。

17. 如請求項 14 所述之影像處理裝置，更連接至一硬碟，該第一及第二影像積體電路更分別包含一整合驅動電子控制器，係因應該處理器之一信號將該處理信號儲存至該硬碟。

18. 如請求項 14 所述之影像處理裝置，更連接至一週邊控制器介面匯流排，該第一及第二影像積體電路更分別包含一週邊控制器介面單元，係因應該處理器之一信號將該處理信號輸出至該週邊控制器介面匯流排。

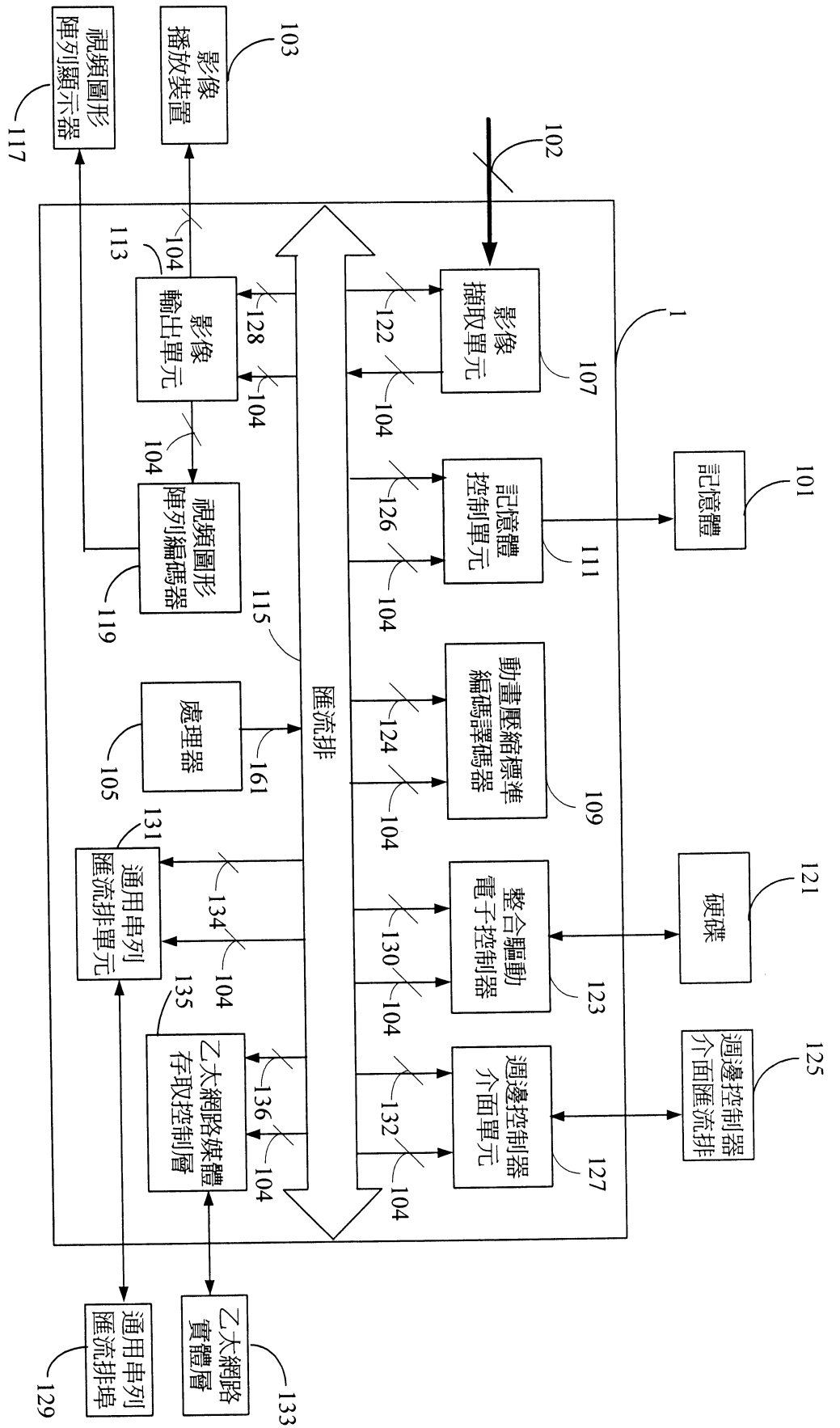
19. 如請求項 14 所述之影像處理裝置，更連接至一通用串列匯流排埠，該第一及第二影像積體電路更分別包含一通用串列匯流排單元，係因應該處理器之一信號將該處理信號輸出至該通用串列匯流排埠。

20. 如請求項 14 所述之影像處理裝置，更連接至一乙太網路實體層，該第一及第二影像積體電路更分別包含一乙太網路媒

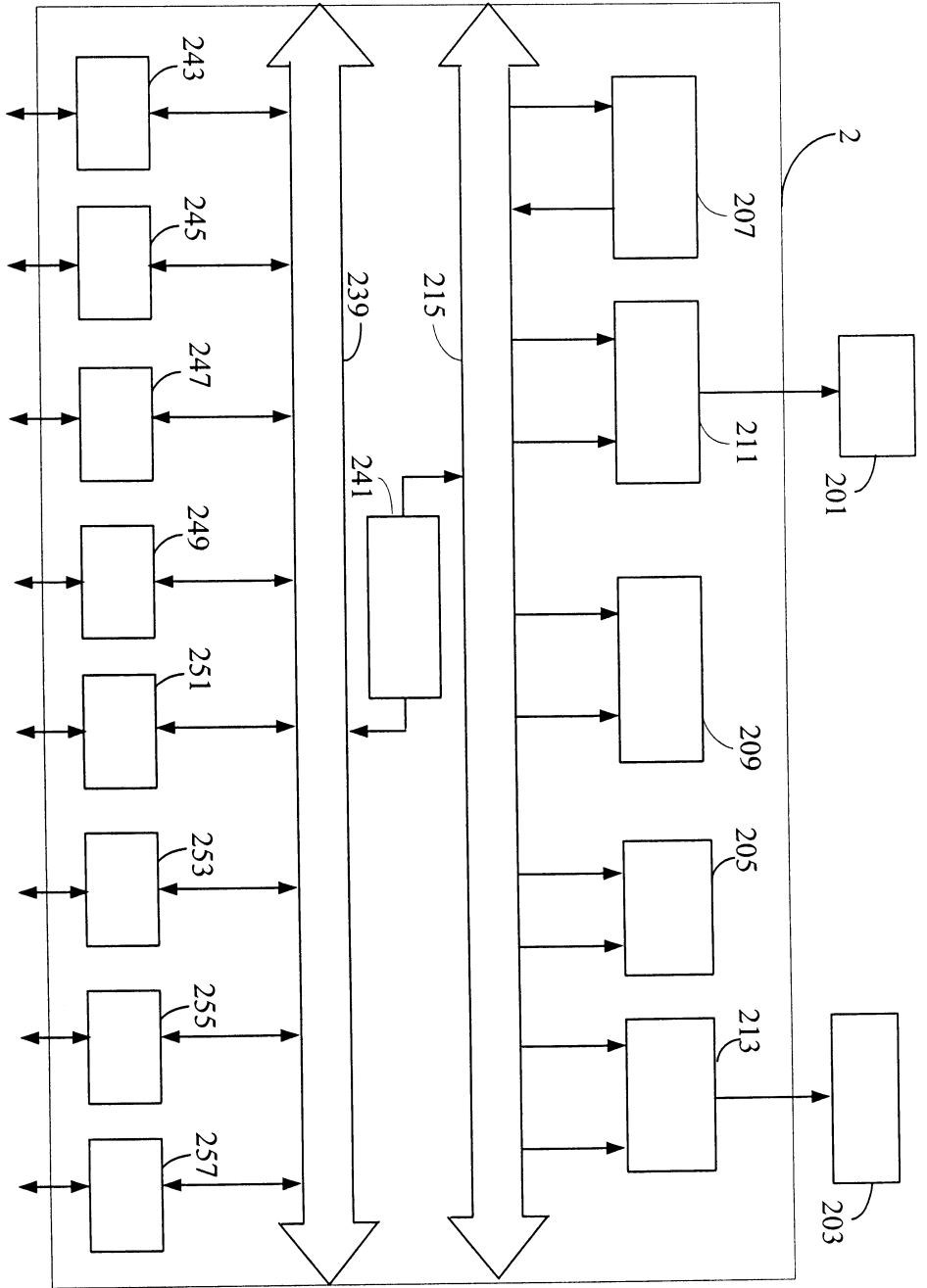
體存取控制層，係因應該處理器之一信號將該處理信號輸出至該乙太網路實體層。

21. 如請求項 14 所述之影像處理裝置，其中該記憶體係為一同步動態隨機存取記憶體。
22. 如請求項 14 所述之影像處理裝置，其中該複數個數位影像信號係為 4 個混合信號。
23. 如請求項 14 所述之影像處理裝置，其中該動畫壓縮標準編碼譯碼器係以 MPEG-4 格式進行壓縮。
24. 如請求項 14 所述之影像處理裝置，其中該影像播放裝置係為一液晶顯示器。
25. 如請求項 14 所述之影像處理裝置，其中該影像播放裝置為一投影機。
26. 如請求項 14 所述之影像處理裝置，該第一影像積體電路及該第二影像積體電路更分別包含一先進高效匯流排，用以傳送該信號及該處理信號。

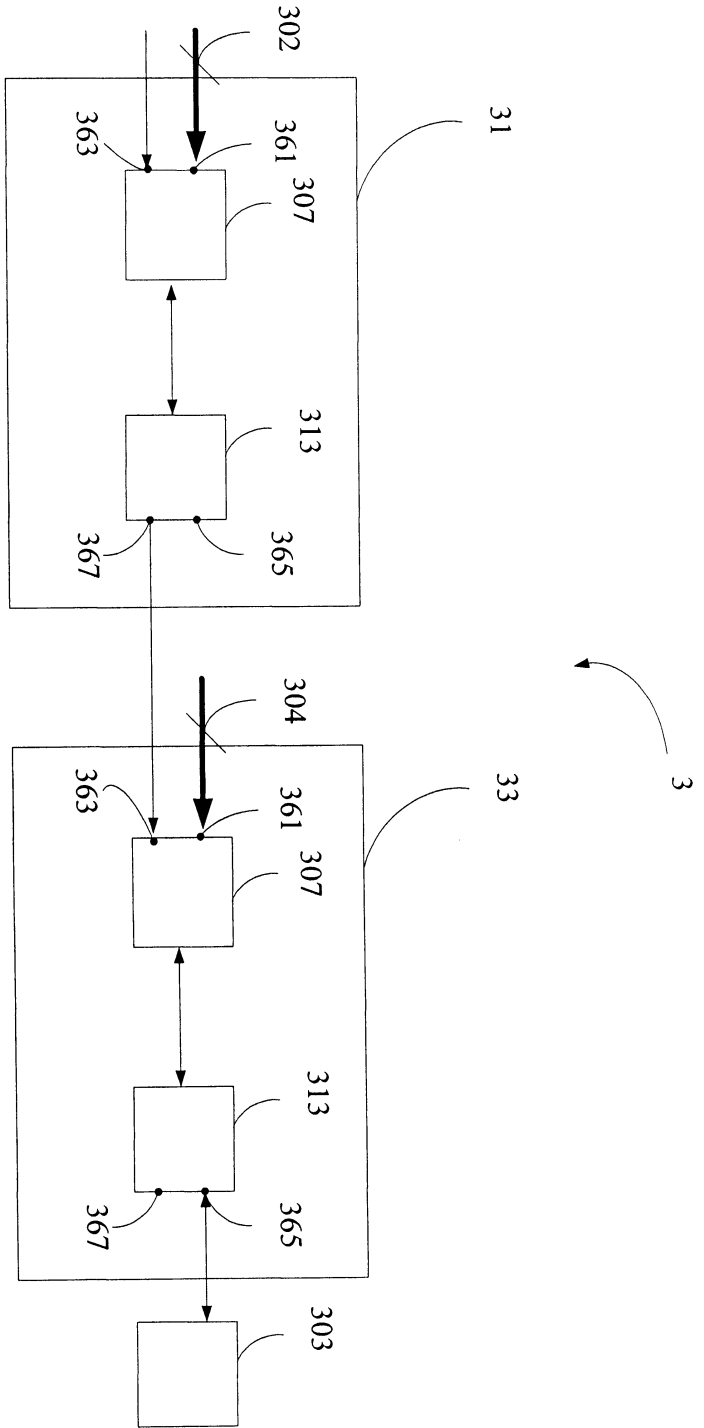
十、圖式：



第1圖



第2圖



第3圖

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖

(二)本代表圖之元件符號簡單說明：

1：影像積體電路	101：記憶體
103：影像播放裝置	105：處理器
107：影像擷取單元	109：動畫壓縮標準編碼譯碼器
111：記憶體控制單元	113：影像輸出單元
115：匯流排	117：視頻圖形陣列顯示器
119：視頻圖形陣列編碼器	121：硬碟
123：整合驅動電子控制器	125：週邊控制器介面匯流排
127：週邊控制器介面單元	129：通用串列匯流排埠
131：通用串列匯流排單元	133：乙太網路實體層
135：乙太網路媒體存取控制層	161：線路
102：數位影像信號	104：處理信號
122：第一信號	124：第二信號
126：第三信號	128：第四信號
130：第五信號	132：第六信號
134：第七信號	136：第八信號