

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4917901号  
(P4917901)

(45) 発行日 平成24年4月18日(2012.4.18)

(24) 登録日 平成24年2月3日(2012.2.3)

(51) Int.Cl. F I  
H04L 7/00 (2006.01) H04L 7/00 Z

請求項の数 5 (全 14 頁)

<p>(21) 出願番号 特願2007-5426 (P2007-5426)                  (22) 出願日 平成19年1月15日 (2007.1.15)                  (65) 公開番号 特開2008-172657 (P2008-172657A)                  (43) 公開日 平成20年7月24日 (2008.7.24)                  審査請求日 平成21年12月18日 (2009.12.18)</p>	<p>(73) 特許権者 501285133                  川崎マイクロエレクトロニクス株式会社                  千葉県千葉市美浜区中瀬一丁目3番地                  (74) 代理人 100080159                  弁理士 渡辺 望穂                  (74) 代理人 100090217                  弁理士 三和 晴子                  (72) 発明者 戸崎 賀津雄                  千葉県千葉市美浜区中瀬一丁目3番地 川崎マイクロエレクトロニクス株式会社 幕張本社内                  審査官 白井 亮</p>
--	--

最終頁に続く

(54) 【発明の名称】 受信装置

(57) 【特許請求の範囲】

【請求項1】

第1の期間において、送信すべきデータ列を分割して生成した複数の分割データ列であって、第1のシンボルを共通のタイミングで所定の個数だけ連続して挿入した後に、それぞれに対応するレーンを通じて送信された複数の分割データ列を受信する受信装置において、

前記複数のレーンのそれぞれに対応して、前記受信した分割データ列の前記第1のシンボルの個数を1個もしくはそれ以上に調整する処理を行って処理済み分割データ列を生成する弾性バッファを備えるとともに、前記処理済み分割データ列の間のスキュー調整を行うスキュー調整回路を備え、

前記スキュー調整回路は、前記複数のレーンのそれぞれに対応して設けられて前記処理済み分割データ列内の前記第1のシンボルを判別する判別回路を有し、該判別回路の判別結果に基づいて、それぞれの前記処理済み分割データ列における前記第1のシンボルの終了を検出し、該終了を検出したタイミングに基づいて前記処理済み分割データ列の間のスキュー調整を行うことを特徴とする受信装置。

【請求項2】

前記第1の期間において、前記第1のシンボルは、第2のシンボルに続いて挿入され、前記第1の期間と異なる第2の期間において、前記分割データ列は、前記第2のシンボルのみが共通のタイミングで挿入されて送信され、

前記判別回路は、前記処理済み分割データ列内の前記第1のシンボルに加えて前記第2

のシンボルを、前記第1のシンボルとを区別することなく判別し、前記スキュー調整回路は、前記第1の期間および第2の期間の両方において、前記判別回路の判別結果に基づいて、前記それぞれの処理済み分割データ列における前記第1もしくは第2のシンボルの終了を検出し、該終了を検出したタイミングに基づいて前記処理済み分割データ列の間のスキュー調整を行うことを特徴とする請求項1記載の受信装置。

【請求項3】

前記複数のレーンのそれぞれに対応して設けられ、クロック信号に同期して対応する前記処理済み分割データ列のデータを一時的に記憶するバッファをさらに備え、

前記スキュー調整回路は、前記バッファに一時的に記憶したデータの読み出しのタイミングを調整することによって前記スキュー調整を行うことを特徴とする請求項1記載の受信装置。

10

【請求項4】

前記スキュー調整回路は、さらに、

前記複数のレーンのそれぞれに対応して設けられ、同一のレーンの前記処理済み分割データ列における前記第1のシンボルの終了を検出した時点から、前記クロック信号に同期してカウントするカウンタを有し、全ての前記処理済み分割データ列における前記第1のシンボルの終了を検出した時点での前記それぞれのカウンタのカウント値に応じて、前記バッファに一時的に記憶したデータの読み出しのタイミングを調整するか、もしくは、

前記処理済み分割データ列のいずれかにおいて最初に前記第1のシンボルの終了を検出した時点から、前記クロック信号に同期してカウントするカウンタを有し、前記処理済み分割データ列のそれぞれにおいて前記第1のシンボルの終了を検出した時点での前記カウンタのカウント値に応じて、前記バッファに一時的に記憶したデータの読み出しのタイミングを調整することを特徴とする請求項3記載の受信装置。

20

【請求項5】

前記分割データ列をシリアルデータ列として受信し、パラレルデータ列に変換してから前記弾性バッファによる処理を行うことを特徴とする請求項1ないし4のいずれかに記載の受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、送信装置から、複数のレーン（伝送線路）を使用して送信されてくる、送信すべきデータ列を分割して生成した複数の分割データ列（シリアルデータ列）を受信する受信装置に関するものである。

30

【背景技術】

【0002】

従来のパラレル通信インタフェース（I/F）であるPCI（Peripheral Component Interconnect）に代わる高速シリアル通信I/Fとして、PCI Expressが知られている。

【0003】

PCI Expressの特徴の1つは、1組の送信専用線と受信専用線とを含むシリアル通信I/Fを採用するレーンを複数束ねられることである。すなわち、各々のレーンではデータ列のシリアル通信が行われるが、複数のレーンを使用することによって、送受信すべきデータ列を複数のレーンに対応して分割し、レーン数分の分割データ列をパラレルに送受信できる。そのため、レーン数に応じて通信帯域を数倍に容易に向上させることができる。

40

【0004】

PCI Expressを採用する送信装置と受信装置との間で複数のレーンを使用してシリアル通信を行う場合、上記のように、送信装置は、送信すべきデータ列を複数に分割し、複数の分割データ列を各々対応するレーンを通じて受信装置に送信する。一方、受信装置は、送信装置から送信されてくる、各々のレーンに対応する分割データ列を受信し

50

、シリアル・パラレル変換する。そして、複数のレーンのパラレルデータ列を結合して、元のデータ列を復元する。

【0005】

PCI Expressを採用する送信装置と受信装置との間で複数のレーンを使用してシリアル通信を行う場合、各々のレーンにおける伝送遅延時間が異なるなどの理由から、受信装置において受信される分割データ列の間でレーン毎にスキューが発生することがある。そのため、受信装置では、元のデータ列を復元するために、各々のレーンを通じて受信される分割データ列の間のスキューを調整し、データの位置(タイミング)を揃える必要がある。

【0006】

PCI Expressの場合、複数のレーンに対応する分割データ列の間の到達時間の違い(レーン間スキュー)の調整のために、COMシンボルを用いて、分割データ列の間のスキューを調整する機能(レーン間デスクュー)が規格化されている。

【0007】

レーン間デスクューとは、送信装置から、有効データ(COMシンボルなどの制御データを除く、送信装置から受信装置に送信すべきデータ)を、複数のレーンに対応する分割データ列に分割して送信する場合、それぞれの分割データ列に、所定パターンのCOMシンボルを共通のタイミングで挿入してから、各々のレーンを通じて送信し、受信装置において、各々のレーンに対応するCOMシンボルの位置を検出し、その位置を合わせることによって、各々のレーンを通じて送信される分割データ列の間のスキューを調整する機能である。このようなCOMシンボルを用いたデスクューは、送信装置および受信装置のコンフィグレーションを行うトレーニングシーケンス時に行われるとともに、コンフィグレーションを完了した後の通常転送時にも、定期的に行われる。

【0008】

ところで、PCI Expressを採用する送信装置では、送信装置から分割データ列を送信する時に、クロック信号が同時に送信されるわけではなく、クロック信号は、送信される分割データ列に重畳されている。従って、受信装置では、受信した分割データ列から、クロック信号をリカバリーし、リカバリーしたクロック信号(リカバリークロック)を使用して分割データ列をラッチし、シリアル・パラレル変換を行って元のデータ列を復元する。

【0009】

しかし、前述の通り、分割データ列の間でレーン毎にスキューが発生することがある。また、送信装置と受信装置は、それぞれ別々のクロック信号(ローカルクロック)に同期して動作している。そのため、両者のローカルクロックの間には位相差(クロックスキュー)がある場合がある。従って、PCI Expressを採用する受信装置では、両者の間のクロックスキューの調整のために、次に述べるスキップ処理(SKIP処理)が行われる。

【0010】

SKIP処理では、SKIPオーダードセットとして、1個のCOMシンボルに続いて3個のSKPシンボルが送信され、その後、必要に応じて有効データが送信される。受信装置は、各々のレーン毎に、所定数の分割データ列を一時的に保持する弾性バッファを備えており、SKPシンボルの個数を±2個の範囲で加減することで、送信装置と受信装置との間のクロックスキューによる弾性バッファのオーバーフローやアンダーフローの発生を回避する。

【0011】

すなわち、SKIP処理によって、SKPシンボルの個数は、1~5個の範囲で各々のレーン毎に変化する可能性がある。

【0012】

しかし、全てのレーンに対して同数のSKPシンボルを加減できれば問題はないが、各々のレーン毎に、SKPシンボルの加減数が異なる可能性は十分にある。その場合、レー

10

20

30

40

50

ン間デスクューでCOMシンボルの位置を合わせたとしても、COMシンボルに続くSKIPシンボルの個数がレーン毎に異なるため、その後続く有効データの位置もずれる。従って、元のデータ列を復元するためには有効データの位置を合わせる必要がある。

【0013】

ここで、本発明の先行技術文献として、例えば特許文献1などがある。

【0014】

特許文献1には、トレーニングシーケンス(TS)の場合には、COMシンボルを用いてスキュー調整を行い、通常転送時のSKIP処理では、各々のレーンに対し、SKIPシンボルの付加、削除情報に基づいてスキュー調整の処理を行うことが開示されている。

【0015】

従って、特許文献1では、トレーニングシーケンスの場合と通常転送時の場合の処理を分離する必要がある。また、特許文献1では、弾性バッファにおいてSKIPシンボルが、いくつ追加されたのか、もしくは、削除されたのかを判別してスキュー調整を行う必要がある。

【0016】

【特許文献1】特開2006-202281号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

本発明の目的は、前記従来技術に基づく問題点を解消し、シンボルの個数が各々のレーン毎に異なる場合であっても、簡単な処理によって、各々のレーンに対応する分割データ列の間のスキュー調整を行うことができる受信装置を提供することにある。

【課題を解決するための手段】

【0018】

上記目的を達成するために、本発明は、第1の期間において、送信すべきデータ列を分割して生成した複数の分割データ列であって、第1のシンボルを共通のタイミングで所定の個数だけ連続して挿入した後に、それぞれに対応するレーンを通じて送信された複数の分割データ列を受信する受信装置において、

前記複数のレーンのそれぞれに対応して、前記受信した分割データ列の前記第1のシンボルの個数を1個もしくはそれ以上に調整する処理を行って処理済み分割データ列を生成する弾性バッファを備えるとともに、前記処理済み分割データ列の間のスキュー調整を行うスキュー調整回路を備え、

前記スキュー調整回路は、前記複数のレーンのそれぞれに対応して設けられて前記処理済み分割データ列内の前記第1のシンボルを判別する判別回路を有し、該判別回路の判別結果に基づいて、それぞれの前記処理済み分割データ列における前記第1のシンボルの終了を検出し、該終了を検出したタイミングに基づいて前記処理済み分割データ列の間のスキュー調整を行うことを特徴とする受信装置を提供するものである。

【0019】

ここで、前記第1の期間において、前記第1のシンボルは、第2のシンボルに続いて挿入され、

前記第1の期間と異なる第2の期間において、前記分割データ列は、前記第2のシンボルのみが共通のタイミングで挿入されて送信され、

前記判別回路は、前記処理済み分割データ列内の前記第1のシンボルに加えて前記第2のシンボルを、前記第1のシンボルとを区別することなく判別し、前記スキュー調整回路は、前記第1の期間および第2の期間の両方において、前記判別回路の判別結果に基づいて、前記それぞれの処理済み分割データ列における前記第1もしくは第2のシンボルの終了を検出し、該終了を検出したタイミングに基づいて前記処理済み分割データ列の間のスキュー調整を行うことが好ましい。

【0020】

また、前記複数のレーンのそれぞれに対応して設けられ、クロック信号に同期して対応

10

20

30

40

50

する前記処理済み分割データ列のデータを一時的に記憶するバッファをさらに備え、

前記スキュー調整回路は、前記バッファに一時的に記憶したデータの読み出しのタイミングを調整することによって前記スキュー調整を行うことが好ましい。

【0021】

また、前記スキュー調整回路は、さらに、

前記複数のレーンのそれぞれに対応して設けられ、同一のレーンの前記処理済み分割データ列における前記第1のシンボルの終了を検出した時点から、前記クロック信号に同期してカウントするカウンタを有し、全ての前記処理済み分割データ列における前記第1のシンボルの終了を検出した時点での前記それぞれのカウンタのカウント値に応じて、前記バッファに一時的に記憶したデータの読み出しのタイミングを調整するか、もしくは、

前記処理済み分割データ列のいずれかにおいて最初に前記第1のシンボルの終了を検出した時点から、前記クロック信号に同期してカウントするカウンタを有し、前記処理済み分割データ列のそれぞれにおいて前記第1のシンボルの終了を検出した時点での前記カウンタのカウント値に応じて、前記バッファに一時的に記憶したデータの読み出しのタイミングを調整することが好ましい。

【0022】

また、前記分割データ列をシリアルデータ列として受信し、パラレルデータ列に変換してから前記弾性バッファによる処理を行うことが好ましい。

【発明の効果】

【0023】

本発明の受信装置によれば、シンボルの個数が各々のレーンに対応する処理済み分割データ列毎に異なる場合であっても、特許文献1のように、シンボルの加減の情報を使用することなく、簡単な回路構成で、かつ、簡単な処理によって、処理済み分割データ列における第1のシンボルの終了を検出し、その検出タイミングに基づいて処理済み分割データ列の間のスキューを調整することができる。

【発明を実施するための最良の形態】

【0024】

以下に、添付の図面に示す好適実施形態に基づいて、本発明の受信装置を詳細に説明する。

【0025】

図1は、本発明の受信装置の構成を表す一実施形態のブロック図である。同図に示す受信装置10は、PCI Expressの規格に従い、複数のレーンを使用して、図示していない送信装置との間でシリアル通信を行い、送信装置から、複数のレーンを通じて送信されてくる分割データ列を受信する。受信装置10は、0～n個（nは1以上の整数）のレーンに対応するパイプライン12（0～n）と、レーンデスキュー処理回路14とによって構成されている。

【0026】

パイプライン0は、シリアライザ・デシリアライザ16と、弾性バッファ18とによって構成されている。

【0027】

レーン0に対応する分割データ列が、シリアルI/Fを介してシリアライザ・デシリアライザ16に入力される。シリアライザ・デシリアライザ16の出力信号は弾性バッファ18に入力され、弾性バッファ18の出力信号は、レーン0に対応するSKIP処理済み分割データ列として、レーンデスキュー処理回路14に入力される。そして、レーンデスキュー処理回路14の出力信号が、スキュー調整済み分割データ列として、受信装置10の内部バスに出力される。

【0028】

シリアライザ・デシリアライザ16は、シリアルI/Fを介して受信した、レーン0に対応する分割データ列（シリアルデータ列）をパラレルデータ列に変換する、シリアル・パラレル変換器である。

10

20

30

40

50

## 【 0 0 2 9 】

弾性バッファ 1 8 は、シリアライザ・デシリアライザ 1 6 から入力される分割データ列（パラレルデータ列）内の S K P シンボルの個数を 1 個もしくはそれ以上に調整する処理を行って、S K I P 処理済み分割データ列を生成する S K I P 処理を行う。P C I E x p r e s s の場合、通常転送時には、定期的に、S K I P オーダードセットとして、1 個の C O M シンボルに続いて 3 個の S K P シンボルが挿入されて送信される。弾性バッファ 1 8 は、この S K P シンボルの個数を  $\pm 2$  個の範囲で加減する。

## 【 0 0 3 0 】

また、パイプライン 1 ~ n も、レーン 0 がレーン 1 ~ n のいずれかに置き換えられる点を除いてパイプライン 0 と同様のものである。各々のパイプライン 0 ~ n において、送信装置から送信されてくる、レーン 0 ~ n に対応する分割データ列が受信される。

10

## 【 0 0 3 1 】

以下、4 つのレーン（図 1 において、 $n = 3$  の場合）を使用する場合を例に挙げてレーンデスキュー処理回路 1 4 について説明する。

## 【 0 0 3 2 】

図 2 は、図 1 に示すレーンデスキュー処理回路の構成を表すブロック図である。同図に示すレーンデスキュー処理回路 1 4 は、スキュー調整回路 2 0 と、4 つの F I F O 2 2 ( F I F O  $i$  ) (  $i$  は 0 , 1 , 2 , 3 ) ( 以下同じ ) とによって構成されている。

## 【 0 0 3 3 】

スキュー調整回路 2 0 は、図 2 に示すように、各々の F I F O  $i$  に入力される S K I P 処理済み分割データ列 L  $i$  \_ D A T A \_ I N の間のスキュー調整を行うもので、アドレス信号 L  $i$  \_ F I F O \_ A D D R を出力する。アドレス信号 L  $i$  \_ F I F O \_ A D D R は、各々対応する F I F O  $i$  に入力される。

20

## 【 0 0 3 4 】

図 3 は、図 2 に示すスキュー調整回路 2 0 の構成を表すブロック図である。同図に示すスキュー調整回路 2 0 は、各々のレーン  $i$  に対応して設けられた、C O M , S K P 判別回路 2 4 ( C O M , S K P 判別  $i$  ) およびスキュー調整カウンタ 2 6 ( スキュー調整カウンタ  $i$  ) と、全レーン C O M , S K P 判定回路 2 8 とによって構成されている。

## 【 0 0 3 5 】

C O M , S K P 判別回路 2 4 は、S K I P 処理済み分割データ列 L  $i$  \_ D A T A \_ I N 内の C O M シンボルないし S K P シンボルを判別 ( C O M シンボルと S K P シンボルとを区別なく判別 ) し、その判別結果として個別判別信号 S M B L  $i$  を出力する。これと共に、C O M シンボルおよび S K P シンボルの終了を検出して、個別終了信号 E N D 1  $i$  を出力する。これらの信号は、対応するレーンのスキュー調整カウンタ 2 6 に入力される。個別終了信号 E N D 1  $i$  は、全レーン C O M , S K P 判定回路 2 8 にも入力される。

30

## 【 0 0 3 6 】

スキュー調整カウンタ 2 6 は、C O M , S K P 判別回路 2 4 の判別結果である個別終了信号 E N D 1  $i$  に基づいて、それぞれの S K I P 処理済み分割データ列 L  $i$  \_ D A T A \_ I N における S K P シンボルの終了を検出したタイミングを把握する。そして、スキュー調整カウンタ 2 6 は、S K P シンボルの終了を検出したタイミングに基づいて、アドレス信号 L  $i$  \_ F I F O \_ A D D R を F I F O 2 2 に供給する。これによって、S K I P 処理済み分割データ列 L  $i$  \_ D A T A \_ I N の間のスキュー調整を行う。

40

## 【 0 0 3 7 】

ここで、C O M , S K P 判別回路 2 4 について具体例を挙げて説明する。

## 【 0 0 3 8 】

C O M , S K P 判別回路 2 4 は、図 4 に示すように、C O M シンボルないし S K P シンボルの比較回路 ( C O M ないし S K P の比較回路 ) 3 0 と、フリップフロップ ( F F ) 3 2 と、A N D 回路 3 4 とによって構成されている。

## 【 0 0 3 9 】

S K I P 処理済み分割データ列 L  $i$  \_ D A T A \_ I N が、C O M シンボルないし S K P

50

シンボルの比較回路 30 に入力され、その出力信号  $SMBL_i$  が、AND 回路 34 の一方の入力端子（反転入力端子）と、FF 32 のデータ入力端子に入力される。FF 32 のデータ出力信号が、AND 回路 34 の他方の入力端子に入力され、AND 回路 34 から、個別終了信号  $END1_i$  が出力される。図示していないが、FF 32 は、受信装置 10 のクロック信号（ローカルクロック）に同期して動作する。

【0040】

COM シンボルおよび SKP シンボルは、あらかじめ定められた、それぞれのシンボルであることを表すビットパターンを有しており、有効データとの区別が可能である。そのため、COM, SKP 判別回路 24 は、COM シンボルないし SKP シンボルの比較回路 30 が、COM シンボルおよび SKP シンボルのビットパターンと、SKIP 処理済み分割データ列  $Li\_DATA\_IN$  に含まれるデータのビットパターンとを比較することによって、COM シンボルないし SKP シンボルであるかないかを判別する。

10

【0041】

この結果、図 6 のタイミングチャートに示すように、SKIP 処理済み分割データ列  $Li\_DATA\_IN$  が COM シンボルないし SKP シンボルである期間、COM シンボルないし SKP シンボルの比較回路 30 の比較結果  $SMBL_i$  として H（ハイレベル）が出力される。

【0042】

COM シンボルないし SKP シンボルの比較回路 30 の比較結果  $SMBL_i$  は、FF 32 に入力され、ローカルクロックの立ち上がりで FF 32 に保持される。そして、AND 回路 34 によって、比較結果  $SMBL_i$  の反転信号と FF 32 の出力信号との AND 論理がとられ、比較結果  $SMBL_i$  の立ち下がりが検出される。言い換えると、最後の COM シンボルないし SKP シンボルの終了のタイミングが検出され、AND 回路 34 から、ローカルクロックの 1 周期の期間、個別終了信号  $END1_i$  が出力される。

20

【0043】

続いて、全レーン COM, SKP 判別回路 28 は、4 つの COM, SKP 判別回路  $i$  から入力される個別終了信号  $END1_i$  に応じて、全てのレーン 0 ~ 3 に対応する COM, SKP 判別回路 0 ~ 3 で COM シンボルないし SKP シンボルの終了が検出されたと判定すると、その時点で全体終了信号  $END2$  として H を出力する。全体終了信号  $END2$  は、各々のスキュー調整カウンタ  $i$  に入力される。

30

【0044】

スキュー調整カウンタ  $i$  は、対応する COM, SKP 判別回路  $i$  から個別終了信号  $END1_i$  として H が入力される、すなわち、対応するレーン  $i$  の SKIP 処理済み分割データ列  $Li\_DATA\_IN$  における SKP シンボルの終了を検出した時点から、ローカルクロックに同期してカウントを開始する。そして、全レーン COM, SKP 判別回路 28 から全体終了信号  $END2$  として H が入力されるとカウントを停止する。

【0045】

スキュー調整カウンタ  $i$  は、カウント停止時点でのカウント値  $Li\_FIFO\_ADDR$  を保持する。各々のスキュー調整カウンタ  $i$  から出力されるカウント値  $Li\_FIFO\_ADDR$  は、各々対応する FIFO  $i$  に入力される。

40

【0046】

次に、FIFO 22 について説明する。

【0047】

FIFO  $i$  は、それぞれのレーン  $i$  に対応して設けられ、ローカルクロックに同期して、対応する SKIP 処理済み分割データ列  $Li\_DATA\_IN$  を一時的に記憶する。SKP シンボルの個数は、送信時には 3 であり、弾性バッファ 18 において  $\pm 2$  の範囲で調整される。従って、各々の弾性バッファ 18 から出力されるスキュー調整済み分割データ列  $Li\_DATA\_IN$  は、1 ~ 5 個の範囲の SKP シンボルを含む。

【0048】

この場合、FIFO  $i$  は、図 5 に示すように、5 つのフリップフロップ (FF) 36 a

50

、36b、36c、36d、36eと、マルチプレクサ38とによって構成することができる。

【0049】

5つのFF36a~eは直列に接続され、SKIP処理済み分割データ列Li\_\_DATA\_\_INが、1段目のFF36aに入力される。各々のFF36a~eの出力信号が、マルチプレクサ38のデータ入力端子に入力され、アドレス信号Li\_\_FIFFO\_\_ADDRが、各々対応するスキュー調整回路iからマルチプレクサ38の選択入力端子に入力される。マルチプレクサ38からは、スキュー調整済み分割データ列Li\_\_DATA\_\_OUTが出力される。

【0050】

各々のFF36a~eは、ローカルクロックに同期して動作する。SKIP処理済み分割データ列Li\_\_DATA\_\_INは、ローカルクロックの1クロック毎に、直列に接続された5つのFF36a~eからなるシフトレジスタ内で順次後段のFFにシフトされる。そして、アドレス信号Li\_\_FIFFO\_\_ADDRの状態に応じて、5つのFF36a~eの出力信号のうちの1つが、スキュー調整済み分割データ列Li\_\_DATA\_\_OUTとして、マルチプレクサ38から出力される。

【0051】

スキュー調整回路20は、全てのSKIP処理済み分割データ列Li\_\_DATA\_\_INにおけるSKPシンボルの終了を検出した時点での、それぞれのスキュー調整カウンタiのカウント値Li\_\_FIFFO\_\_ADDRに応じて、FIFFO<sub>i</sub>に一時的に記憶したデータの読み出しのタイミングを調整する。

【0052】

次に、受信装置10全体の動作について、図6に示すタイミングチャートを参照して説明する。

【0053】

図6のタイミングチャートにおいて、PCLKは、受信装置のクロック信号(ローカルクロック)である。なお、同図では、説明を簡単にする目的から、L2\_\_DATA\_\_INおよびその他のレーン2に対応する波形の表示を省略している。

【0054】

送信装置から、各々のレーンiを通じて送信されてくる分割データ列には、1個のCOMシンボル、3個のSKPシンボル、有効データが、この順で連続して含まれているとする。各々のレーンiに対応する分割データ列は、対応するシリアライザ・デシリアライザ16によって、シリアルデータ列からパラレルデータ列に変換され、続く弾性バッファ18によって、SKIP処理が行われる。

【0055】

SKIP処理済み分割データ列Li\_\_DATA\_\_INでは、図6のタイミングチャートに示すように、送信装置においては共通のタイミングで挿入したCOMシンボルが、レーン間で転送時間が異なる場合には、レーン毎に異なった位置にある。さらに、弾性バッファ18でのSKPシンボルの追加もしくは削除により、レーン毎にSKPシンボルの個数が異なっている(同じ場合も含む)。このため、COMシンボルおよびSKPシンボルに続く先頭の有効データdati0の位置が、レーン毎に異なっている。SKIP処理後の分割データ列Li\_\_DATA\_\_INは、FIFFO<sub>i</sub>に一時的に順次格納されると同時に、スキュー調整回路20にも入力される。

【0056】

スキュー調整回路20では、まず、各々のCOM, SKP判別回路iによって、SKIP処理済み分割データ列Li\_\_DATA\_\_INが、COMシンボルないしSKPシンボルであるかないかの判別が行われる。

【0057】

COM, SKP判別回路iによって、SKIP処理済み分割データ列Li\_\_DATA\_\_INがCOMシンボルないしSKPシンボルであると判別されると、各々対応するスキュー

10

20

30

40

50



調整カウンタ  $i$  がクリアされる (0 になる)。一方、SKIP 処理済み分割データ列  $L_i\_DATA\_IN$  が、COM シンボルまたは SKP シンボルではないと判別されると、各々対応するスキュー調整カウンタ  $i$  はクリアが解除され、ローカルクロックに同期してカウントアップを開始する。

【0058】

例えば、レーン 0 では、図 6 に示すタイミングチャートにおいて 2 クロック目で、SKIP 処理済み分割データ列  $L_0\_DATA\_IN$  が COM シンボルであると判別され、続く 3 ~ 5 クロック目で SKP シンボルであると判別される。従って、レーン 0 の COM シンボルないし SKP シンボルの比較回路 30 の比較結果  $SMBL_0$  は 2 ~ 5 クロックの期間で H となる。その後、6 クロック目で、SKP シンボルの終了が検出され、COM, S  
10  
SKP 判別回路 24 の出力信号  $END_{10}$  は H となる。そして、次の 7 クロック目から、スキュー調整カウンタ 26 のカウント値  $L_0\_FIFO\_ADDR$  はカウントアップする。

【0059】

レーン 1 ~ 3 についても、レーン 0 の場合と同様である。

【0060】

そして、全てのレーンに対応する COM, SKP 判別回路 24 において、SKIP 処理済み分割データ列  $L_i\_DATA\_IN$  が COM シンボルないし SKP シンボルであると判別された後、COM シンボルないし SKP シンボルの終了が検出されると、 $END_2$  (図 6 中、省略) が H となる。この時点で全てのスキュー調整カウンタ 26 のカウントアップが停止され (図 6 中、点線で示す 9 クロック目)、その時点におけるカウント値  $L_i\_FIFO\_ADDR$  が保持される。  
20

【0061】

各々のスキュー調整カウンタ  $i$  に保持されたカウント値  $L_i\_FIFO\_ADDR$  は、対応する  $FIFO_i$  に入力される。各々の  $FIFO_i$  では、SKIP 処理済み分割データ列  $L_i\_DATA\_IN$  が、ローカルクロックに同期して順次後段の FF にシフトされる。そして、対応するスキュー調整カウンタ  $i$  から入力されたカウント値  $L_i\_FIFO\_ADDR$  に応じて、 $FIFO_i$  を構成する 5 個の  $FF_{36a \sim e}$  の出力信号のうち、どの FF の出力信号が、 $FIFO_i$  の出力信号  $L_i\_DATA\_OUT$  として出力されるかが決定される。  
30

【0062】

その結果、図 6 のタイミングチャートに点線で示すように、9 クロック目以降の  $FIFO_i$  の出力信号  $L_i\_DATA\_OUT$  は、各々のレーン間でスキューが揃うように調整される。すなわち、全てのレーン 0 ~ 3 に対応する出力信号  $L_0\_DATA\_OUT \sim L_3\_DATA\_OUT$  の有効データの位置が一致している。図示しないレーン 2 の SKIP 処理済み分割データ列  $L_2\_DATA\_IN$  については、最も早く COM シンボルとなるレーン 0 の SKIP 処理済み分割データ列  $L_0\_DATA\_IN$  が COM シンボルになると同時、もしくは、それよりも後に COM シンボルとなり、最も遅く SKP シンボルが終了するレーン 3 の SKIP 処理済み分割データ列  $L_3\_DATA\_IN$  の SKP シンボルが終了すると同時、もしくは、それより前に、SKP シンボルが終了するものとする。この場合には、全てのレーン 0 ~ 3 の出力信号  $L_0\_DATA\_OUT \sim L_3\_DATA\_OUT$  の有効データの位置が一致する。  
40

【0063】

以上のように、受信装置 10 では、SKIP 処理によって、SKP シンボルの個数が各々のレーンに対応する SKIP 処理済み分割データ列毎に異なる場合であっても、SKIP 処理における SKP シンボルの加減の情報を使用することなく、簡単な回路構成で、かつ、簡単な処理によって、SKIP 処理済み分割データ列における SKP シンボルの終了を検出し、その検出タイミングに基づいて SKIP 処理済み分割データ列の間のスキューを調整することができる。

【0064】

なお、上記実施形態において、COM シンボルないし SKI P シンボルの比較回路、お  
50

よび、F I F Oの具体例を挙げて説明したが、これらの回路は、同様の機能を果たすことができる各種構成の回路が利用可能である。例えば、上記実施形態においては、各々のレーンにスキュー調整カウンタ26を設け、対応するレーンでのCOMシンボルもしくはS K Pシンボルの終了を検出した時点からローカルクロックに同期してカウントを行い、全レーンにおいてCOMシンボルもしくはS K Pシンボルの終了を検出した時点のカウント値L i \_ F I F O \_ A D D Rを保持するようにした。これに対して、全レーンに対して共通のカウンタを設け、いずれかのレーンにおいて最初にCOMシンボルもしくはS K Pシンボルの終了を検出した時点からローカルクロックに同期してカウントを行うことも可能である。この場合、各々のレーンに対応させて、各々のレーンにおけるCOMシンボルもしくはS K Pシンボルの終了を検出した時点での共通のカウンタのカウント値を保持するレジスタを設ける。そして、各々のレジスタに保持されたカウント値を利用して、各々のレーンのF I F O iの出力信号の選択を行うことが可能である。

10

**【0065】**

また、全レーンCOM, S K P判定回路、およびスキュー調整カウンタの具体的な回路構成は例示していないが、これらの回路も同様の機能を果たすことができる各種構成の回路が利用可能である。全レーンCOM, S K P判定回路については、例えば、各々のレーンに対応させて、各々のレーンのE N D 1 i信号がHレベルになった時にその値を保持するラッチと、これらのラッチに保持された値の論理積を演算するA N Dゲートとで構成することが可能である。スキュー調整カウンタについては、それぞれのレーンに対応するS M B L i信号でクリアされ、ローカルクロックに同期してカウントアップするカウンタが利用できる。

20

**【0066】**

また、4レーンの場合を例示して説明したが、本発明は、2レーン以上を使用する場合に適用可能である。レーン数に上限はない。また、F I F OをF Fで構成する場合、そのF Fの段数は、弾性バッファによって、シンボルの個数が変化する範囲に応じて決定すれば良い。上記実施形態では、S K Pシンボルの個数が1~5個の範囲で変化する可能性があるため、F Fの段数を5段としている。F Fの段数は必要数以上の段数が設けられていれば良い。

**【0067】**

また、分割データ列は、送信装置から受信装置に送信すべきデータ列を分割して生成されるものである。例えば、4つのレーンを使用して32ビットのデータ列を送信する場合、これを4つの8ビットの分割データ列に分割して、各々のレーンを通じて送信する。

30

**【0068】**

各々のレーンに対応する分割データ列は、第1の期間(データを転送している期間)において、第1のシンボルを共通のタイミングで所定の個数(1以上)だけ連続して挿入した後に、それぞれに対応するレーンを通じて送信される。P C I E x p r e s sの場合には、COMシンボルを共通のタイミングで挿入し、続いて、第1のシンボルとしてS K Pシンボルを共通のタイミングで所定の個数だけ連続して挿入して、送信する。

**【0069】**

ここで、特許文献1の図1には、1つのパケットを構成するデータが分割されてレーン毎の分割データ列が生成された様子が示されている。図示された例では、パケットに含まれるデータは、その全てが有効データである。しかし、実際には、パケットを構成するデータの送信が終了すると、その後、無効データを送信することができる期間が存在する。P C I E x p r e s sでは、この期間に、COMシンボルと所定個数のS K Pシンボルの連続とからなる、S K I Pオーダードセットが挿入される。

40

**【0070】**

P C I E x p r e s sの場合、上記のように、第1の期間においては、定期的にS K I Pオーダードセットが挿入される。これに対して、トレーニングシーケンス(データ転送を行う前に、転送系のコンフィグレーションを行うシーケンス)においては、COMシンボルのみが挿入されて、T Sオーダードセット(COMシンボル+トレーニングシーケ

50

ンス用のデータ)が送信される。

【0071】

第1の期間において、SKPシンボルがCOMシンボルに続いて挿入され、第1の期間と異なる第2の期間(トレーニングシーケンス中の、TSオーダードセットが送信される期間)において、分割データ列は、COMシンボルのみが共通のタイミングで挿入されて送信される。なお、トレーニングシーケンスにおいても、弾性バッファのオーバーフローやアンダーフローの発生を防止する目的から、データ転送時と同様に、SKIPオーダードセットが定期的に挿入される。

【0072】

上記実施形態において、COM, SKP判別回路24は、COMシンボルとSKPシンボルとを区別することなく判別する。このため、分割データ列にCOMシンボル(第2のシンボル)が単独で挿入されて送信される場合(例えば、上記TSオーダードセットが送信される場合)であっても、SKPシンボル(第1のシンボル)が単独で挿入されて送信される場合であっても、もしくは、両者が任意の順番で組み合わせられて挿入されて送信された場合(例えば、上記SKIPオーダードセットが挿入されて送信される場合)であっても、COMシンボルもしくはSKPシンボルの終了を検出することができる。従って、このCOM, SKP判別回路24を備えたスキュー調整回路20は、上記いずれの場合であっても、同一の処理で、分割データ列間のスキュー調整を行うことができる。

【0073】

また、シリアルデータ列として受信した分割データ列をパラレルデータ列に変換することなく、シリアルデータ列のままの状態ですべての処理を行うことも可能である。

【0074】

また、実施形態では、PCI Expressを採用する受信装置10を例示して説明した。しかし、本発明は、PCI Expressに限らず、送信すべきデータ列を複数に分割した分割データ列のそれぞれに、SKPシンボルに相当する1以上のシンボルを挿入してから、対応するレーンを通じて送信されるシリアルデータ列を受信する受信装置であって、受信した分割データ列のそれぞれへのシンボルの加減が行われる場合に好適に適用可能である。

【0075】

また、PCI Expressの場合、SKIPオーダードセットとして、1個のCOMシンボルに続き3個のSKPシンボルが挿入されて送信される。しかし、本発明は、少なくともSKPシンボルに相当する複数のシンボルが連続して挿入されて送信される場合に適用可能である。

【0076】

本発明は、基本的に以上のようなものである。

以上、本発明の受信装置について詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【図面の簡単な説明】

【0077】

【図1】本発明の受信装置の構成を表す一実施形態のブロック図である。

【図2】図1に示すレーンデスキュー処理回路の構成を表すブロック図である。

【図3】図2に示すスキュー調整回路の構成を表すブロック図である。

【図4】図3に示すCOM, SKP判別回路の構成を表す概略図である。

【図5】図2に示すFIFOの構成を表す回路図である。

【図6】図2に示す受信装置の動作を表すタイミングチャートである。

【符号の説明】

【0078】

10 受信装置

10

20

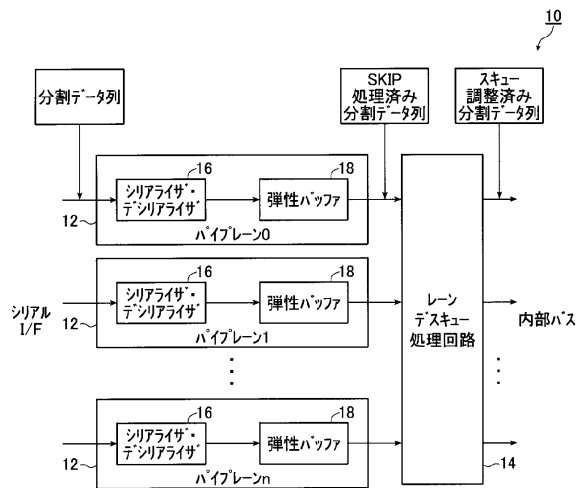
30

40

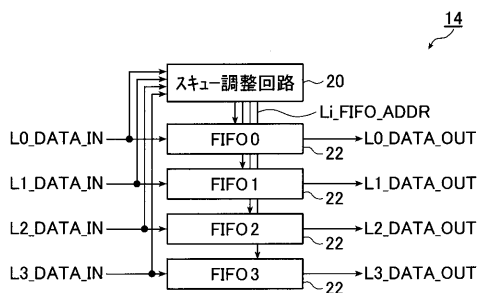
50

- 1 2 パイプライン
- 1 4 レーンデスキュー処理回路
- 1 6 シリアライザ・デシリアライザ
- 1 8 弾性バッファ
- 2 0 スキュー調整回路
- 2 2 F I F O
- 2 4 C O M , S K P 判別回路
- 2 6 スキュー調整カウンタ
- 2 8 全レーン C O M , S K P 判定回路
- 3 0 C O M シンボルないし S K P シンボルの比較回路
- 3 2、3 6 a、3 6 b、3 6 c、3 6 d、3 6 e フリップフロップ
- 3 4 A N D 回路
- 3 8 マルチプレクサ

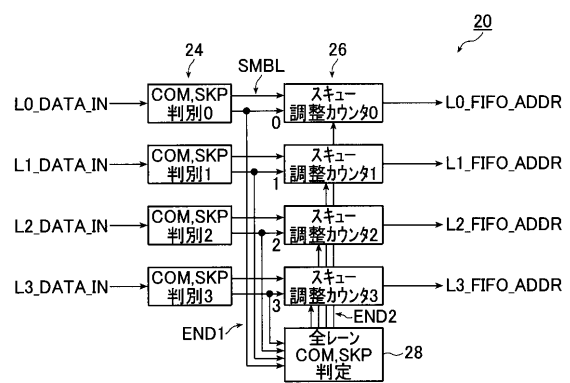
【 図 1 】



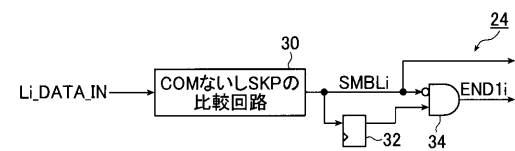
【 図 2 】



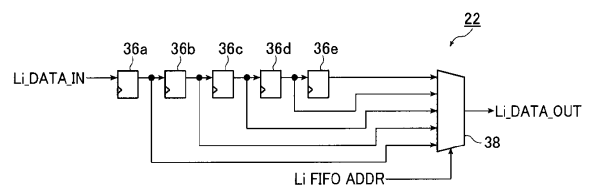
【 図 3 】



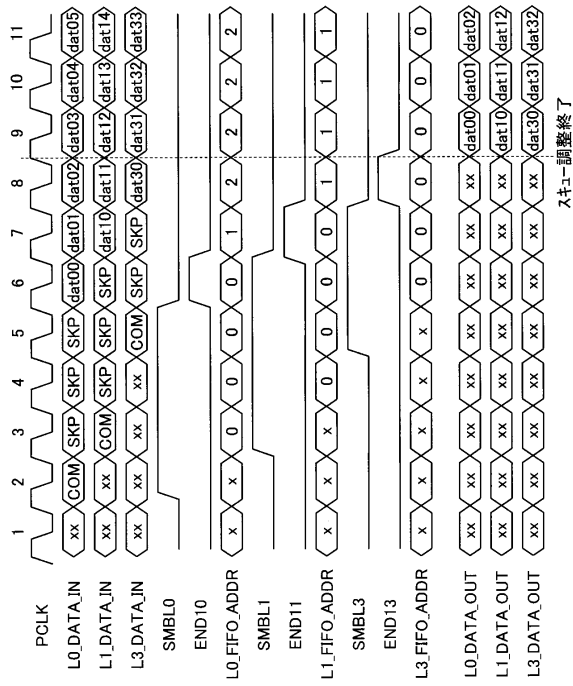
【 図 4 】



【 図 5 】



【 6 】



入替調整終了

---

フロントページの続き

- (56)参考文献 特開2006-202281(JP,A)  
特開2006-060507(JP,A)  
特開平04-178047(JP,A)  
特開2006-050102(JP,A)  
特開平06-164564(JP,A)  
特表2002-533019(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 7/00 - 7/10