(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년12월03일
(11) 등록번호 10-0929628
(24) 등록일자 2009년11월25일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2006-0113469
(22) 출원일자 2006년11월16일
심사청구일자 2008년02월04일
(65) 공개번호 10-2008-0044521
(43) 공개일자 2008년05월21일
(56) 선행기술조사문헌
KR1020060075423 A
KR100686630 B1
JP2003110033 A
전체 청구항 수 : 총 5 항

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
장헌용
경기 수원시 영통구 영통동 1046-1 청명마을 삼성아파트 434-1703
(74) 대리인
강성배

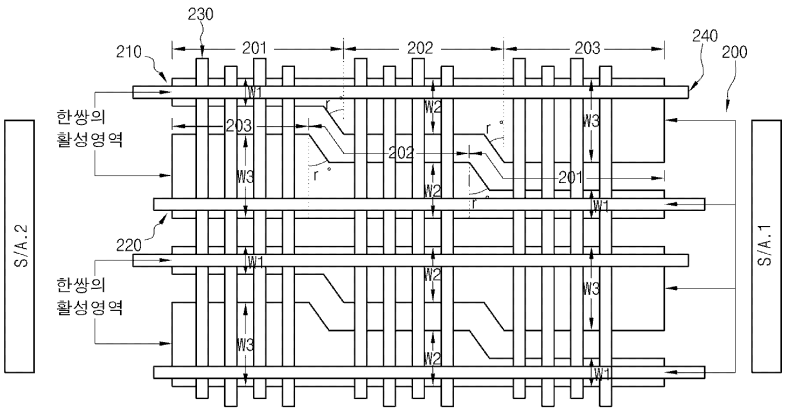
심사관 : 이우리

(54) 상변환 기억 소자

(57) 요 약

본 발명은 일방향으로 연장하고 타방향으로 배열된 다수의 활성영역을 갖는 반도체기판과, 상기 활성영역들 상에 타방향으로 연장하도록 형성된 다수의 워드라인과 상기 워드라인 양측의 활성영역 내에 형성된 소오스/드레인영역과, 상기 각 소오스영역과 콘택하도록 형성되며, 하부전극과 상변환막 및 상부전극을 포함하는 다수의 상변환 셀과, 상기 워드라인과 수직하는 일방향으로 연장하게 배열되며, 상변환 셀들의 상부전극들과 콘택하도록 형성된 다수의 비트라인 및 상기 비트라인들에 연결된 센스앰프를 포함하며, 상기 센스앰프는, 활성영역의 일측 및 타측 각각에 인접하여 설치된 제1센스앰프와 제2센스앰프를 포함하고, 상기 비트라인은, 상기 제1센스앰프와 연결된 제1비트라인과 상기 제2센스앰프와 연결된 제2비트라인은 교번적으로 배열되며, 상기 활성영역은, 상기 제1센스앰프의 인접 지역으로부터 멀어지는 방향으로 제1폭을 갖는 제1지역과 상기 제1폭 보다 큰 제2폭을 갖는 제2지역 및 상기 제2폭 보다 큰 제3폭을 갖는 제3지역이 차례로 배열된 제1활성영역과, 상기 제2센스앰프의 인접 지역으로부터 멀어지는 방향으로 제1폭을 갖는 제1지역과 상기 제1폭 보다 큰 제2폭을 갖는 제2지역 및 상기 제2폭 보다 큰 제3폭을 갖는 제3지역이 차례로 배열된 제2활성영역을 포함한다.

대 표 도



특허청구의 범위

청구항 1

일방향으로 연장하고 타방향으로 배열된 다수의 활성영역을 갖는 반도체기판;

상기 활성영역들 상에 타방향으로 연장하도록 형성된 다수의 워드라인과 상기 워드라인 양측의 활성영역 내에 형성된 소오스/드레인영역;

상기 각 소오스영역과 콘택하도록 형성되며, 하부전극과 상변환막 및 상부전극을 포함하는 다수의 상변환 셀;

상기 워드라인과 수직하는 일방향으로 연장하게 배열되며, 상변환 셀들의 상부전극들과 콘택하도록 형성된 다수의 비트라인; 및

상기 비트라인들에 연결된 센스앰프;를 포함하며,

상기 센스앰프는, 활성영역의 일측 및 타측 각각에 인접하여 설치된 제1센스앰프와 제2센스앰프를 포함하고,

상기 비트라인은, 상기 제1센스앰프와 연결된 제1비트라인과 상기 제2센스앰프와 연결된 제2비트라인은 교번적으로 배열되며,

상기 활성영역은, 상기 제1센스앰프의 인접 지역으로부터 멀어지는 방향으로 제1폭을 갖는 제1지역과 상기 제1폭 보다 큰 제2폭을 갖는 제2지역 및 상기 제2폭 보다 큰 제3폭을 갖는 제3지역이 차례로 배열된 제1활성영역과, 상기 제2센스앰프의 인접 지역으로부터 멀어지는 방향으로 제1폭을 갖는 제1지역과 상기 제1폭 보다 큰 제2폭을 갖는 제2지역 및 상기 제2폭 보다 큰 제3폭을 갖는 제3지역이 차례로 배열된 제2활성영역을 포함하는 것을 특징으로 하는 상변환 기억 소자.

청구항 2

제 1 항에 있어서,

상기 제1지역과 제2지역의 경계지역 및 상기 제2지역과 제3지역의 경계지역이 예각을 가지면서 차례로 배열된 것을 특징으로 하는 상변환 기억 소자.

청구항 3

제 1 항에 있어서,

상기 제1지역과 제2지역의 경계지역 및 상기 제2지역과 제3지역의 경계지역이 직각을 가지면서 차례로 배열된 것을 특징으로 하는 상변환 기억 소자.

청구항 4

제 1 항에 있어서,

상기 제1활성영역 및 제2활성영역은 상기 제3지역의 제3폭 보다 큰 폭을 갖는 다수의 지역이 차례로 배열된 것을 특징으로 하는 상변환 기억 소자.

청구항 5

제 1 항에 있어서,

상기 제1지역과 제2지역 및 제3지역은 각각 서로 분리되어 차례로 배열된 것을 특징으로 하는 상변환 기억 소자.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 본 발명은 상변환 기억 소자에 관한 것으로, 보다 상세하게는, 복수 개의 셀을 갖는 메모리 어레이에서 동일한 리세트(RESET) 전류와 동일한 세트(SET) 전류로 프로그래밍(programing) 되도록 하는 상변환 기억 소자에 관한 것이다.

<11> 일반적으로 기억 소자는 전원이 차단되면 입력된 정보를 잃어버리는 휘발성의 램(Random Access Memory: RAM) 소자와, 전원이 차단되더라도 입력된 정보의 저장 상태를 계속해서 유지하는 비휘발성의 롬(Read Only Memory: ROM) 소자로 크게 구분된다.

<12> 상기 휘발성의 램 소자로는 디램(DRAM) 및 에스램(SRAM)을 들 수 있으며, 상기 비휘발성의 롬 소자로는 EEPROM(Elecrtically Erasable and Programmable ROM)과 같은 플래쉬 메모리(Flash Memory)를 들 수 있다.

<13> 그런데, 상기 디램(DRAM)은 잘 알려진 바와 같이 매우 우수한 기억 소자임에도 불구하고 높은 전하저장 능력이 요구되고, 이를 위해, 전극 표면적을 증가시켜야만 하므로 고집적화에 어려움이 있다. 또한, 상기 플래쉬 메모리(Flash Memory)는 두 개의 게이트가 적층된 구조를 갖는 것과 관련해서 전원전압에 비해 높은 동작전압이 요구되고, 이에 따라, 쓰기 및 소거 동작에 필요한 전압을 형성하기 위해 별도의 승압 회로를 필요로 하므로 고집적화에 어려움이 있다.

<14> 이에, 상기 비휘발성 기억 소자의 특성을 가지면서 고집적화를 이룰 수 있고, 또한, 구조가 단순한 새로운 기억 소자를 개발하기 위한 많은 연구들이 진행되고 있으며, 그 한 예로서 최근들어 상변환 기억 소자(Phase Change memory device: PRAM)가 제안되었다.

<15> 이러한 상변환 기억 소자는 하부전극과 상부전극 사이의 전류 흐름에 의해 상기 전극들 사이에 개재된 상변환막이 수 kΩ의 낮은 저항을 갖는 결정질 상태(crystalline state)와 수 MΩ의 높은 저항을 갖는 비정질 상태(amorphouse state)의 두 가지 상태로 상변화가 일어나는 것으로부터 상기 결정질 상태와 비정질 상태간 저항 차이를 이용해 셀에 저장된 정보를 판별하게 된다.

<16> 다시말해, 상변환 기억 소자는 상변환막으로서 칼코제나이드(Chalcogenide)막을 이용하는데, 이러한 칼코제나이드막은 게르마늄(Ge), 스티비움(Sb) 및 텔루리움(Te)로 이루어진 화합물막으로서, 인가된 전류, 즉, 주울 열(Joule Heat)에 의해 저항이 낮은 결정질 상태, 즉, 세트(SET) 상태와 저항이 높은 비정질 상태, 즉, 리세트(RESET) 사이에서 가역적인 상변화가 일어나는 것으로부터, 쓰기 및 읽기 모드에서 상변환막을 통하여 흐르는 전류를 감지해서 상변환 기억 셀에 저장된 정보가 세트 상태의 데이터 '0'인지, 또는, 리세트 상태의 데이터 '1'인지를 판별하게 된다.

<17> 한편, 복수 개의 상 변환 메모리 셀들을 구비하는 메모리 어레이에 있어서, 메모리 어레이 내부의 메모리 셀들의 배치에 따라 각각의 메모리 셀의 기생저항(parasitic loading)이 서로 다를 수 있다. 이러한 기생 저항은 메모리 어레이의 면적이 커짐에 따라 메모리 셀들의 리세스 전류 차이를 발생시키는데, 이러한 리세스 전류 차이는 세트 전류의 차이도 발생시키게 된다.

<18> 이와 같은, 상기 세트 전류의 차이는 하나의 세트 전류로 모든 메모리 셀들을 세트 상태로 만들 수 없게 된다.

<19> 다시말하면, 일부 메모리 셀들은 세트 전류에 의해 세트 상태가 되지만, 일부 메모리 셀들은 리세트상태가 되기도 하고, 세트 상태가 된 일부 셀들 중에서도 세트 저항 값이 다르게 나타나기도 한다

<20> 도 1은 상변화 메모리 셀들로 인가되는 전류 변화에 따른 상변화 셀들의 저항 변화를 나타낸 그래프로서, 각각의 메모리 셀들은 서로 다른 리세트와 세트 전류 곡선을 갖게 되는데, 제1셀은 높은 세트 전류를 갖는 셀이며, 제2셀은 중간 세트 전류를 갖는 셀이며, 제3셀은 낮은 세트 전류를 갖는 셀이다.

<21> 한편, 각각의 셀에 V와 같은 전압 레벨에 대응되는 전류를 인가하게 되면, 제1셀은 세트 저항 상태가 되지만, 제2셀과 제3셀은 리세트 저항 상태가 되며, 상기 제2셀과 제3셀의 리세트 저항 값도 서로 다르다.

<22> 전술한 바와 같이, 복수 개의 메모리 어레이에서는 상변화 셀들을 세트 상태로 만드는 세트 전류의 전류 량이 메모리 셀에 다르게 나타나거나, 하나의 세트 전류로 모든 메모리 셀들을 세트 상태로 만들 수 없게 되는 현상이 발생된다.

<23> 이러한, 메모리 셀들 간에 세트 전류량의 차이는 센스앰프(sense amplifier)에서 가장 가까이 있는 셀(이하, 제1셀)과 센스 증폭기에서 가장 멀리 떨어져 있는 셀(이하, 제n셀)간에 주로 나타나게 되며, 상기 제1셀의 경우에

는 상기 제n셀에 비해 과도한 프로그래밍(over programming)이 될 수 있고, 상기 제n셀에서는 프로그래밍(programming)이 되지 않는 경우도 발생된다.

발명이 이루고자 하는 기술적 과제

<24> 본 발명은 복수 개의 셀을 갖는 메모리 어레이에서 동일한 리세스 전류와 동일한 세트 전류로 모든 셀에 동일하게 프로그래밍되도록 하는 상변환 기억 소자를 제공함에 그 목적이 있다.

발명의 구성 및 작용

<25> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 일방향으로 연장하고 타방향으로 배열된 다수의 활성영역을 갖는 반도체기판; 상기 활성영역들 상에 타방향으로 연장하도록 형성된 다수의 워드라인과 상기 워드라인 양측의 활성영역 내에 형성된 소오스/드레인영역; 상기 각 소오스영역과 콘택하도록 형성되며, 하부전극과 상변환막 및 상부전극을 포함하는 다수의 상변환 셀; 상기 워드라인과 수직하는 일방향으로 연장하게 배열되며, 상변환 셀들의 상부전극들과 콘택하도록 형성된 다수의 비트라인; 및 상기 비트라인들에 연결된 센스앰프;를 포함하며,

<26> 상기 센스앰프는, 활성영역의 일측 및 타측 각각에 인접하여 설치된 제1센스앰프와 제2센스앰프를 포함하고, 상기 비트라인은, 상기 제1센스앰프와 연결된 제1비트라인과 상기 제2센스앰프와 연결된 제2비트라인은 교번적으로 배열되며, 상기 활성영역은, 상기 제1센스앰프의 인접 지역으로부터 멀어지는 방향으로 제1폭을 갖는 제1지역과 상기 제1폭 보다 큰 제2폭을 갖는 제2지역 및 상기 제2폭 보다 큰 제3폭을 갖는 제3지역이 차례로 배열된 제1활성영역과, 상기 제2센스앰프의 인접 지역으로부터 멀어지는 방향으로 제1폭을 갖는 제1지역과 상기 제1폭 보다 큰 제2폭을 갖는 제2지역 및 상기 제2폭 보다 큰 제3폭을 갖는 제3지역이 차례로 배열된 제2활성영역을 포함하는 상변환 기억 소자를 제공한다.

<27> 여기서, 상기 제1지역과 제2지역의 경계지역 및 상기 제2지역과 제3지역의 경계지역이 예각을 가지면서 차례로 배열된 것을 포함한다.

<28> 상기 제1지역과 제2지역의 경계지역 및 상기 제2지역과 제3지역의 경계지역이 직각을 가지면서 차례로 배열된 것을 포함한다.

<29> 상기 제1활성영역 및 제2활성영역은 상기 제3지역의 제3폭 보다 큰 폭을 갖는 다수의 지역이 차례로 배열된 것을 포함한다.

<30> 상기 제1지역과 제2지역 및 제3지역은 서로 분리되어 차례로 배열된 것을 포함한다.

<31> (실시예)

<32> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<33> 먼저, 본 발명의 기술적 원리를 간략하게 설명하면, 본 발명은 트랜지스터의 전류량을 결정짓는 길이(length)와 폭(width)에서 상기 트랜지스터의 폭을 달리 형성하여 모든 셀에 동일한 세트(SET) 전류 및 리세트(RESET) 전류가 프로그래밍(programming)되도록 하기 위한 것으로, 센스앰프에 가까이 있는 near 셀(제1지역)은 트랜지스터의 폭을 작게 하고, 센스앰프로부터 중간 지역에 있는 medium 셀(제2지역)은 트랜지스터의 폭을 중간 크기로 하고, 센스앰프로부터 멀리 떨어져 있는 far 셀(제3지역)은 트랜지스터의 폭을 크게 갖도록 한다.

<34> 그러므로, 본 발명은 하나의 세트 전류 또는 리세스 전류에 의해서 상변화 물질에 인가되는 전류량이 모두 동일해짐으로써, 상기 센스앰프로부터 멀리 있는 far 셀이 갖게 되는 기생 저항에 대한 보상 효과가 있게 되면서 동일한 세트 저항과 동일한 리세트 저항의 효과를 가질 수 있다.

<35> 자세하게, 도 2a 내지 도 2c는 본 발명의 실시예에 따른 상변환 기억 소자를 설명하기 위한 평면도로서, 이를 설명하면 다음과 같다.

<36> 도 2a를 참조하면, 일방향으로 연장하고 타방향으로 배열된 다수의 활성영역(200)을 갖는 반도체기판이 형성된다.

<37> 여기서, 상기 다수의 활성영역(200)은 제1폭(W1)을 갖는 제1지역(201)과 상기 제1폭(W1) 보다 큰 제2폭(W2)을 갖는 제2지역(202) 및 상기 제2폭(W2) 보다 큰 제3폭(W3)을 갖는 제3지역(203)이 차례로 배열된 제1활성영역(210)과 상기 제1활성영역과 반대 형상을 가지면서 제1지역(201)과 제2지(202)역 및 제3지역(203)이 차례로 배열된 제2활성영역(220)을 포함하고, 상기 제1활성영역(210)과 제2활성영역(220)은 각각은 비대향면이 일측선 형

상이고, 마주보는 제1활성영역(210)과 제2활성영역(220)의 한 쌍이 다수 배열되어 있다.

<38> 여기서, 상기 제1활성영역(210) 및 제2활성영역(220)은 상기 제1지역(201)과 제2지역(202)의 경계지역 및 상기 제2지역(202)과 제3지역(203)의 경계지역이 예각(r°)을 가지면서 차례로 배열되게 형성된다.

<39> 그리고, 상기 활성영역(200)의 일측 및 타측 각각에 인접하여 제1센스앰프(S/A.1)와 제2센스앰프(S/A.2)가 설치되어 있다.

<40> 여기서, 상기 제1센스앰프(S/A.1)는 상기 제1활성영역(210)에 인접하여 설치되어 있고, 상기 제2센스앰프(S/A.2)는 상기 제2활성영역(220)에 인접하여 설치되어 있다.

<41> 그러므로, 상기 제1활성영역(210)은 상기 제1센스앰프(S/A.1)의 인접 지역으로부터 멀어지는 제1지역(201)과 제2지역(202) 및 제3지역(203)이 차례로 배열된 구조를 갖으며, 상기 제2활성영역(220)은 상기 제2센스앰프(S/A.2)의 인접 지역으로부터 멀어지는 제1지역(201)과 제2지역(202) 및 제3지역(203)이 차례로 배열된 구조를 갖도록 형성되어 진다.

<42> 한편, 도시하지는 않았으나, 상기 제1활성영역(210) 및 제2활성영역(220)은 상기 제3지역(203)의 제3폭(W3) 보다 큰 폭을 갖는 다수의 지역이 차례로 배열된 구조를 가질 수 있다.

<43> 여기서, 본 발명은 센스앰프로부터 가까이 있는, 즉, 센스앰프의 인접 지역으로부터 멀어지는 제1지역(near 셀, 201)과 제2지역(medium 셀, 202) 및 제3지역(far 셀, 203)의 폭(width)이 다르게 형성됨으로써, 즉, 트랜지스터의 전류량을 결정짓는 트랜지스터의 폭을 서로 달리함으로써, 모든 셀에 동일한 세트 전류 및 리세스 전류가 프로그래밍(programming)되도록 할 수 있다.

<44> 다시말하면, 상기 제1센스앰프(S/A.1)에 인접한 제1활성영역(210)은, 상기 제1센스앰프(S/A.1)에 인접 지역으로부터 멀어지는 제1폭(W1)을 갖는 제1지역(201)과 제1폭(W1) 보다 큰 제2폭(W2)을 갖는 제2지역(202) 및 제2폭(W2) 보다 큰 제3폭(W3)을 갖는 제3지역(203)이 차례로 배열된 구조로 형성되고, 상기 제2센스앰프(S/A.2)에 인접한 제2활성영역(220)은, 상기 제1활성영역(210)과 반대 형상을 가지면서 제2센스앰프(S/A.2)에 인접 지역으로부터 멀어지는 제1지역(201)과 제2지역(202) 및 제3지역(203)이 차례로 배열된 구조로 형성됨으로써, 하나의 세트 전류 또는 리세스 전류에 의해서 후속의 상변화 물질에 인가되는 전류량이 모두 동일해짐으로써, 상기 제1센스앰프(S/A.1) 및 제2센스앰프(S/A.2)로부터 가장 멀리 있는 제3지역(far 셀, 203)이 갖게 되는 기생 저항에 대한 보상 효과가 있으므로 센싱 마진을 높일 수 있게 된다.

<45> 도 2b를 참조하면, 상기 활성영역들 상에 타방향으로 연장하도록 다수의 워드라인(230)이 형성되며, 상기 워드라인(230) 양측의 활성영역 내에 소오스/드레인영역(미도시)이 형성되어 트랜지스터가 구성된다.

<46> 그런다음, 자세하게 도시하지는 않았으나, 상기 각 소오스영역과 콘택하도록 하부전극과 상변환막 및 상부전극을 포함하는 다수의 상변환 셀이 형성된다.

<47> 도 2c를 참조하면, 상기 워드라인(230)과 수직하는 일방향으로 연장하게 배열되게 상기 상변환 셀들의 상부전극들과 콘택하도록 다수의 비트라인(240)이 형성된다.

<48> 한편, 본 발명의 실시예에서는, 상기 활성영역은 상기 제1지역(201)과 제2지역(202)의 경계지역 및 상기 제2지역(202)과 제3지역(203)의 경계지역이 예각(r°)을 가지면서 차례로 배열되어 형성되지만, 본 발명의 다른 실시예로서, 도 3에 도시된 바와 같이, 상기 활성영역은 상기 제1지역(301)과 제2지역(302)의 경계지역 및 상기 제2지역(302)과 제3지역(303)의 경계지역이 직각((s°)을 가지면서 차례로 배열되게 형성될 수 있다.

<49> 도 3에서 미설명된 도면 부호 310은 제1활성영역을, 320은 제2활성영역을 각각 나타낸다.

<50> 그리고, 본 발명의 실시예에서는, 상기 제1지역(201)과 제2지역(202) 및 제3지역(203)은 서로 분리되지 않고 차례로 배열되어 형성되지만, 본 발명의 또 다른 실시예로서, 도 4에 도시된 바와 같이, 상기 활성영역의 제1지역(401)과 제2지역(402) 및 제3지역(403)은 각각 서로 분리되어 차례로 배열되게 형성되는 것도 가능하다.

<51> 도 4에서 미설명된 도면 부호 410은 제1활성영역을, 420은 제2활성영역을 각각 나타낸다.

<52> 이상, 여기에서는 본 발명을 몇 가지 예를 들어 설명하였으나, 본 발명은 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 사상에서 벗어나지 않으면서 많은 수정과 변형을 가할 수 있음을 이해할 것이다.

발명의 효과

<53> 이상에서와 같이, 본 발명의 상변환 기억 소자는, 트랜지스터의 전류량을 결정짓는 길이(length)와 폭(width)에서 상기 트랜지스터의 폭(width)을 달리 형성하여, 즉, 센스앰프(sense amplifier)에 가까이 있는 near 셀은 트랜지스터의 폭을 작게 하고, 센스앰프로부터 중간 지역에 있는 medium 셀은 트랜지스터의 폭을 중간 크기로 하고, 센스앰프로부터 멀리 떨어져 있는 far 셀은 트랜지스터의 폭을 크게 갖는 구조로 형성됨으로써, 모든 셀에 동일한 세트(SET) 전류 및 리세트(RESET) 전류가 프로그래밍(programming)되도록 할 수 있다.

<54> 따라서, 본 발명은 상기 센스앰프로부터 멀리 있는 far 셀이 갖게 되는 기생 저항에 대한 보상 효과가 있게 되면서 동일한 세트 저항과 동일한 리세트 저항의 효과를 가질 수 있다.

도면의 간단한 설명

<1> 도 1은 종래 상변환 기억 소자에서의 상변화 메모리 셀들로 인가되는 전류 변화에 따른 상변화 셀들의 저항 변화를 나타낸 그래프.

<2> 도 2a 내지 도 2c는 본 발명의 실시예에 따른 상변환 기억 소자를 설명하기 위한 평면도.

<3> 도 3은 본 발명의 다른 실시예에 따른 상변환 기억 소자를 설명하기 위한 평면도.

<4> 도 4는 본 발명의 또 다른 실시예에 따른 상변환 기억 소자를 설명하기 위한 평면도.

<5> * 도면의 주요 부분에 대한 부호의 설명 *

<6> 200,300,400: 활성영역 201,301,401: 제1지역

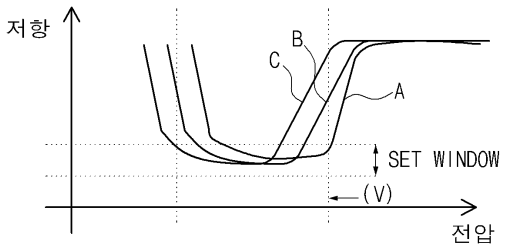
<7> 202,302,402: 제2지역 203,303,403: 제3지역

<8> 210,310,410: 제1활성영역 220,320,420: 제2활성영역

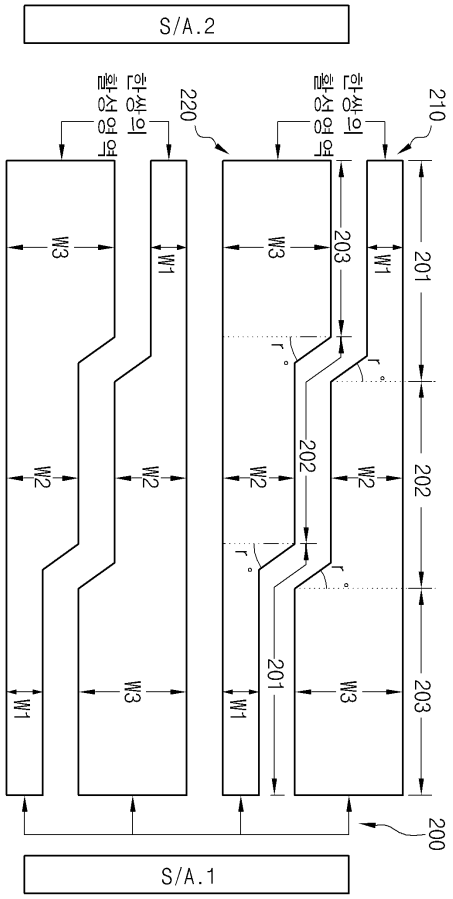
<9> 230: 워드라인 240: 비트라인

도면

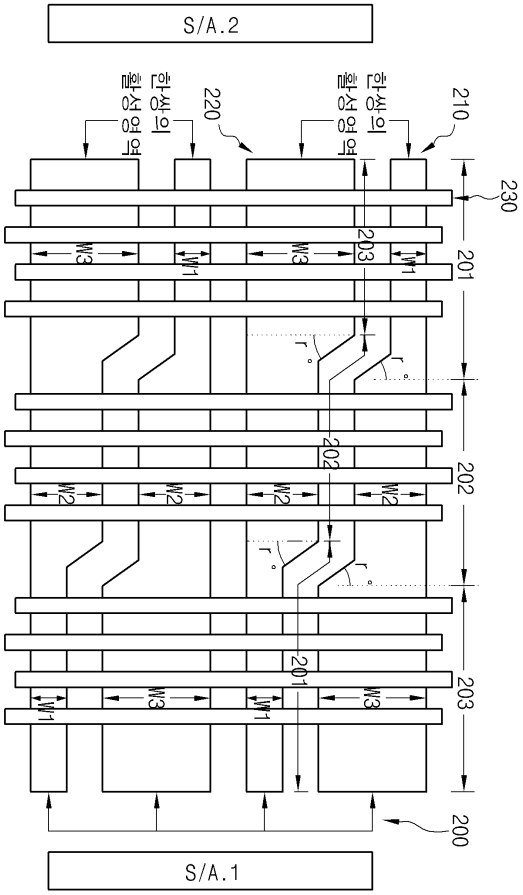
도면1



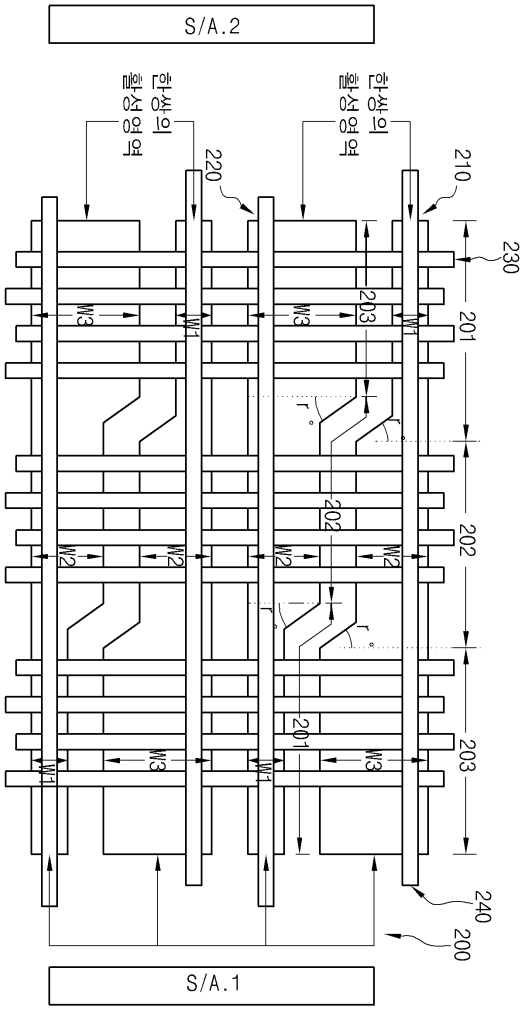
도면2a



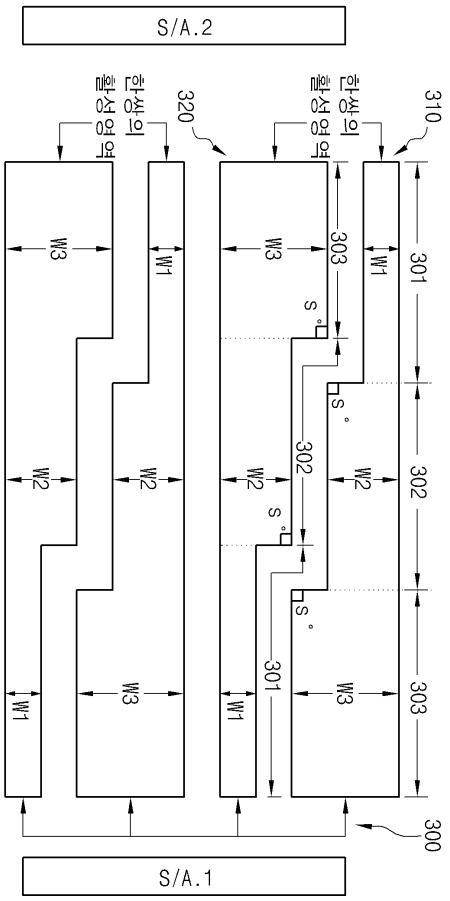
도면2b


S/A.2
한쌍의 출성 영역
220
한쌍의 출성 영역
210
230
W3
W1
W3
203
W1
201
r
r
202
W2
W2
W2
W2
r
r
201
W1
W3
W1
W3
203
200
S/A.1

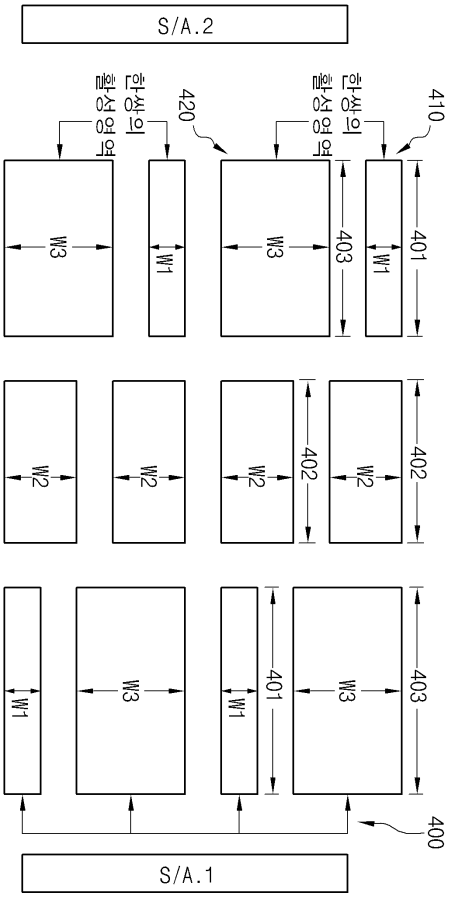
도면2c


S/A.2
한쌍의 활성영역
한쌍의 활성영역
220
210
230
203
201
202
201
203
240
200
S/A.1
W1
W2
W3

도면3



도면4


S/A.2
한쌍의 활성영역
420
한쌍의 활성영역
410
W3
W1
403
401
W2
402
W1
W3
401
W3
403
400
S/A.1