



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I805336 B

(45)公告日：中華民國 112 (2023) 年 06 月 11 日

(21)申請案號：111115616

(22)申請日：中華民國 111 (2022) 年 04 月 25 日

(51)Int. Cl. : **H01L21/8242(2006.01)****H01L27/108 (2006.01)****H01L21/762 (2006.01)**

(71)申請人：華邦電子股份有限公司(中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市 428 大雅區科雅一路 8 號

(72)發明人：游捷鈞 YU, CHIEH-CHUN (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW I290751B

TW I757043B

US 7018897B2

US 7256112B2

US 7256112B2

US 2012/0289019A1

審查人員：程敦睿

申請專利範圍項數：15 項 圖式數：10 共 30 頁

(54)名稱

半導體結構及其形成方法

(57)摘要

本發明實施例提供一種半導體結構的形成方法，包括：提供基板；在基板上形成多個接觸開口，且接觸開口的側壁上設置有介電襯層；以及在基板上形成位元線結構，且位元線結構在第一方向上橫跨接觸開口，其中介電襯層在接觸開口內圍繞位元線結構且在基板的頂表面上方延伸到位元線結構中。

The present disclosure provides a method for forming a semiconductor structure, including: providing a substrate; forming contact openings on the substrate, and sidewalls of the contact openings are disposed with a dielectric liner; and forming a bit line structure on the substrate, and the bit line structure spans the contact openings in a first direction, wherein the dielectric liner surrounds the bit line structure in the contact openings and extends into the bit line structure above a top surface of the substrate.

指定代表圖：

10

符號簡單說明：

10:半導體結構

100:基板

102:導電部

104:隔離部

110:蓋層

112:氮化物層

114:氧化物層

144:介電襯層

160:黏著層

162:氮化矽層

180:接觸開口

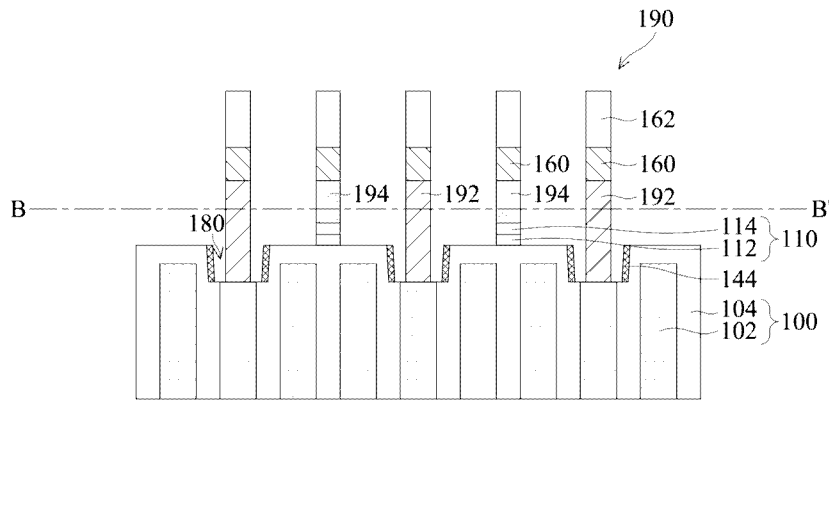
190:位元線結構

192:接觸件

194:半導體層

BB':剖面

x,z:方向



第 10A 圖



I805336

【發明摘要】

【中文發明名稱】半導體結構及其形成方法

【英文發明名稱】SEMICONDUCTOR STRUCTURE AND THE METHOD FOR FORMING THE SAME

【中文】

本發明實施例提供一種半導體結構的形成方法，包括：提供基板；在基板上形成多個接觸開口，且接觸開口的側壁上設置有介電襯層；以及在基板上形成位元線結構，且位元線結構在第一方向上橫跨接觸開口，其中介電襯層在接觸開口內圍繞位元線結構且在基板的頂表面上方延伸到位元線結構中。

【英文】

The present disclosure provides a method for forming a semiconductor structure, including: providing a substrate; forming contact openings on the substrate, and sidewalls of the contact openings are disposed with a dielectric liner; and forming a bit line structure on the substrate, and the bit line structure spans the contact openings in a first direction, wherein the dielectric liner surrounds the bit line structure in the contact openings and extends into the bit line structure above a top surface of the substrate.

【指定代表圖】 第10A圖

【代表圖之符號簡單說明】

10:半導體結構

100:基板

102:導電部

104:隔離部

110:蓋層

112:氮化物層

114:氧化物層

144:介電襯層

160:黏著層

162:氮化矽層

180:接觸開口

190:位元線結構

192:接觸件

194:半導體層

BB':剖面

x,z:方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體結構及其形成方法

【英文發明名稱】SEMICONDUCTOR STRUCTURE AND THE METHOD FOR FORMING THE SAME

【技術領域】

【0001】本發明是關於半導體結構及其形成方法，特別是關於具有介電襯層的半導體結構及其形成方法。

【先前技術】

【0002】動態隨機存取記憶體（Dynamic Random Access Memory，DRAM）廣泛地應用於消費性電子產品中。為了增加動態隨機存取記憶體內的元件密度以及改善其整體表現，目前其製造技術朝向元件尺寸的微縮化而努力。

【0003】然而，當元件尺寸縮小，許多挑戰隨之而生。舉例而言，在形成記憶體裝置的主動區時，由於主動區的材料在不同成分的表面上的沉積速率不同，沉積速率較快的部分將提早封口，並在所形成的主動區中產生接縫（seam）。上述接縫可能會在後續的熱製程中因再結晶而圓化並形成具有圓形剖面的空隙，導致後續形成的位元線結構電阻上升。

【發明內容】

【0004】一種半導體結構的形成方法，包括：提供基板；在基板上形成多個接觸開口，且接觸開口的側壁上設置有介電襯層；以

及在基板上形成位元線結構，且位元線結構在第一方向上橫跨接觸開口，其中介電襯層在接觸開口內圍繞位元線結構且在基板的頂表面上方延伸到位元線結構中。

【0005】一種半導體結構，包括：基板，具有多個接觸開口；介電襯層，設置於接觸開口的多個側壁上；以及位元線結構，設置於基板上且在第一方向上橫跨接觸開口，其中介電襯層在接觸開口內圍繞位元線結構且在基板的頂表面上方延伸到位元線結構中。

【圖式簡單說明】

【0006】

第1A、2~7、8A、9、10A圖是根據本揭露的一些實施例，繪示出在半導體結構的製造過程的不同階段的剖面圖。

第1B圖是根據本揭露的一些實施例，繪示出對應第1A圖之半導體結構的俯視圖。

第8B圖是根據本揭露的一些實施例，繪示出對應第8A圖之半導體結構的俯視圖。

第10B圖是根據本揭露的一些實施例，繪示出對應第10A圖之半導體結構的俯視圖。

【實施方式】

【0007】第1A圖顯示半導體結構10的製造過程的中間階段的剖面圖。在一些實施例中，半導體結構10是動態隨機存取記憶體（DRAM）陣列的一部分。然而，應理解的是，技術領域中具有通常知識者也可以將本揭露的結構及其形成方法應用於其他類型的記

憶體裝置。

【0008】首先，提供基板100。基板100可以是元素半導體基板，例如矽基板、或鍺基板；或化合物半導體基板，例如碳化矽基板、或砷化鎵基板。在一些實施例中，基板100可以是絕緣體上覆半導體（semiconductor-on-insulator，SOI）基板。

【0009】在一些實施例中，藉由在導電的基板100上形成隔離部件，可以形成包括導電部102及隔離部104的基板100。導電部102可以用於與後續形成的位元線結構（例如第10A圖中的位元線結構190）電性連接，且隔離部104可以與導電部102交替排列。儘管在第1A圖中是將導電部102繪示為並未在基板100的最頂表面露出，在其他範例中，導電部102也可以在基板100的最頂表面露出。

【0010】在一些實施例中，導電部102包括導電材料，例如矽、鍺、碳化矽、砷化鎵、其他適合的材料、或前述之組合。在一些實施例中，隔離部104包括氮化物或氧化物，例如氧化矽、氮化矽、氮氧化矽、其他適合的材料、或前述之組合。在一些實施例中，隔離部104為基板100的淺溝槽隔離（shallow trench isolation，STI）結構。隔離部104的形成可以透過沉積製程（例如化學氣相沉積（chemical vapor deposition，CVD））、圖案化製程（例如微影製程及蝕刻製程）、平坦化製程（例如化學機械研磨（chemical mechanical polish，CMP））、或任何適合的製程。

【0011】接著，可以在基板100上形成蓋層110以保護基板100內的元件不受後續製程影響而損害。在一些實施例中，蓋層110包括氮化物層112及氧化物層114。氮化物層112例如包括氮化矽或氮氧化矽。氧化物層114例如包括由四乙氧基矽烷

(tetraethylorthosilicate, TEOS) 形成的氧化矽層。形成氮化物層112及氧化物層114的方法可為物理氣相沉積(physical vapor deposition, PVD)製程、化學氣相沉積製程、原子層沉積(atomic layer deposition, ALD)製程、或任何適合的沉積製程。在一實施例中，氧化物層114的形成方法為臨場蒸氣產生技術(In-Situ Steam Generation, ISSG)。

【0012】接著，可以在基板100上方形成半導體材料120。在一些實施例中，半導體材料120與基板100分隔。舉例而言，蓋層110可以分隔半導體材料120與基板100。在一些實施例中，半導體材料120包括例如多晶矽。

【0013】接著，依序在半導體材料120上形成氧化物層122及遮罩層124。在一些實施例中，氧化物層122是用作後續回蝕導電材料(例如導電材料150)時的阻擋層。氧化物層122可以包括例如四乙氧基矽烷(TEOS)，且遮罩層124可以包括任何適合的遮罩材料，例如光阻。遮罩層124的形成可以包括先在氧化物層122上形成遮罩材料，接著對遮罩材料進行圖案化製程以形成圖案化的遮罩層124。在一些實施例中，遮罩層124的圖案是根據後續所欲形成的開口(例如第1A、1B圖所示的第一開口130)的截面形狀來選擇，且遮罩層124的圖案大致上對應後續形成的接觸開口的形狀(參見第10B圖的接觸開口180)。

【0014】繼續參照第1A圖，可以進行蝕刻製程以在基板100上形成穿過半導體材料120的多個第一開口130，且第一開口130的形狀及位置可以對準遮罩層124的圖案。上述蝕刻製程可以包括例如乾蝕刻或濕蝕刻製程。第一開口130可以延伸到一部分的基板100

中，且基板100中的導電部102可以在第一開口130中露出。

【0015】第1B圖繪示出對應第1A圖之半導體結構10的俯視圖，其中第1A圖對應第1B圖中的剖面AA'。如第1B圖所示，第一開口130的位置可以在半導體結構10中形成一個陣列，且各個第一開口130定義出半導體結構10的主動區的位置。應注意的是，雖然在第1B圖中將各個第一開口130繪示為具有圓形的截面，本揭露並未特別限定第一開口130的截面形狀。舉例而言，各個第一開口130也可以具有矩形、多邊形、橢圓形、不規則的形狀、或其他適合的截面形狀。

【0016】如第2圖所示，在形成第一開口130之後，可以移除遮罩層124以露出氧化物層122的頂表面。用於移除遮罩層124的方法可以包括例如蝕刻製程或灰化（ashing）製程。在一實施例中，灰化製程可以用於移除包括有機成分的遮罩層124。

【0017】參照第3圖，接著可以在第一開口130內順應性地沉積介電材料140，且介電材料140可以沿著氧化物層122的頂表面、第一開口130的側壁、以及第一開口130的底部延伸。在一些實施例中，第一開口130的側壁包括蓋層110、半導體材料120、及氧化物層122的側壁。介電材料140可以包括，例如氮化矽的氮化物，或是其他不容易在後續製程中被蝕刻掉的材料。舉例而言，介電材料140可以是與氧化物層122具有蝕刻選擇比的材料，以在後續蝕刻氧化物層122的製程中不容易被移除。介電材料140的形成方法可以包括物理氣相沉積、化學氣相沉積、原子層沉積、或其他適合的方法、或前述之組合。

【0018】參照第4圖，在沉積介電材料140之後，可以進行非等

向性蝕刻製程以移除位於第一開口130的底部的介電材料140。如此一來，可以在第一開口130的側壁（包括半導體材料120的側壁）上形成介電間隔層142以露出基板100。藉由在第一開口130中露出基板100，特別是基板100的導電部102，後續形成的位元線結構可以在半導體結構10的主動區與基板100電性連接。在一些實施例中，位於氧化物層122上的部分的介電材料140也被非等向性蝕刻製程移除。在一些實施例中，上述非等向性蝕刻製程包括乾蝕刻製程，例如反應性離子蝕刻（reactive ion etching，RIE）製程。

【0019】參照第5圖，在形成介電間隔層142之後，可以在基板100上且第一開口130中形成導電材料150，且半導體材料120與導電材料150之間被介電間隔層142分隔。藉由在第一開口130的側壁上形成介電間隔層142，導電材料150可以在第一開口130中具有均勻的沉積速率。相較於本揭露的實施例，如果直接將導電材料150填充於沒有介電間隔層142的第一開口130中，可能會形成其中具有接縫的導電材料。

【0020】舉例而言，在導電材料150包括摻雜多晶矽且基板100及半導體材料120包括多晶矽的實施例中，導電材料150在基板100及半導體材料120的側壁上具有比在蓋層110或氧化物層122上更快的沉積速率，沉積速率較快的部分將提早封口並在導電材料150內部形成接縫。上述接縫可能會在後續的熱製程中因再結晶而圓化並形成具有圓形剖面的空隙，導致後續形成的位元線結構電阻上升。

【0021】在一些實施例中，導電材料150包括摻雜多晶矽、金屬、金屬氮化物、其他適合的導電材料、或前述之組合。導電材料150的形成包括將導電材料150填充於第一開口130中，且形成方法

可以包括例如物理氣相沉積製程、化學氣相沉積製程、原子層沉積製程、電子束蒸鍍、電鍍、或任何適合的沉積製程。在一些實施例中，過量的導電材料150形成於第一開口130及氧化物層122上方。

【0022】參照第6圖，在形成導電材料150之後，可以利用適當的平坦化製程及回蝕（etch back）製程以移除位於氧化物層122的頂表面上方的過量的導電材料150。在一些實施例中，氧化物層122的側壁之間的部分的導電材料150也被移除，且介電間隔層142維持在氧化物層122的側壁上。在一些實施例中，導電材料150被回蝕到與半導體材料120的頂表面實質上等高。

【0023】參照第7圖，將氧化物層122移除並留下從導電材料150及半導體材料120的頂表面突出的部分的介電間隔層142。上述移除製程可以包括例如乾蝕刻或濕蝕刻製程。在一些實施例中，上述移除是利用濕蝕刻製程來進行，且所使用的蝕刻劑包括氫氟酸（HF）、硝酸（HNO₃）、硫酸（H₂SO₄）、磷酸（H₃PO₄）、鹽酸（HCl）、氨（NH₃）、其他適合的蝕刻劑、或前述之組合。在一個實施例中，可以使用包括稀氫氟酸（dilute HF，DHF）的蝕刻液對包括TEOS的氧化物層122進行蝕刻以移除氧化物層122。

【0024】參照第8A圖，移除高於導電材料150及半導體材料120的頂表面的突出的部分的介電間隔層142。移除製程後的介電間隔層142的頂表面與導電材料150及半導體材料120的頂表面實質上共平面。上述移除製程可以包括例如乾蝕刻或濕蝕刻製程。在一些實施例中，上述移除是利用濕蝕刻製程來進行，所使用的蝕刻劑包括氫氟酸（HF）、硝酸（HNO₃）、硫酸（H₂SO₄）、磷酸（H₃PO₄）、鹽酸（HCl）、氨（NH₃）、其他適合的蝕刻劑、或前述之組合。

在一個實施例中，可以使用包括磷酸的蝕刻液對包括氮化矽的介電間隔層142進行蝕刻以移除從導電材料150及半導體材料120的頂表面突出的部分的介電間隔層142。

【0025】第8B圖繪示出對應第8A圖之半導體結構10的俯視圖，其中第8A圖對應第8B圖中的剖面AA'。如第8B圖所示，介電間隔層142及導電材料150的位置可以在半導體結構10的與z方向垂直的俯視圖中形成一個陣列，且介電間隔層142定義出半導體結構10的主動區的位置。

【0026】接著參照第9圖，在半導體材料120、介電間隔層142、及導電材料150上依序形成黏著層160、氮化矽層162、及硬遮罩層170。在一些實施例中，硬遮罩層170包括氧化矽層172、碳層174、氮氧化矽層176、及多晶矽層178。黏著層160可以用於降低後續形成的位元線結構的電阻，氮化矽層162可以用作半導體結構10的周邊電路區（未顯示）的閘極接觸件的硬遮罩，且硬遮罩層170中的各個膜層可以在多個圖案化製程中被圖案化或用作蝕刻遮罩。

【0027】黏著層160的材料可以包括鈦、氮化鈦、其他適合的材料、或前述之組合。黏著層160的形成方法可以包括物理氣相沉積、化學氣相沉積、原子層沉積、電子束蒸鍍、電鍍、或其他適合的方法、或前述之組合。氮化矽層162的形成方法可以包括物理氣相沉積、化學氣相沉積、原子層沉積、或其他適合的方法、或前述之組合。

【0028】第10A、10B圖分別繪示出半導體結構10的剖面圖及俯視圖。應注意的是，第10A圖為對應第10B圖中的剖面AA'的剖

面圖，且第10B圖為對應第10A圖中的剖面BB'的俯視圖。如第10A、10B圖所示，可以進行各種蝕刻製程以在基板100上形成露出基板100的接觸開口180以及位元線結構190，且位元線結構190在y方向橫跨多個接觸開口180。為了清楚起見，在第10B圖中是以虛線表示位元線結構190的位置。此外，介電間隔層142的並未相交位元線結構190且高於基板100的部分也在上述蝕刻製程中被移除，藉此形成設置於接觸開口180的側壁上的介電襯層144。在一些實施例中，介電襯層144在接觸開口180內圍繞位元線結構190，且介電襯層144的與位元線結構190相交的部分（參見第10B圖）在基板100的頂表面上方延伸到位元線結構190中（未顯示）。

【0029】 導電材料150及半導體材料120可以在上述蝕刻製程中被蝕刻以在基板100上形成位元線結構190，且導電材料150及半導體材料120分別被蝕刻以形成位元線結構190的接觸件192及半導體層194。如第10A圖所示，接觸件192可以設置於接觸開口180正上方，且半導體層194可以設置於基板100上方（包括接觸開口180以外的部分的基板100正上方）。參見第10B圖，半導體層194與接觸件192之間被部分的介電襯層144分隔，其中上述部分為介電襯層144與位元線結構190相交的部分，且位元線結構190在y方向上與介電襯層144實體接觸。

【0030】 在一些實施例中，位元線結構190更包括位於接觸件192及半導體層194上的黏著層160及氮化矽層162。接觸件192可以在接觸開口180的底表面與基板100連接，特別是與導電部102電性連接。在一些實施例中，位元線結構190更包括位於半導體層194下的蓋層110，且基板100與半導體層194之間彼此分隔。

【0031】繼續參照第10A、10B圖。在一些實施例中，介電襯層144完全覆蓋接觸開口180的側壁。在一些實施例中，與位元線結構190相交的部分的介電襯層144與接觸件192的頂表面齊平。在一些實施例中，並未相交位元線結構190的部分的介電襯層144與基板100的頂表面齊平。在一些實施例中，位元線結構190與介電襯層144之間在x方向上具有位於接觸開口180中的間隔。

【0032】綜上所述，本揭露提供了一種半導體結構及其形成方法，其中在沉積用於記憶體裝置的主動區的導電材料之前，在半導體結構上形成介電間隔層。藉由形成介電間隔層以覆蓋主動區周圍的結構的表面，可以使導電材料在上述表面上以一致的速率成長，防止接縫等缺陷形成於主動區中。如此一來，可以避免在後續形成的位元線結構中產生空隙、降低位元線結構的電阻、且提高記憶體裝置的良率。

【0033】以上概述數個實施例之特徵，以使本發明所屬技術領域中具有通常知識者可更易理解本發明實施例的觀點。本發明所屬技術領域中具有通常知識者應理解，可輕易地以本發明實施例為基礎，設計或修改其他製程和結構，以達到與在此介紹的實施例相同之目的及/或優勢。在本發明所屬技術領域中具有通常知識者也應理解到，此類等效的製程和結構並無悖離本發明的精神與範圍，且可在不違背本發明之精神和範圍之下，做各式各樣的改變、取代和替換。

【符號說明】

【0034】

- 10:半導體結構
- 100:基板
- 102:導電部
- 104:隔離部
- 110:蓋層
- 112:氮化物層
- 114,122:氧化物層
- 120:半導體材料
- 124:遮罩層
- 130:第一開口
- 140:介電材料
- 142:介電間隔物
- 144:介電襯層
- 150:導電材料
- 160:黏著層
- 162:氮化矽層
- 170:硬遮罩層
- 172:氧化矽層
- 174:碳層
- 176:氮氧化矽層
- 178:多晶矽層
- 180:接觸開口
- 190:位元線結構
- 192:接觸件

194: 半導體層

AA', BB': 剖面

x, y, z: 方向

【發明申請專利範圍】

【請求項1】 一種半導體結構的形成方法，包括：

提供一基板；

在該基板上形成多個接觸開口，且該些接觸開口的側壁上設置有一介電襯層；以及

在該基板上形成一位元線結構，且該位元線結構在一第一方向上橫跨該些接觸開口，

其中該介電襯層在該些接觸開口內圍繞該位元線結構且在該基板的頂表面上方延伸到該位元線結構中。

【請求項2】 如請求項1之半導體結構的形成方法，更包括：

在該基板上方形成一半導體材料；

在該半導體材料的側壁上形成一介電間隔層；以及

在該基板上形成一導電材料，且該半導體材料與該導電材料之間被該介電間隔層分隔。

【請求項3】 如請求項2之半導體結構的形成方法，更包括蝕刻該導電材料及該半導體材料以分別形成該位元線結構的一接觸件及一半導體層。

【請求項4】 如請求項2之半導體結構的形成方法，更包括移除高於該導電材料及該半導體材料的頂表面的部分的該介電間隔層。

【請求項5】 如請求項2之半導體結構的形成方法，更包括：

在該基板上形成穿過該半導體材料的多個第一開口；以及

在該些第一開口的側壁上形成該介電間隔層，

其中該導電材料填充於該些第一開口中。

【請求項6】 如請求項5之半導體結構的形成方法，其中該介電間隔層的形成包括：

在該些第一開口內順應性地沉積一介電材料；以及

移除一部分的該介電材料以在該些第一開口的底部露出該基板。

【請求項7】 如請求項5之半導體結構的形成方法，更包括：

移除並未相交該位元線結構且高於該基板的部分的該介電間隔層以形成該介電襯層。

【請求項8】 如請求項1之半導體結構的形成方法，更包括進行蝕刻製程以形成該些接觸開口，且該些接觸開口露出該基板。

【請求項9】 一種半導體結構，包括：

一基板，具有多個接觸開口；

一介電襯層，設置於該些接觸開口的多個側壁上；以及

一位元線結構，設置於該基板上且在一第一方向上橫跨該些接觸開口，

其中該介電襯層在該些接觸開口內圍繞該位元線結構且在該基板的一頂表面上方延伸到該位元線結構中。

【請求項10】 如請求項9之半導體結構，其中該介電襯層完全覆蓋該些接觸開口的該些側壁。

【請求項11】 如請求項9之半導體結構，其中該位元線結構包括：

一接觸件，設置於該些接觸開口正上方；以及

一半導體層，設置於該基板上方，且與該接觸件之間被該介電襯層分隔。

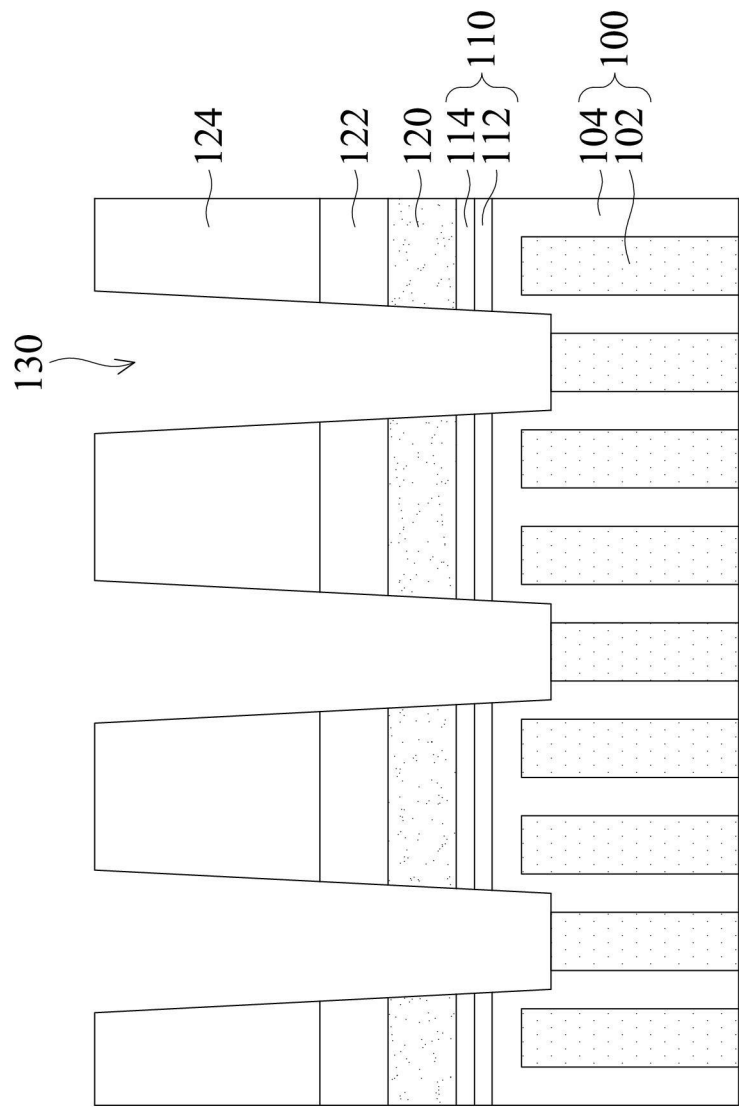
【請求項12】 如請求項11之半導體結構，其中與該位元線結構相交的部分的該介電襯層與該接觸件的頂表面齊平。

【請求項13】 如請求項9之半導體結構，其中並未相交該位元線結構的部分的該介電襯層與該基板的該頂表面齊平。

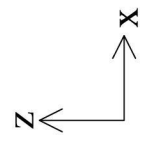
【請求項14】 如請求項9之半導體結構，其中該位元線結構在該第一方向上與該介電襯層實體接觸。

【請求項15】 如請求項9之半導體結構，其中該位元線結構與該介電襯層之間在一第二方向上具有間隔，且該第二方向與該第一方向垂直。

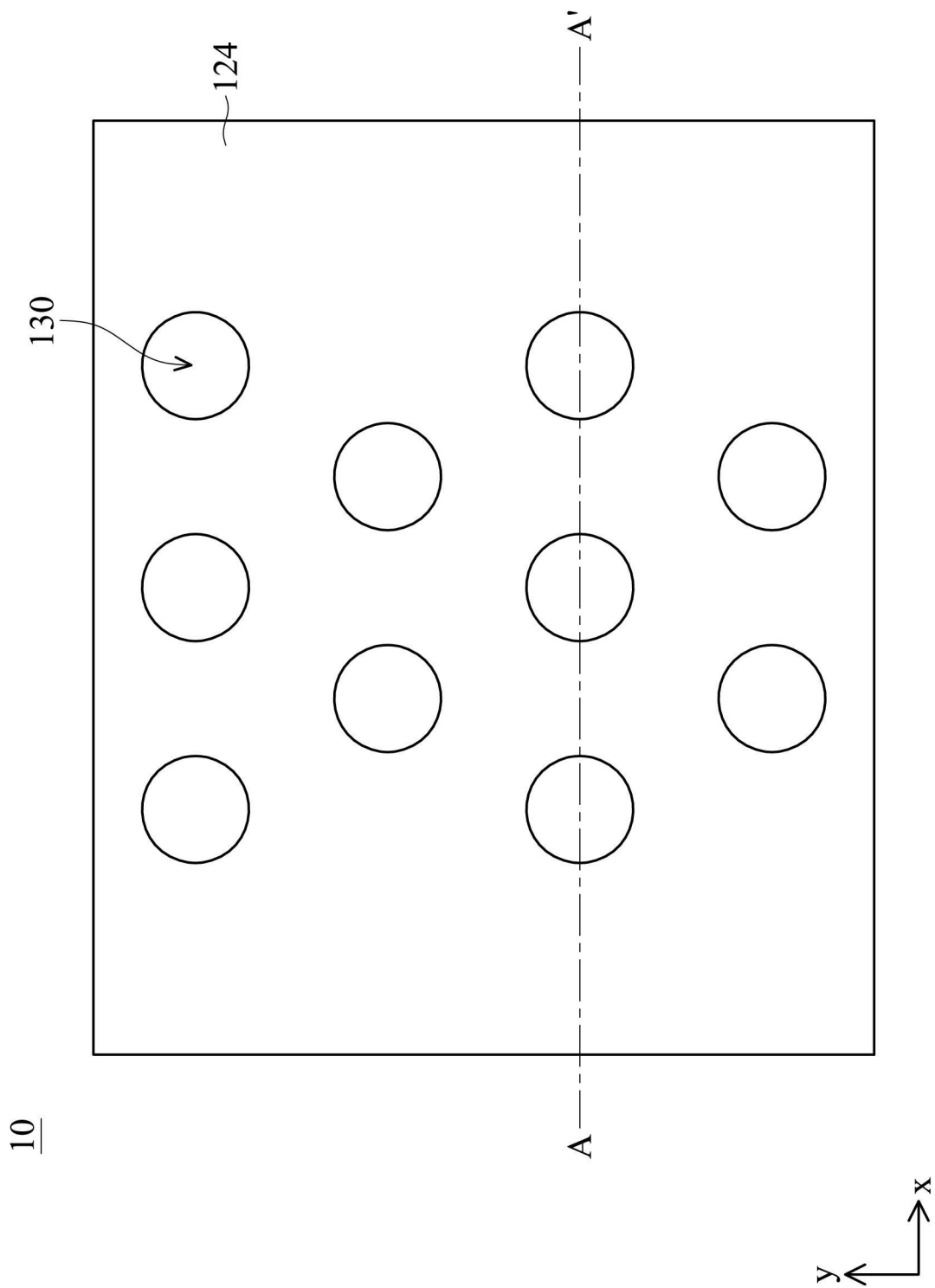
【發明圖式】



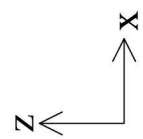
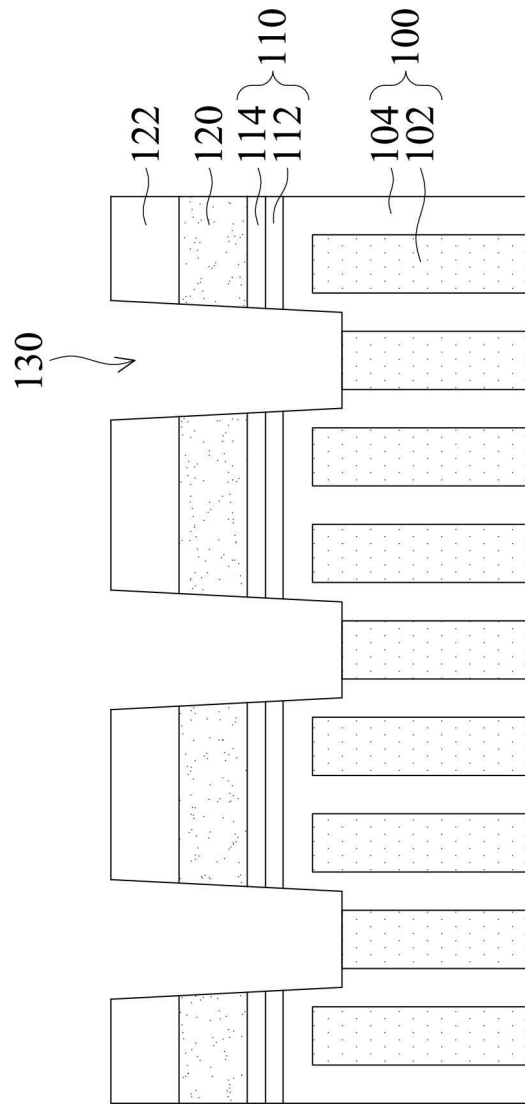
第1A圖



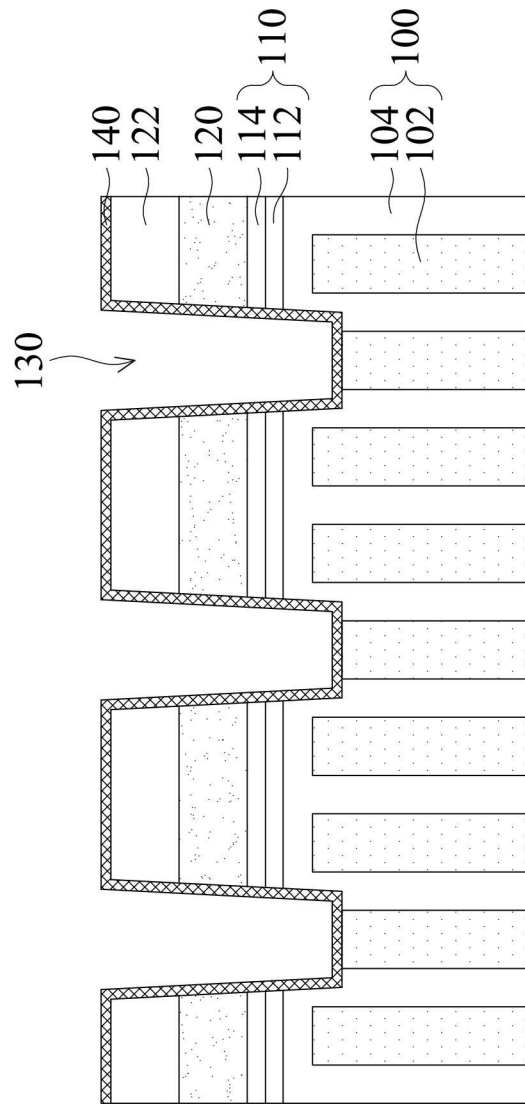
10



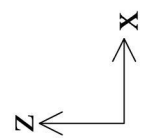
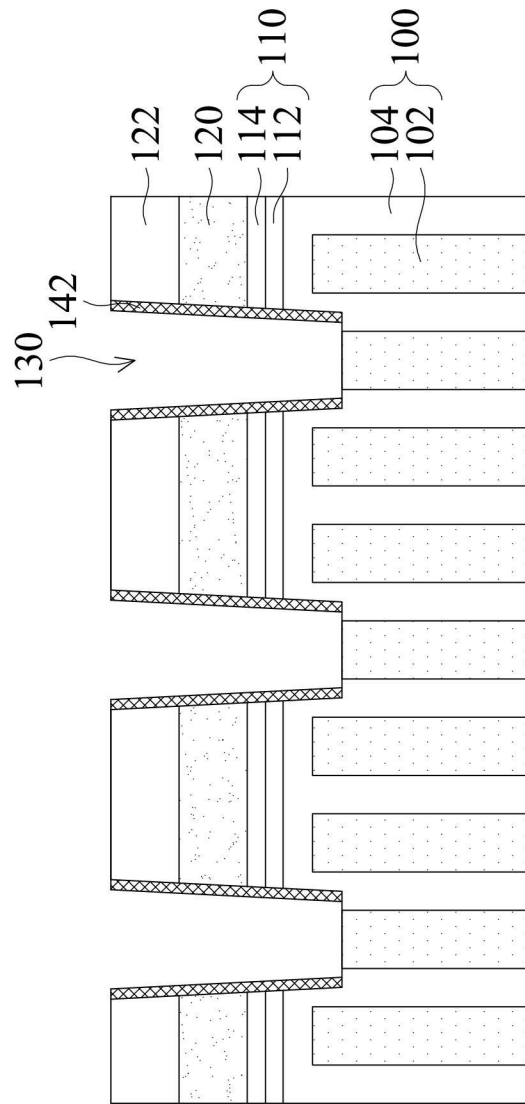
第 1B 圖



第 2 圖

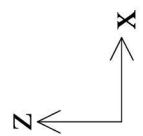
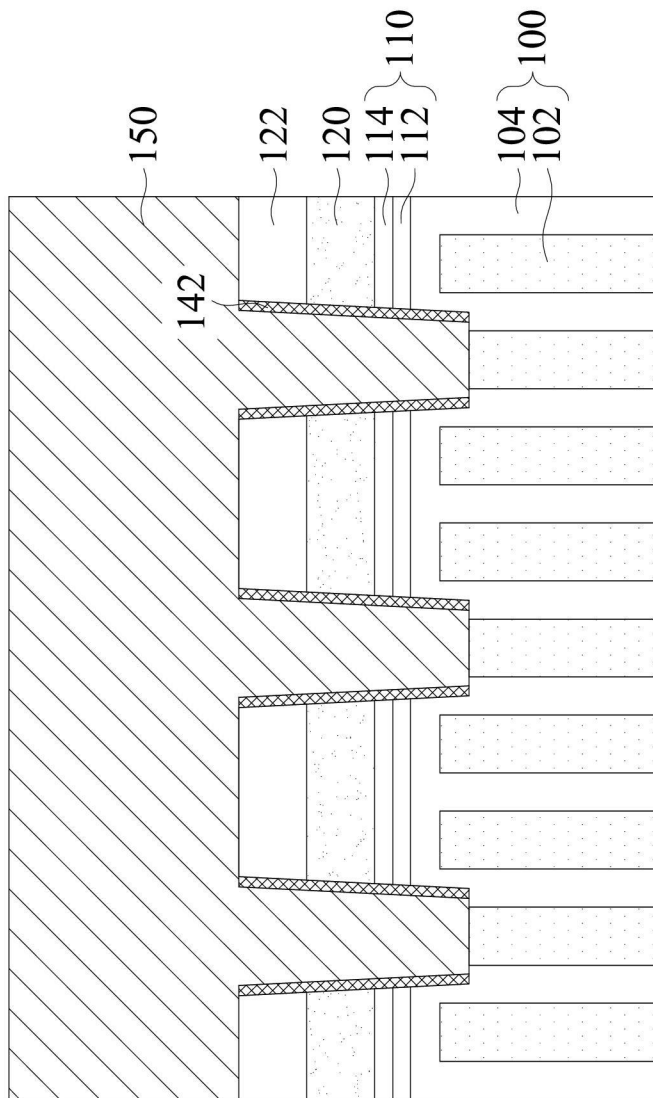


第 3 圖



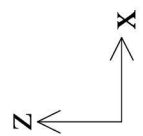
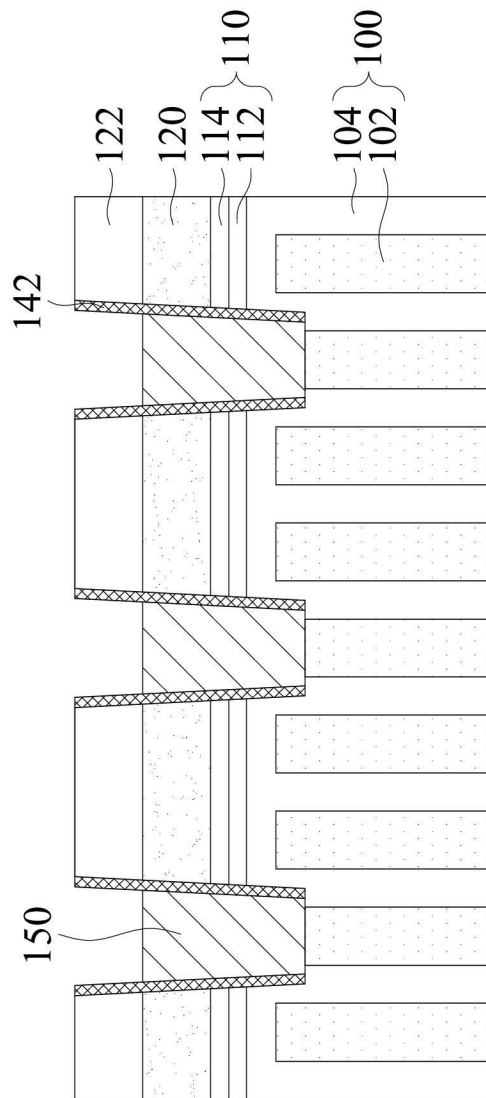
第4圖

10

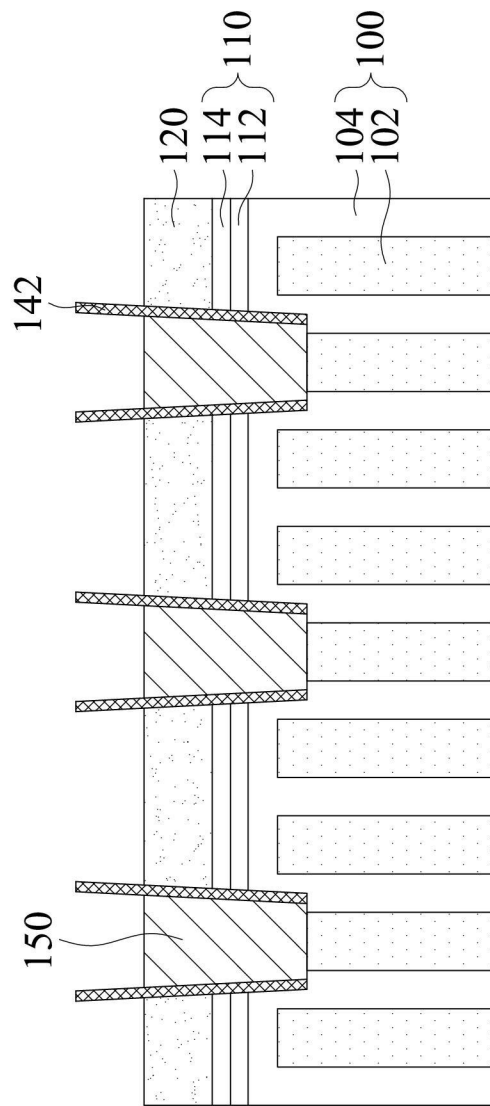


第5圖

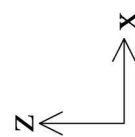
10

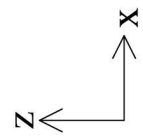
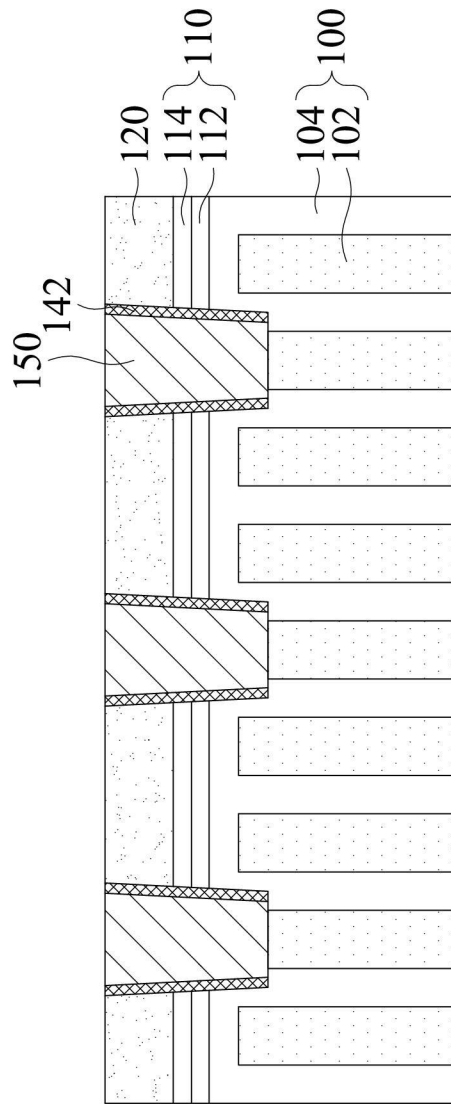


第6圖

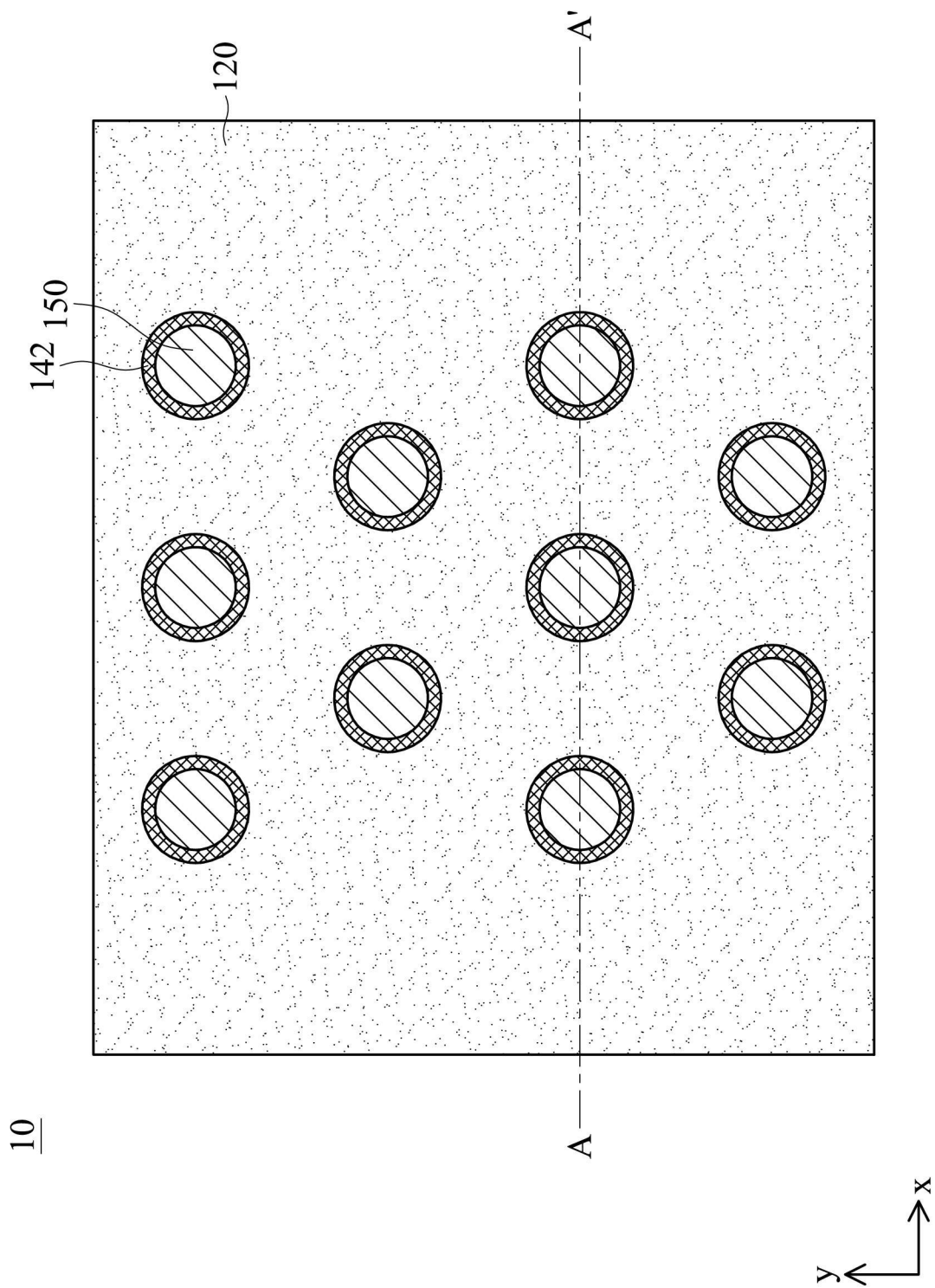


第7圖



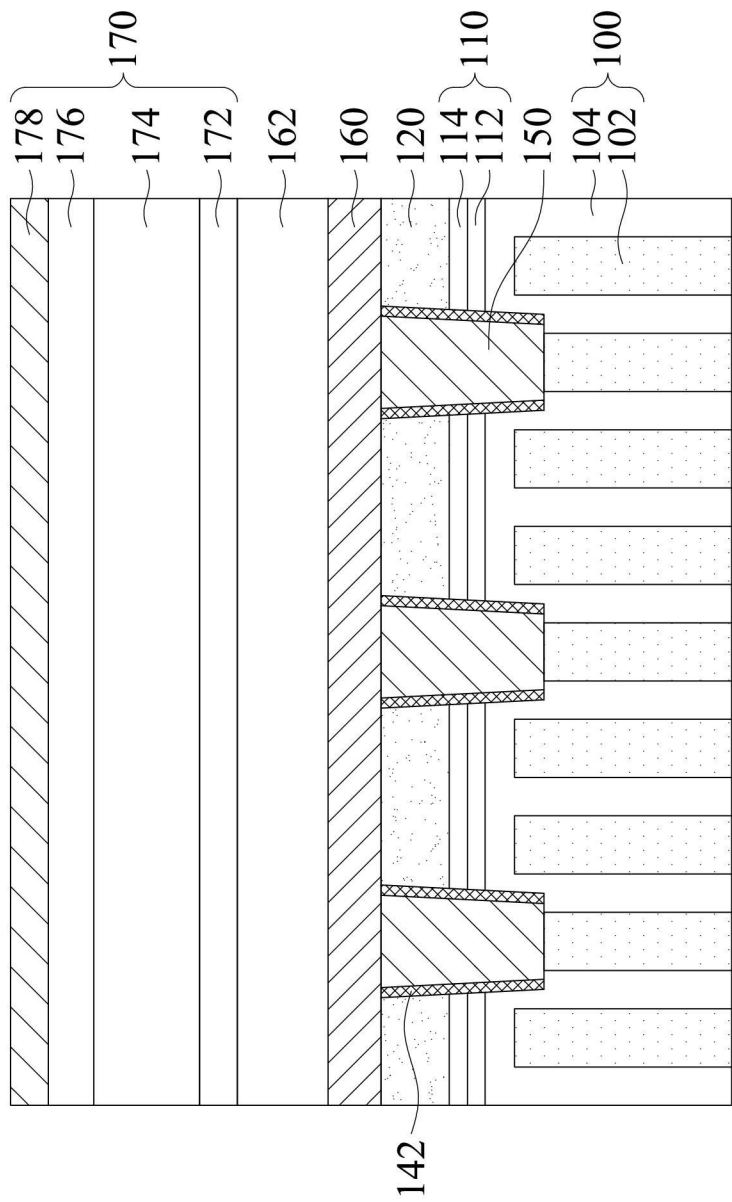


第8A圖

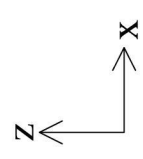


第 8B 圖

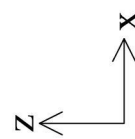
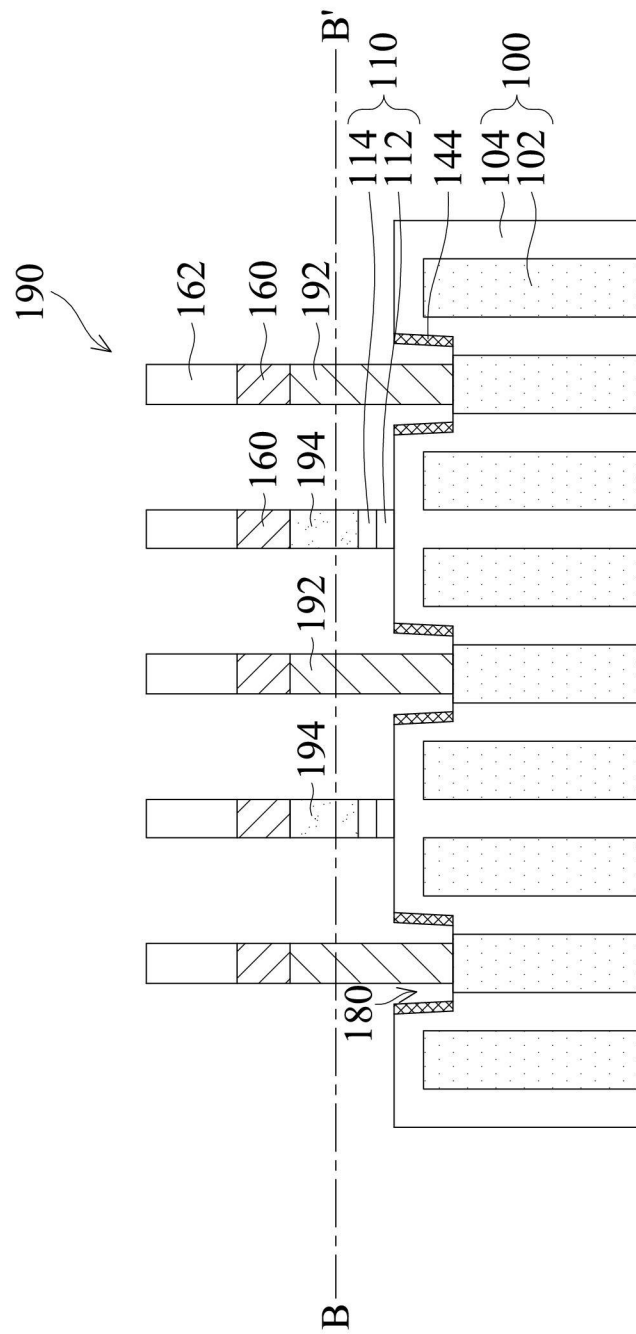
10



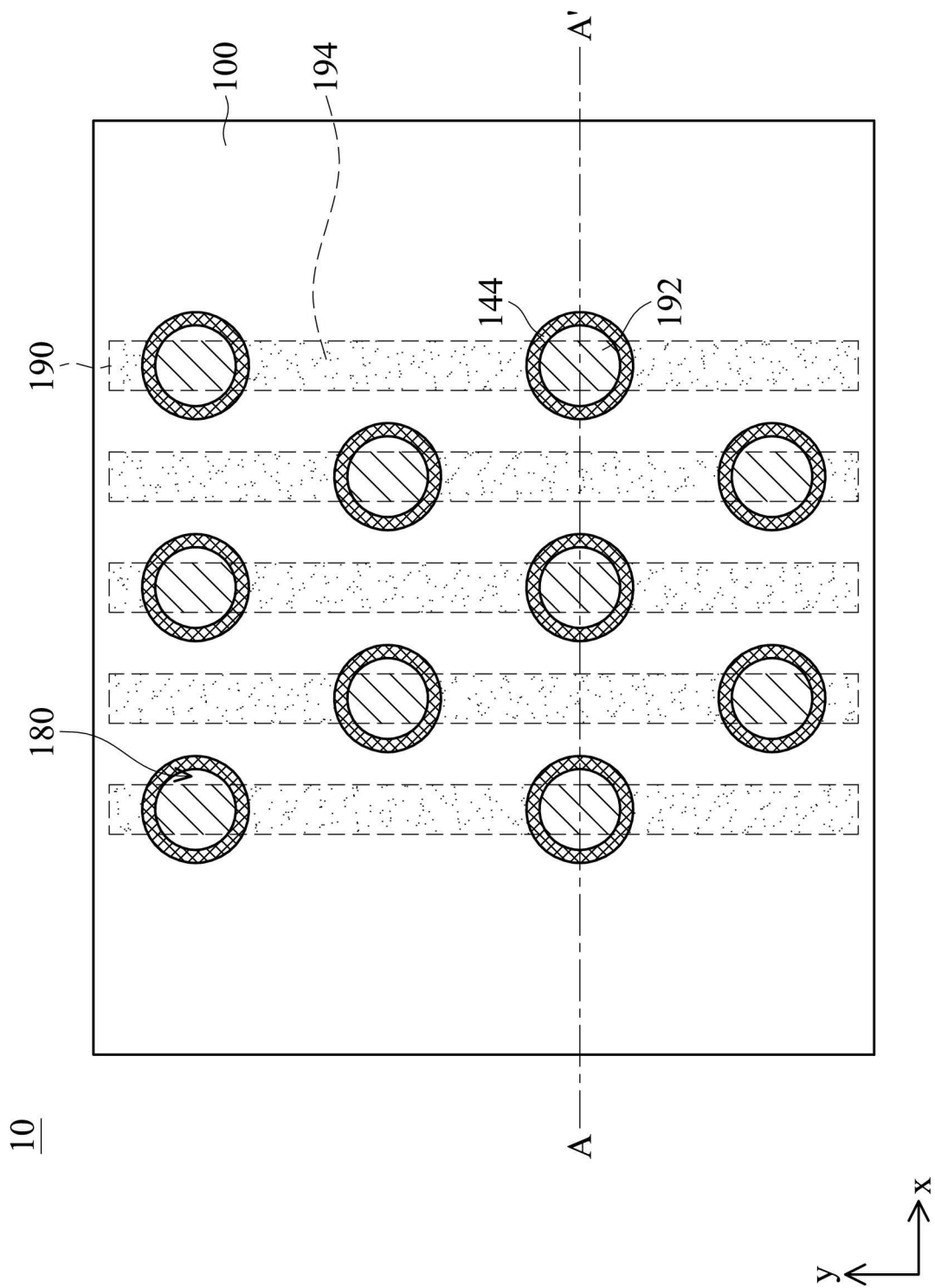
第9圖



10



第 10A 圖



第 10B 圖