

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4065515号
(P4065515)

(45) 発行日 平成20年3月26日(2008.3.26)

(24) 登録日 平成20年1月11日(2008.1.11)

(51) Int.Cl. F I
HO4N 1/19 (2006.01) HO4N 1/04 I O3A

請求項の数 4 (全 17 頁)

(21) 出願番号	特願2002-292409 (P2002-292409)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成14年10月4日(2002.10.4)	(74) 代理人	100090538 弁理士 西山 恵三
(65) 公開番号	特開2003-198813 (P2003-198813A)	(74) 代理人	100096965 弁理士 内尾 裕一
(43) 公開日	平成15年7月11日(2003.7.11)	(72) 発明者	広松 憲司 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内
審査請求日	平成17年6月14日(2005.6.14)	審査官	渡辺 努
(31) 優先権主張番号	特願2001-319279 (P2001-319279)		
(32) 優先日	平成13年10月17日(2001.10.17)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 画像読み取り装置

(57) 【特許請求の範囲】

【請求項1】

被写体に光を照射する光源と、

被写体からの光を受光可能な受光部と遮光された遮光部とをそれぞれ有する複数のチップを備え、前記受光部から出力される第1の信号と前記遮光部から出力される第2の信号とを前記チップごとにそれぞれ出力する撮像手段と、

前記撮像手段から前記チップごとに出力される前記第2の信号をまとめるように前記第1及び第2の信号を並び替える並び替え手段と、

前記光源を点灯している状態における前記並び替え手段により並び替えられた前記第1の信号の信号レベルを補正する信号補正手段と、
を有し、

前記信号補正手段は、前記光源を消灯している状態における前記第1の信号、前記光源を消灯している状態における前記第2の信号、及び、前記光源を点灯している状態における前記第2の信号に基づいて、前記光源を点灯している状態における前記第1の信号の信号レベルの補正を行うことを特徴とする画像読み取り装置。

【請求項2】

前記信号補正手段は、前記第1の信号のオフセットレベルを補正することを特徴とする請求項1に記載の画像読み取り装置。

【請求項3】

前記被写体としての原稿と前記撮像手段とを相対的に移動させる移動手段と、前記撮像

手段により複数枚の原稿画像を読み取る場合に、前記信号補正手段が前記複数枚の原稿間において前記第2の信号に基いて前記第1の信号を補正するように制御する制御手段とを有することを特徴とする請求項1に記載の画像読み取り装置。

【請求項4】

前記撮像手段から出力されるアナログ信号をデジタル信号に変換する変換手段を有し、前記信号補正手段は、前記変換手段により変換されたデジタル信号を補正することを特徴とする請求項1に記載の画像読み取り装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像読み取り装置に関する。

【0002】

【従来の技術】

近年の半導体プロセス、生産技術の進歩により、コストが安価であること、光源の光量が少なく済むなどの特徴から、コンシューマ用のスキャナにおいてコンタクトイメージセンサ(CIS: Contact Image Sensor)が使用されている。

【0003】

近年のコンシューマ用のスキャナは主走査周期が10～20ms程度であるのに対し、いわゆる複写機と呼ばれる画像読み取り装置は種走査周期300μs程度と二桁ほど、速度が速くなっている。

【0004】

ここで、二桁高速な画像読み取り装置においてCISを使用した場合の問題点として、センサチップの温度上昇による黒のオフセットレベル(入力される信号レベルを演算することで黒信号としての基準レベルへ補正するための信号レベルであって、これにより入力される信号間の信号レベル差を相殺(オフセット)することができる。)の変動が上げられる。具体的には、自動原稿供給装置(ADF: Auto Document feeder)を使用した、50枚程度までの連続原稿読取モードにおいて、有効画像信号のレベル差(例えば、均一の濃度基準板を読み込んだときのラインセンサ内での各画素信号のレベル差)をオフセットするシェーディング補正は、ジョブ(たとえばオペレータの指示などに基づく画像読み取り動作)の最初に1回だけ行なう。これは、シェーディング補正を原稿ごとに行なうと、複写の生産性が落ちるためである。また、例えば、近年進む低消費電力の要望から、スキャンしないときはCISに電力を供給せず、スキャンする直前に電力を供給したのち、数十枚の原稿を連続してコピーする場合がある。

【0005】

こういった場合、センサチップやアナログプロセッサの温度が、冷えた状態から最初の1分ほどは急激に上昇し、その後も徐々に上昇するため、黒のオフセットレベルが変化してしまう。更に、センサチップやアナログプロセッサの自己発熱に加えて、例えば原稿照明光源として、Xeランプなどが使用される場合には、これも発熱源となり変動が強調されることになる。

【0006】

【発明が解決しようとする課題】

上記のように従来の技術においては次のような課題が発生する。すなわち、例えば、ADFに載せられた50枚の原稿の連続読取に1枚目の読取開始から50枚目の読取終了まで3分かかった場合、1枚目の読取時と50枚目の読取時では、大幅に黒のオフセットレベルが変化してしまう。

【0007】

これは、センサチップを複数配置したいわゆるマルチチップセンサを使用した場合はより深刻である。つまり、センサチップ間の個体差により、この黒オフセットレベルの変動量が複数チップ間で不均一なのである。したがって、黒信号としての基準レベルが複数のチャンネル間で異なり、各々に相当する画像領域ごとに輝度レベルの段差を生じ画像の品質上

10

20

30

40

50

の著しい劣化をもたらす。

【 0 0 0 8 】

【課題を解決するための手段】

本発明は上記課題を解決するためになされたものであり、請求項 1 に記載の画像読み取り装置は、被写体に光を照射する光源と、被写体からの光を受光可能な受光部と遮光された遮光部とをそれぞれ有する複数のチップを備え、前記受光部から出力される第 1 の信号と前記遮光部から出力される第 2 の信号とを前記チップごとにそれぞれ出力する撮像手段と、前記撮像手段から前記チップごとに出力される前記第 2 の信号をまとめるように前記第 1 及び第 2 の信号を並び替える並び替え手段と、前記光源を点灯している状態における前記並び替え手段により並び替えられた前記第 1 の信号の信号レベルを補正する信号補正手段と、を有し、前記信号補正手段は、前記光源を消灯している状態における前記第 1 の信号、前記光源を消灯している状態における前記第 2 の信号、及び、前記光源を点灯している状態における前記第 2 の信号に基づいて、前記光源を点灯している状態における前記第 1 の信号の信号レベルの補正を行うことを特徴とする。

10

【 0 0 1 4 】

【発明の実施の形態】

< 第 1 の実施の形態 >

図 1 は、本発明の実施の形態に係る画像形成装置の断面構成を示す図である。同図において、イメージスキャナ部 2 0 0 は、被写体としての原稿を読み取り、デジタル信号処理を行なう。また、プリンタ部 3 0 0 は、イメージスキャナ部 2 0 0 にて読み取られた原稿の画像に対応した画像を、用紙上にフルカラーでプリント出力する。

20

【 0 0 1 5 】

本実施例の形態で使用する C I S モジュール 2 0 2 について図 2 を用いて説明する。

【 0 0 1 6 】

同図は長手方向が主走査方向である C I S モジュール 2 0 2 の主走査方向を輪切りにした断面図である。同図に示されるように、C I S モジュール 2 0 2 は次のように構成される。すなわち、カバーガラス 2 0 2 1、LED (Light Emitting Diode) からなる照明光源 2 0 2 2、セルフオックレンズ等からなる等倍結像レンズ 2 0 2 3、カラーラインセンサ 2 0 2 4 が基板 2 0 2 5 上に実装されており、それらがモールド 2 0 2 6 に取り付けられることによって一体の C I S モジュール 2 0 2 が構成される。また、図 3 は、図 2 の構成を斜めから見た図である。

30

【 0 0 1 7 】

図 4 は、C I S モジュール 2 0 2 のカラーラインセンサ 2 0 2 4 の微視的部分を拡大した図である。同図において、2 0 2 4 - 1 は赤色光 (R) を読み取るための受光素子列 (フォトセンサ) であり、2 0 2 4 - 2 , 2 0 2 4 - 3 は、それぞれ、緑色光 (G) , 青色光 (B) の波長成分を読み取るための受光素子列である。そのため、R 色のフォトセンサ 2 0 2 4 - 1 上には、可視光の内、R 色の波長成分を透過する R フィルタが配置される。同様に、G 色のフォトセンサ 2 0 2 4 - 2 上には G フィルタが、また、B 色のフォトセンサ 2 0 2 4 - 3 上には B フィルタが配置されている。

【 0 0 1 8 】

ここで、R、G、B ひとつひとつの矩形は、受光手段としての受光部のうち光を受光することで有効画素信号を出力する有効領域の読み取り画素を表している。これは 6 0 0 d p i (dpi : dots per inch) の等倍読取用の C I S モジュールであるので、1 画素の大きさは 4 2 × 4 2 μ m² である。

40

【 0 0 1 9 】

また、上記の 3 本の異なる光学特性を持つ受光素子列は、R、G、B の各センサが原稿の同一ラインを読み取るべく、互いに平行に配置されるように、同一のシリコンチップ上においてモノリシック構造をとる。これは、R G B 三原色のフィルタが形成してあるフォトダイオードからなる読み取り開口部画素 2 0 2 4 - 1、2 0 2 4 - 2、2 0 2 4 - 3 からなり、R、G、B それぞれ 3 つの読み取りラインは副走査方向に 1 画素 4 2 μ m 間隔で読

50

み取り画素のラインが構成される。主走査方向の画素ピッチも $42\ \mu\text{m}$ 間隔で構成される。この開口部のフォトダイオードフォトセンサによって、蓄積時間の間、入射光量に対応した電荷が発生する。

【0020】

電荷転送部 2024-4 では、次のように電荷の授受がある。すなわち、1ラインの先頭のタイミングで、シフトパルスを与えることにより、開口部画素 2024-1、2024-2、2024-3 から電荷が電荷転送部 2024-4 に移動する。さらに、電荷転送部 2024-4 に移動した電荷は、転送クロックの受信のタイミングで、G B R G B R . . . の順番（すなわち、開口部画素 2024-1、2024-2、2024-3 に蓄積された信号を互いに交互の順番）に出力アンプ部 2024-5 に時分割で転送される。出力アンプ部 2024-5 にて、電荷を電圧に変換した後、電圧出力として G B R G B R の順番に信号が出力される。また、図示しない画素において遮光されており、後述するオフセットのための基準信号を出力するいわゆるオプティカルブラック（O B : Optical Black）部がチップごとに形成されている。

10

【0021】

図5に上述したカラーラインセンサ 2024 を有する C I S モジュール 202 からの出力信号 O S 1 ~ O S 16 を示す。

【0022】

図6は、カラーラインセンサ 2024 を図4に対して巨視的に見た図である。基板 2024-6 上に、16個のセンサチップとしての C C D チップが直線上に実装されて形成されている。それぞれのチップから、信号が出力されるため、それぞれのチップに対応して同時に、あるいは順番に 16 c h (c h : C h a n n e l) の信号が読み出される。チップごとに O B 部を有することは前述のとおりである。本実施の形態ではチップ単位でチャンネルが設けられている。したがって、16チャンネルからそれぞれ O B 信号と有効画素信号とをチャンネル単位で別々に出力することができる。

20

【0023】

16 c h の信号は、アナログ信号処理部 101 にて、ゲインオフセット調整されたあと、A / D コンバータ 102 にてデジタル信号に変換される。

【0024】

ここで、イメージキャナ部 200 において、図1に示すように、A D F の原稿圧板 203 にて原稿台ガラス（プラテン）205 上に載置された原稿 2024-1 を、図2に示す C I S モジュール 202 内の照明光源 2022 からの光で照射する。この原稿 204-1 からの反射光はレンズ 2023 によりカラーラインセンサ 2024 上に像を結ぶ。

30

【0025】

また、流し読みガラス 208 の位置に C I S 204 を移動させることにより、A D F 203 から連続的に原稿を供給して読み取ることができる。

【0026】

カラーラインセンサ 2024 は、原稿からの光情報を色分解して、それによりフルカラー情報のレッド（R）、グリーン（G）、ブルー（B）成分を読み取った後、信号処理部 100 に送る。カラーラインセンサ 2024 の各色成分に対応した信号を読み取るそれぞれのラインセンサの列は、各々が 7500 画素から構成されている。これにより、原稿台ガラス 205 上に載置される原稿の中で最大サイズである、A3 サイズの原稿の短手方向 297 mm を 600 d p i の解像度で読み取る。

40

【0027】

なお、C I S モジュール 202 は速度 V で、その電氣的な走査方向（以下、主走査方向という）に対して垂直方向（以下、副走査方向という）に機械的に動くことにより、原稿 204-1 の全面を走査する。

【0028】

濃度基準としての標準白色板 206 における反射光の読み取りにより、カラーラインセンサ上に形成されている R、G、B センサ 2024-1 ~ 2024-3 での読み取りデータ

50

の補正データを発生する。この標準白色板 206 は、可視光でほぼ均一の反射特性を示し、可視では、白色の色を有している。本実施の形態では、この標準白色板 206 を用いて、R、G、B センサ 2024-1 ~ 2024-3 からの出力データの補正を行なう。

【0029】

また、画像信号処理部 209 では、読み取られた信号を電氣的に処理し、マゼンタ (M)、シアン (C)、イエロー (Y)、ブラック (Bk) の各成分に分解して、それをプリンタ部 200 に送る。また、本実施の形態では、イメージスキャナ部 201 における 1 回の原稿走査 (スキャン) につき、M、C、Y、Bk の内、1 つの成分がプリンタ部 300 に送られ複写プリントアウトが完成する。

【0030】

プリンタ部 300 では、イメージスキャナ部 301 からの M、C、Y、Bk の各画像信号がレーザドライバ 312 に送られる。レーザドライバ 312 は、画信号に応じて半導体レーザ 313 を変調駆動する。そして、レーザ光は、ポリゴンミラー 314、f- レンズ 315、ミラー 316 を介して、感光ドラム 317 上を走査する。

【0031】

現像器は、マゼンタ現像器 319、シアン現像器 320、イエロー現像器 321、ブラック現像器 322 により構成され、これら 4 つの現像器が交互に感光ドラム 317 に接して、感光ドラム 317 上に形成された M、C、Y、Bk の静電潜像を、対応するトナーで現像する。また、転写ドラム 323 は、用紙カセット 324、または用紙カセット 325 より給紙された用紙を転写ドラム 323 に巻き付け、感光ドラム 317 上に現像されたトナー像を用紙に転写する。

【0032】

このようにして、M、C、Y、Bk の 4 色についてのトナー像が順次、転写された後、用紙は、定着ユニット 326 を通過して排紙される。

【0033】

次に、画像信号処理部 100 について説明する。

【0034】

図 7 は、本実施の形態に係るイメージスキャナ部 200 の画像信号処理部 100 における画像信号の流れを示すブロック図である。各ブロックは制御手段としての CPU 108 により制御される (CPU: central processing unit)。具体的には、同図に示すように CIS モジュール 202 より出力される画像信号は、アナログ信号処理部 101 に入力され、そこでゲイン調整、オフセット調整 (クランプ回路などによるアナログ信号の信号レベル差の相殺) をされた後、A/D コンバータ 102 で、各色信号ごとに 10 bit のデジタル画像信号 R1、G1、B1 に変換される。このとき、CIS モジュールから出力された信号 (前述の図 4 で述べたように開口部画素 2024-1、2024-2、2024-3 に蓄積された信号を互いに交互の順番で出力された信号) は、アナログ信号処理部 101 における並び替え部の機能により、R、G、B それぞれの出力に並び替えられた後、A/D 変換部 102 に入力される。この並び替えによって、後述する図 11 の画像信号のように R1、G1、B1 が生成されることになる。

【0035】

なお、図 8 に信号の並び替えの構成を説明する。すなわち、CIS モジュール 202 から出力された Chip 1 ~ Chip N のそれぞれの信号 OS1 ~ OS16 は、アナログ信号処理部 101 に入力され、A/D 変換部 102 によってデジタル信号に変換される。そして並び替え部 105 によって、後述する図 11 の画像信号のように R1、G1、B1 が生成されることになる。R0、G0、B0 と R1、G1、B1 とはアナログ信号、デジタル信号である点において互いに異なる。

【0036】

次にシェーディング補正部 103 に入力され、色ごとに標準白色板 206 を読み取った際の有効信号を用いたシェーディング補正が施される。クロック発生部 121 は、1 画素単位のクロックを発生する。また、主走査アドレスカウンタ 122 では、クロック発生部 1

10

20

30

40

50

21からのクロックを計数し、1ラインの画素アドレス出力を生成する。そして、デコーダ123は、主走査アドレスカウンタ122からの主走査アドレスをデコードして、シフトパルスやリセットパルス等のライン単位のセンサ駆動信号や、カラーイメージセンサからの1ライン読み取り信号中の有効信号領域を示すVE信号、ライン同期信号HSYNCを生成する。なお、主走査アドレスカウンタ122はライン同期信号HSYNCに基づいてクリアされ、次ラインの主走査アドレスの計数を開始する。

【0037】

図9は、有効画像信号のレベル差（例えば、均一の濃度基準板を読み込んだときのライン内での各画素信号のレベル差）をオフセットするシェーディング補正部104を説明する図である。簡単のため、RGBのうちのひとつのみ示している。また、図10は、シェーディング補正部104の動作フローを示す図である。当該動作フローは制御手段としてのCPU105により制御される。

10

【0038】

本実施の形態におけるシェーディング補正を行なうためのデータ採取動作にあつては、まず、画像を読み取るJOBの指示を受けた場合（ステップS10）、最初に光源を消す（ステップS11）。光源が消灯され、開口部のフォトセンサ2024-1~3には、光が入力されないようにしている状態で、画素ごとに黒基準（黒オフセットレベル）としての信号Bk(i)を読み取り（ステップS12）、画素ごとにラインメモリA1043に格納保存する（ステップS13）。ここで格納される信号Bk(i)は、入力される信号レベルを演算することで黒信号としての基準レベルへ補正するための信号レベルである。

20

【0039】

次に、濃度基準板としての白基準板の位置にて、光源を点灯させる（ステップS14）。光源が点灯されている状態で、白基準の信号WH(i)を画素ごとに読み取る（ステップS15）。

【0040】

この信号WH(i)に対して白シェーディング補正データに変換する（式1）のような演算を行って（ステップS16）、その結果をラインメモリB1044に格納保存する（ステップS17）。なお、ラインメモリA1043とラインメモリB1044とは、本実施の形態のように別の記憶媒体として形成されても、あるいは同一の記憶媒体として形成してもかまわない。

30

【0041】

$$1 / (WH(i) - Bk(i)) \cdots (式1)$$

実際の画像読取の際には、ラインメモリA、ラインメモリBに保存されているデータを利用して、（式2）のような演算がリアルタイムでCISモジュール202から入力される有効画素信号ごとに行われ、シェーディング補正後のデータとして出力される。

【0042】

【外1】

$$OUT(i) = \underbrace{IN(i)}_{\text{ラインメモリA}} - \underbrace{Bk(i)}_{\text{ラインメモリB}} \times \frac{1}{WH(i) - Bk(i)} \cdots (式2)$$

40

【0043】

ここで信号IN(i)は、i番目の画素の入力信号、信号OUT(i)はi番目の画素の出力信号、信号Bk(i)はラインメモリAのi番目の画素の黒基準（黒オフセットレベル）である。そして、上述のとおり1/(WH(i) - Bk(i))は、i番目の画素の白シェーディング補正データである。

【0044】

50

なお、上述のように信号 $B_k(i)$ が画素ごとにメモリ A1043 に格納保存される理由は以下のとおりである。すなわち、一般に、縮小光学系に比べて C I S の場合には、1 画素が大きいため黒のノイズが大きいこと、また、2 複数のチップについてそれぞれオフセットの値が異なることなどから、画素ごとにオフセットレベルを補正する必要がある。したがって画素ごとの補正值を格納するだけのメモリが必要であるという特徴がある。一方、縮小光学系での C C D で前述の 1 2 の理由がなければ、黒シェーディングにあっては、画素ごとの補正值を保存格納するのではなく、センサ単位（センサの 1 ラインの画素を O D D と E V E N に分けて出力する場合には、O D D と E V E N ごと）のオフセット補正のための補正值を格納保存し、当該補正值を使ってシェーディングを行なうことが一般である。

10

【0045】

図 11 は C I S モジュール 203 から出力された信号を並び替えた後である R G B 信号のうち、1 の信号のタイミングチャートを示す図である。

【0046】

図 5 で説明したように C I S モジュールから出力された信号は、画像信号として、ライン同期信号 H S Y N C に対応して、まずはしばらくダミー信号が出力される。次に有効画素領域の信号が出力されることとなり、 n 個のセンサチップの信号が、先頭チップから順番に、Chip 1、Chip 2、・・・、Chip N のように出力される。本実施の形態では、N は 16 までである。また Chip ごとに 468 画素の画素を持ち、したがって、 $468 \times 16 = 7488$ 画素の有効画素の信号が出力される。そして、O B（光学的黒）画素信号が、Chip 1（O B）、Chip 2（O B）、・・・、Chip N（O B）の順番に各々、4 画素ずつ出力される。その後、再びダミー画素が出力される。

20

【0047】

並び替えることによって、互いに異なる波長領域の光である R、G、B のそれぞれの信号系統（R1、G1、B1）に出力する。これにより R、G、B 交互に出力されていた信号（図 5 参照）について、絵の画像として成り立つ順番にする。また、O B 信号についても各チップからの出力をまとめるよう並び替えることで適切なクランプ期間を確保できるとともに、並び替え前には錯綜しており困難であった、O B 画素のデータが容易にサンプリングできるようになり、各チップ間の熱変動を伴った経時基準信号の変動を捕らえることができる。

30

【0048】

図 12 は、黒オフセット変動補正部 103 を説明する図である。また、図 13 は、黒オフセット変動補正部 103 などを利用した本実施の形態における黒オフセットレベルの補正動作を説明するフローチャートである。この黒オフセット変動補正部 103 などの動作は制御部 CPU 108 により制御される。

【0049】

以下の説明は、16 個あるチップのうち Chip 1 から出力される信号について主として説明する。それ以外の Chip から出力される信号についても同様だからである。

【0050】

まず、図 10 を用いて上述に説明したように、ジョブ（JOB：たとえばオペレータの指示などに基づく画像読み取り動作）の最初に、第 1 の O B 信号として各チップの O B 画素部（遮光部）からの出力信号を読み取る（ステップ S30）。次に、A D F を使った流し読みにおける読み取りの紙間にて、第 2 の O B 信号として各チップの O B 画素部の出力信号を読み取る（ステップ S31）。これは、シェーディング補正部 104、黒オフセット変動補正部 103 をスルーにして、つまりシェーディング補正部 104、黒オフセット変動補正部 103 において信号補正を行わずに、黒オフセットモニタ 106 を使用して行なうよう制御される。なお、シェーディング補正部 104 の前の信号を黒オフセット量モニタ部 106 でモニタにする場合には、上記のスルー処理は行わずに済むであろう。

40

【0051】

ここで黒オフセットモニタ 106 は後述するように加算平均値を保持する機能を持つ。す

50

なわち制御手段CPU106からこのデータにアクセスして(式3)の演算を行なう(ステップS32)。

【0052】

$$\text{Chip1}(\text{OB}(0)) - \text{Chip1}(\text{OB}(k)) = \text{Chip1}(D) \\ \dots (\text{式3})$$

(式3)中のChip1(OB(0))はジョブ開始時のChip1のOB画素データ、Chip1(OB(k))はジョブの途中の紙間(複数原稿がある場合のその原稿読み取りと原稿読み取りとの時間的間)にて採取したChip1のOB画素のデータである。変数kは紙間の回数に対応する。また、Chip1(D)はそれらの差分である。なお上述のように他のチップからの出力信号についても同様に、Chip2(D)、Chip3(D)、 \dots 、ChipN(DN)としてオフセットレベルの補正用のデータが求められる。制御手段108により補正用のデータとしての補正值が、加減算設定部1037に書き込まれる。

10

【0053】

以上の設定を紙間にて行なうのである。このように紙間で行なうのは、被写体としての紙と紙との読み取りの間に僅かながらの時間があり、当該時間を利用するためである。したがって、本実施の形態では紙間において上記設定を行なう構成としたが、これに限るものではなく、所定の時間に応じて上記設定を行なう構成にしても構わない。ただし、この場合、画像読み取り速度に影響が出る場合があるかもしれない。

【0054】

さて、次の原稿2024-2が、ADF203から供給されると、原稿の読み取り中、加減算値設定部1037は、信号HSYNCと信号VCLKに応じて、黒オフセットレベルの変動を補正する。これは、図10に示した有効画素中の各チップに対応する補正值を図11に示したタイミングチャートに従って、RGB各々のレジスタ1034、1035、1036にロードして、加算器1031、1032、1033を使用することで黒レベルオフセット変動の補正を行なう(ステップS33)。上述の差分(ChipN(D))から黒オフセット変動補正回路103において、有効画素信号の黒オフセットレベルの変動を逐次補正するのである。これによりJOBの最初の状態における黒オフセットレベルに各チップ単位(OBは各チップに配設されているため)で、シェーディング補正部104でシェーディング補正されるのである(ステップS34)。

20

30

【0055】

このようにして、原稿204-1(数十枚)からの反射画像を数分にわたって読み取る場合においても、黒レベルにおけるオフセットの変動を抑制し、JOBの最初の状態、すなわちセンサのライン単位での基準信号レベルのズレが解消された最初のシェーディング補正直後の基準信号レベルを維持することができる。

【0056】

特にマルチチップセンサなどの複数のチップにより構成され、複数のチャンネルごとに信号が出力されるセンサを使用した場合には有効である。こういった場合、チップごとにオフセットレベルの経時変動が異なって現れるため、有効信号の基準レベルがチャンネルごとに異なることになってしまい、結果読み取り画像に基準レベルの相違がスジとして表れることになるからである。本実施の形態の発明によれば、こうした読み取り画像のスジを極めて効率よく軽減できる。加えて、画像出力(画像入力)の生産性は維持されるのである。

40

【0057】

別言すれば、CISで縮小光学系と比して顕著になる黒のレベルが、徐々に変動してしまう問題が解決され、第一に画像の黒レベルの絶対レベル変動を効果的に抑制でき、第二に複数チップ間の黒レベルの変動量が不均一である場合においても、画像に複数チップの各々に相当する画像領域ごとに、輝度段差が発生してしまい視覚品質上著しい劣化をもたらす問題を解決できる。

【0058】

これはCISでセンサから複数チャンネルから出力される信号の並び替えを行なう場合には

50

特に有効である。

【0059】

また、前述のCISモジュール202はRGBの3ラインセンサで構成したが、複数のチップで構成される1ラインセンサでも本実施の形態で説明した技術に有効な技術である。

【0060】

上記のようにアナログプロセッサ101においてアナログ信号のオフセット変動補正を行なうのは次の理由からである。すなわち、前述のようにアナログプロセッサ自体も発熱をおこし、したがって、アナログプロセッサでのオフセットレベルの経時変動が起こるからである。このことは本実施形態のように複数チャンネルを有する場合には信号量が多いのでなお一層顕著であるといえるかもしれない。

10

【0061】

なお、本実施の形態では、図7に示された画像処理部100により構成したが、これに限られるものではなく例えば、図14に示された画像処理部100Aにより構成しても構わない。以下に本構成における実施の形態を説明するが、図14においては、図7と同様のブロックについては同じ番号を付し、その説明を省略する。

【0062】

図14に示された画像処理部100Aは、シェーディング補正部104への信号の入力に先立って各チャンネルのOB信号を黒オフセット量モニタ106で検出し、この検出したそれぞれのOB信号に基づいてシェーディング補正を行なう構成である。言い換えれば格納手段としてのラインメモリAとラインメモリBとに格納されたCISモジュール202からの信号を遮光部であるOB部から出力されるチャンネルごとのOB信号としての $B_k(i)$ 信号に基づいてそれぞれ補正した後、チャンネルごとの有効信号としての $IN(i)$ 信号をそれぞれ補正して $OUT(i)$ 信号を出力するようCPU108が制御するのである。

20

【0063】

次に、図15を用いて図14の画像処理部100を用いた場合の動作フローについて説明する。なお、この動作フローは制御手段としてのCPU108によって制御されるものである。なお、上述の図10に示された動作フローにしたがってラインメモリA、ラインメモリBにそれぞれデータが保存される。その後図15に示した動作フローによる。また、図中動作フローはチャンネル1について記載したものであるが、ほかのチャンネルからの出力も同様の動作フローとなる。

30

【0064】

まず、第3のOB信号として黒オフセットモニタ106によりチャンネルごとのOB信号がそれぞれ読み取られる(ステップS51)。そのそれぞれの第3のOB信号によりラインメモリA、ラインメモリBにチャンネルごとにそれぞれ保存されているデータ $B_k(i)$ とデータ $1/(WH(i) - B_k(i))$ を加減算補正する(ステップS52)。その演算結果をチャンネルごとにラインメモリA、Bに保存格納し(ステップS53)、その後の画像読み取りにおいては、有効画像信号に対してラインメモリA、Bに保存格納されているデータを用いて上述のようなシェーディング補正を行なう(ステップS54)。

【0065】

上述のように図7に示された画像処理部100以外に例えば図14に示した画像処理部100Aで本実施の形態を構成しても構わない。なお、図14に示した画像処理部100Aで構成した場合、シェーディング補正部104で記憶格納されているCISモジュール202が遮光された状態での出力信号を黒オフセット量モニタ106での検出結果において補正しなければならないので、図7に構成した画像処理部100でのデータの記憶容量よりも大きくななければならない。

40

【0066】

<第2の実施の形態>

図16に基づいて、本発明の画像読み取り装置をシートフィード式の装置に適用した場合の一実施例について詳述する。

【0067】

50

図16は、本実施の形態における原稿画像を読み取る原稿画像読取装置の概略図である。

【0068】

501は、密着型のイメージセンサ（以下“CIS”とも呼ぶ）であり、固体撮像素子502、セルフオックレンズ503、LEDアレイ504及びコンタクトガラス505から構成されている。

【0069】

搬送ローラ506は、CIS1の前後に配置されており、原稿を配置させるために使用される。コンタクトシート507は、原稿をCIS501に接触させる為に使用される。510は、制御回路であり、CIS501からの信号の処理を行ない、第1の実施の形態での制御部108と同様の制御機能を有する。

10

【0070】

原稿検知レバー508は、原稿が差し込まれたことを検知するためのレバーであり、原稿が差し込まれたことを検知すると、原稿検知レバー508が傾くことにより、原稿検知センサ509の出力が変化することにより、その状態を制御回路510内のCPUに伝達することにより、原稿が差し込まれたと判断して、原稿搬送ローラ506駆動用モータ（図示せず）を駆動させることにより、原稿搬送を開始させ読み取り動作を行なう。

【0071】

上記のような構成においても、第1の実施の形態と同様の効果を得ることができる。

【0072】

<その他の実施の形態>

20

上述の各実施例の画像読取装置は、上述の各実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）としての前述の制御手段108が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることはいうまでもない。

【0073】

この場合、記憶媒体から読出されたプログラムコード自体が前述した実施例の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0074】

プログラムコードを供給するための記憶媒体としては、例えば、フロッピディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどを用いることができる。

30

【0075】

また、コンピュータが読出したプログラムコードを実行することにより、前述した実施例の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS（オペレーティングシステム）などが実際の処理の一部または全部を行ない、その処理によって前述した実施例の機能が実現される場合も含まれることはいうまでもない。

【0076】

さらに、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行ない、その処理によって前述した実施例の機能が実現される場合も含まれることはいうまでもない。

40

【0077】

【発明の効果】

以上説明したように、本発明によれば、複数のチップを有する場合に生じやすい熱変動を伴った経時基準信号の変動を効率的に抑制することで良好な画像読み取りを行なうことができる。

50

【図面の簡単な説明】

【図 1】本実施の形態における実施例の複写機の構成を示す図である。

【図 2】本実施の形態における C I S の断面を示す図である。

【図 3】本実施の形態における C I S の構成を示す図である。

【図 4】本実施の形態における C I S の微視的構造を示す図である。

【図 5】本実施の形態における C I S モジュールからの信号読み出し動作を示す図である。

【図 6】本実施の形態における C I S の巨視的構造を示す図である。

【図 7】本実施の形態における画像処理部 1 0 0 を示す図である。

【図 8】本実施の形態の並べ替えの構成を示す図である。

10

【図 9】本実施の形態におけるシェーディング補正部 1 0 4 を示す図である。

【図 1 0】本実施の形態におけるシェーディング補正動作を示すフロー図である。

【図 1 1】本実施の形態におけるタイミングチャートを説明する図である。

【図 1 2】本実施の形態における黒オフセット変動補正部を説明する図である。

【図 1 3】本実施の形態におけるオフセットレベルの補正動作を示すフロー図である。

【図 1 4】本実施の形態における画像処理部 1 0 0 A を示す図である。

【図 1 5】本実施の形態における画像処理部 1 0 0 A で構成した場合の動作を示すフロー図である。

【図 1 6】本実施の形態におけるシートフィード式の装置を示す図である。

【符号の説明】

20

1 0 0 信号処理部

1 0 1 アナログイメージプロセッサ部

1 0 2 A / D コンバータ

1 0 3 黒オフセット変動補正部

1 0 4 シェーディング補正部

1 0 6 黒オフセット量モニタ部

1 0 7 画像処理部

1 0 8 C P U

1 2 1 クロック発生部

1 2 2 主走査アドレスカウンタ

30

1 2 3 デコーダ

2 0 0 イメージスキャナ部

2 0 2 C I S モジュール

2 0 3 A D F

2 0 4 - 1 被写体としての原稿

2 0 4 - 2 被写体としての原稿

2 0 5 原稿台ガラス (プラテン)

2 0 6 標準白色板

2 0 8 流し読みガラス

2 0 9 画像信号処理部

40

1 0 3 1 加算器

1 0 3 2 加算器

1 0 3 3 加算器

2 0 2 1 カバーガラス

2 0 2 2 照明光源

2 0 2 3 等倍結像レンズ

2 0 2 4 カラーラインセンサ

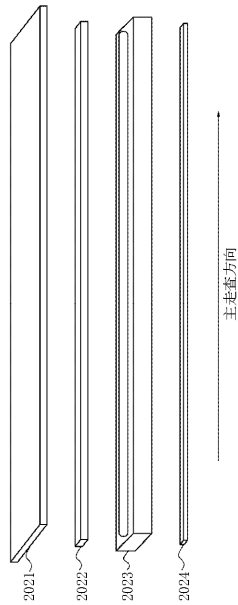
2 0 2 4 - 1 開口部

2 0 2 4 - 2 開口部

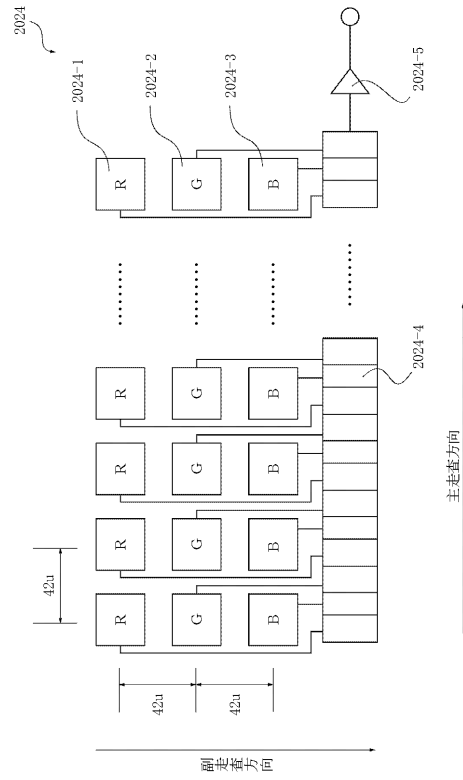
2 0 2 4 - 3 開口部

50

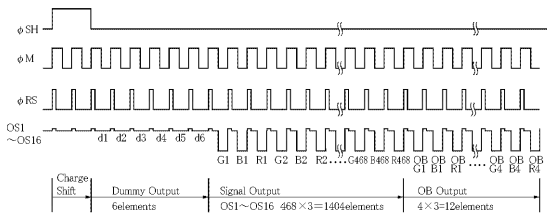
【 図 3 】



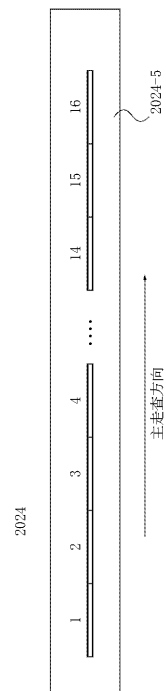
【 図 4 】



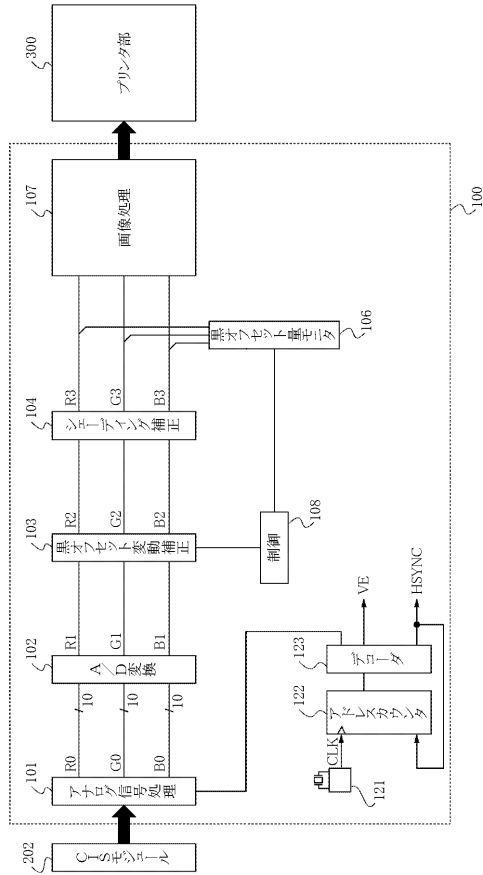
【 図 5 】



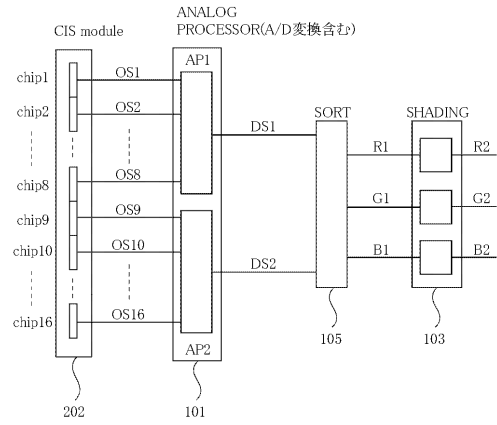
【 図 6 】



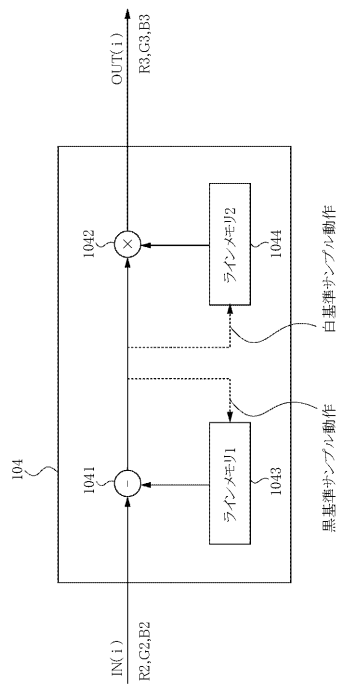
【図7】



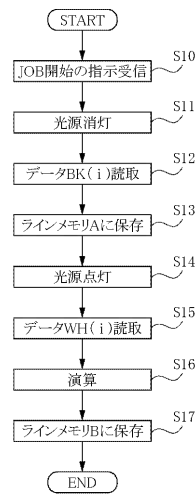
【図8】



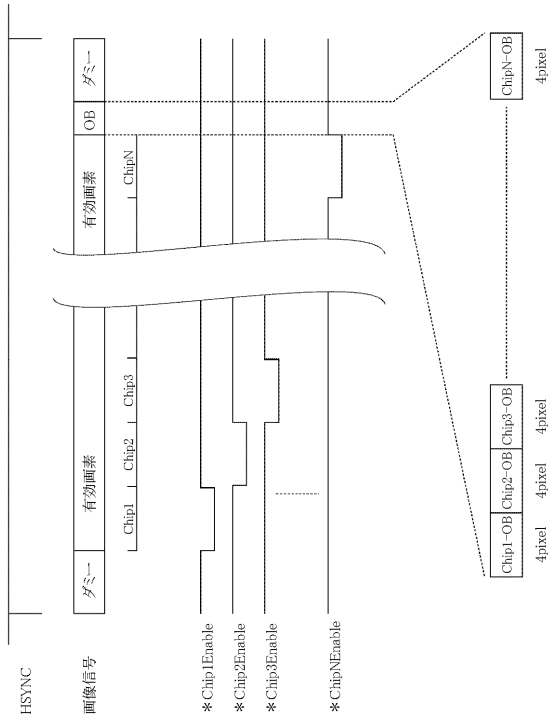
【図9】



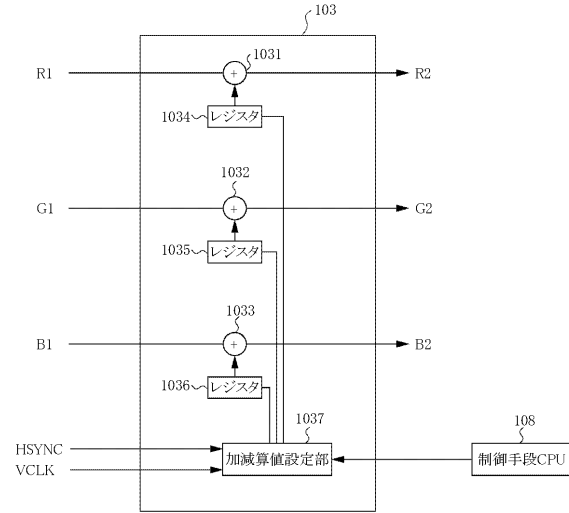
【図10】



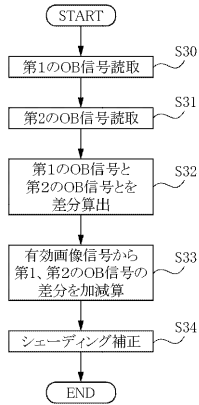
【図11】



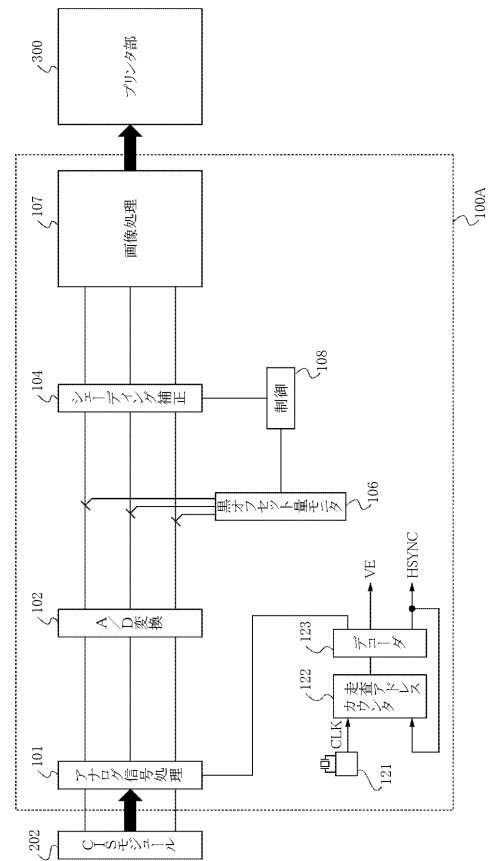
【図12】



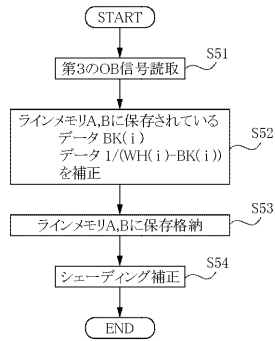
【図13】



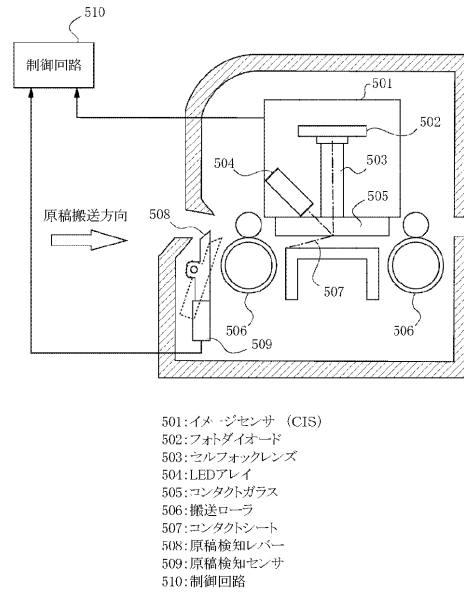
【図14】



【図15】



【図16】



フロントページの続き

(56)参考文献 特開平06-164938(JP,A)
特開2001-028666(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 1/024-1/207