



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I590249 B

(45)公告日：中華民國 106 (2017) 年 07 月 01 日

(21)申請案號：100143740

(22)申請日：中華民國 100 (2011) 年 11 月 29 日

(51)Int. Cl. : G11C14/00 (2006.01)

G11C11/413 (2006.01)

(30)優先權：2010/12/03 日本

2010-270534

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：遠藤正己 ENDO, MASAMI (JP) ; 王丸拓郎 OHMARU, TAKURO (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 10-334671A

JP 2000-077982A

US 6317377

US 7675810B2

US 7732819B2

US 2009/0045397A1

US 2010/0085081A1

審查人員：蕭明椿

申請專利範圍項數：16 項 圖式數：10 共 85 頁

(54)名稱

積體電路，其驅動方法，及半導體裝置

INTEGRATED CIRCUIT, METHOD FOR DRIVING THE SAME, AND SEMICONDUCTOR DEVICE

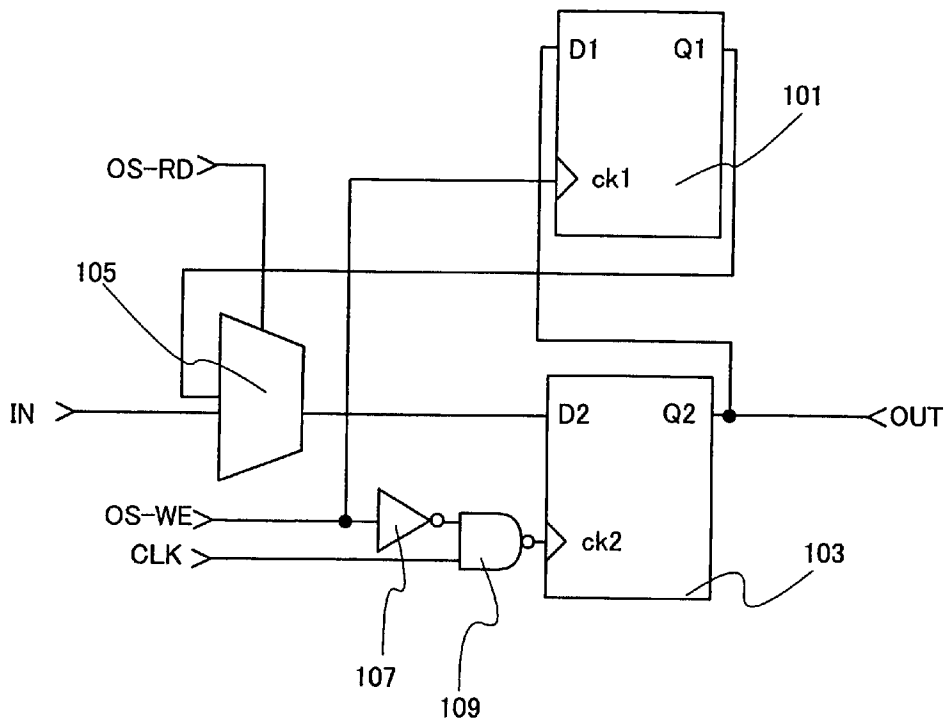
(57)摘要

本發明提供一種能夠迅速轉變為停止狀態且從停止狀態恢復的積體電路。本發明提供一種能夠降低耗電量而不使工作速度降低的積體電路。或者，本發明提供該積體電路的驅動方法。本發明提供一種積體電路，包括：揮發性第一正反器；以及具備非揮發性記憶體電路的第二正反器，其中，在供應電力的工作狀態下，第一正反器保持資料，而在停止供應電力的停止狀態下，第二正反器保持資料，並且，在從工作狀態轉變為停止狀態時從第一正反器將資料移動到第二正反器，而在從停止狀態恢復為工作狀態時從第二正反器將資料移動到第一正反器。

An integrated circuit which can be switched to a resting state and can be returned from the resting state rapidly is provided. An integrated circuit whose power consumption can be reduced without the decrease in operation speed is provided. A method for driving the integrated circuit is provided. The integrated circuit includes a first flip-flop and a second flip-flop including a nonvolatile memory circuit. In an operating state in which power is supplied, the first flip-flop retains data. In a resting state in which supply of power is stopped, the second flip-flop retains data. On transition from the operating state into the resting state, the data is transferred from the first flip-flop to the second flip-flop. On return from the resting state to the operating state, the data is transferred from the second flip-flop to the first flip-flop.

指定代表圖：

圖 1



符號簡單說明：

101 . . . 非揮發性

FF

103 . . . 揮發性 FF

105 . . . 選擇電路

107 . . . 反相器電路

109 . . . NAND 電  
路

OS-RD . . . 第一控  
制信號

OS-WE . . . 第二控  
制信號

CLK . . . 時鐘信號

OUT . . . 外部輸出  
資料

IN . . . 外部輸入資  
料

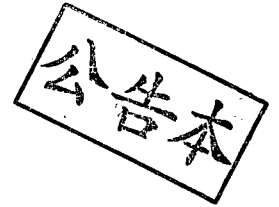
ck1、ck2 . . . 時鐘  
輸入端子

D1、D2 . . . 輸入端  
子

Q1、Q2 . . . 輸入端  
子

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)



※申請案號：100143740

※申請日：100年11月29日

※IPC分類：

G11C 14/00 (2006.01)

G11C 11/413 (2006.01)

## 一、發明名稱：(中文/英文)

積體電路，其驅動方法，及半導體裝置

Integrated circuit, method for driving the same, and semiconductor device

## 二、中文發明摘要：

本發明提供一種能夠迅速轉變為停止狀態且從停止狀態恢復的積體電路。本發明提供一種能夠降低耗電量而不使工作速度降低的積體電路。或者，本發明提供該積體電路的驅動方法。本發明提供一種積體電路，包括：揮發性第一正反器；以及具備非揮發性記憶體電路的第二正反器，其中，在供應電力的工作狀態下，第一正反器保持資料，而在停止供應電力的停止狀態下，第二正反器保持資料，並且，在從工作狀態轉變為停止狀態時從第一正反器將資料移動到第二正反器，而在從停止狀態恢復為工作狀態時從第二正反器將資料移動到第一正反器。

### 三、英文發明摘要：

An integrated circuit which can be switched to a resting state and can be returned from the resting state rapidly is provided. An integrated circuit whose power consumption can be reduced without the decrease in operation speed is provided. A method for driving the integrated circuit is provided. The integrated circuit includes a first flip-flop and a second flip-flop including a nonvolatile memory circuit. In an operating state in which power is supplied, the first flip-flop retains data. In a resting state in which supply of power is stopped, the second flip-flop retains data. On transition from the operating state into the resting state, the data is transferred from the first flip-flop to the second flip-flop. On return from the resting state to the operating state, the data is transferred from the second flip-flop to the first flip-flop.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件代表符號簡單說明：

101：非揮發性 FF

103：揮發性 FF

105：選擇電路

107：反相器電路

109：NAND 電路

OS-RD：第一控制信號

OS-WE：第二控制信號

CLK：時鐘信號

OUT：外部輸出資料

IN：外部輸入資料

ck1、ck2：時鐘輸入端子

D1、D2：輸入端子

Q1、Q2：輸入端子

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體電路、具有多個半導體電路的積體電路、積體電路的驅動方法以及使用積體電路的半導體裝置。

### 【先前技術】

近年來，資訊化社會進一步發展，對於個人電腦、行動電話等的高速化、大容量化、小型化、輕量化等的要求增高。在這種時代的趨勢中，要求大型積體電路（LSI：Large Scale Integration）或中央處理單元（CPU：Central Processing Unit）的高整合化、工作高速化、低耗電化。

LSI 或 CPU 等的積體電路安裝在電路基板或印刷線路板上，而用作各種電子裝置的部件之一。

使用積體電路的電子裝置的工作時和待機時的耗電量都受到重視。尤其是在可攜式電子裝置中，將電池用作電源，因此電力量有限，而可以使用的時間受到限制。此外，在車載電子裝置中，如果待機時的耗電量大，則有可能導致電池的使用壽命的降低。另外，在電動汽車中，因車載電子裝置的洩漏電流而每一定充電量的行車距離變短。

爲了減少積體電路的待機時的耗電量，有效的是在積體電路所具有的半導體電路不進行運算的狀態下關閉電源。例如，已知如下方法（參照專利文獻 1）等，即：與積體電路在同一晶片上設置電源斷路器，並且利用電源斷路

器選擇性地使積體電路轉變為停止狀態來抑制耗電量。

但是，在積體電路所包括的半導體電路為揮發性半導體電路的情況下，當關閉積體電路的電源時，在半導體電路內正在被處理的資料消失。作為解決這種課題的方法，如下技術已被公開，即：除了積體電路以外，另行還設置即使關閉電源也能夠保持資料的記憶體電路部，並在使記憶體電路部保持資料之後關閉電源（參照專利文獻 2、3）。至於專利文獻 2 所示的積體電路，因為當積體電路停止時使非揮發性記憶體電路部保持資料，所以當停止時不需要對積體電路供應電力，從而可以降低耗電量。

[專利文獻 1] 美國專利申請公開第 2003/052730 號說明書

[專利文獻 2] PCT 國際公開第 2009/107408 號

[專利文獻 3] 美國專利申請公開第 2004/105302 號說明書

為了根據上述方法保持積體電路的資料，將容納在順序邏輯電路（例如，正反器 (FF) 等）中的資料移動到非揮發性記憶體電路部，且使該積體電路保持資料。上述順序邏輯電路是為將資料保持在積體電路內而設置的。

然而，在包括無數的 FF 的巨大積體電路等的情況下，需要對記憶體電路部寫入無數的 FF 所保持的大量的資料。因此，在除了積體電路以外另行還設置記憶體電路部的情況下，因為藉由有限個數的信號線移動大量的資料，所以從積體電路寫入到記憶體電路部的工作費時間，而不



能迅速轉變為停止狀態。其結果，因為不能頻繁地停止積體電路，所以減少耗電量的效果變小。

另外，當恢復工作時從記憶體電路部讀出停止之前的資料且在積體電路的各 FF 中容納該資料的工作也費時間，因此從停止狀態高速恢復是困難的。

### 【發明內容】

在上述技術背景下研究開發了本發明。因此，本發明的課題之一是提供一種能夠迅速轉變為停止狀態且從停止狀態恢復的積體電路。本發明的課題之一是提供一種能夠降低耗電量而不使工作速度降低的積體電路。或者，本發明的課題之一是提供一種該積體電路的驅動方法。

於是，本案發明人按積體電路所具備的每個 FF 保存資料。FF 為保持 1 位元的資料的順序邏輯電路。因此，藉由按每個 FF 保存資料，即使在包括無數的 FF 的巨大積體電路等的情況下，多個 FF 的每一個也按每 1 位元移動資料，即可。這樣能夠僅費移動 1 位元的資料的時間移動無數的 FF 的資料，從而可以迅速轉變為停止狀態。

明確而言，將每個高速工作的 FF（在本說明書中稱為揮發性 FF）電連接到用來儲存揮發性 FF 的工作狀態且即使電力供應停止也能夠保持資料的 FF（在本說明書中稱為非揮發性 FF）。

在工作時使用高速工作的揮發性 FF，而在待機時從揮發性 FF 將資料移動到非揮發性 FF，然後停止電力供應

而轉變為停止狀態。由於每個揮發性 FF 設置有非揮發性 FF，所以所移動的資料小，從而可以在短時間內移動資料。

另外，因為在恢復時也藉由各 FF 移動 1 位元的資料來可以恢復揮發性 FF 的資料，所以可以迅速恢復運算。再者，因為藉由輸入時鐘來控制從非揮發性 FF 輸出資料，非揮發性 FF 與揮發性 FF 同步，所以可以確實地從非揮發性 FF 將資料移動到揮發性 FF。

另外，因為可以迅速從工作狀態轉變為停止狀態且從停止狀態恢復為工作狀態，所以可以頻繁地轉變為停止狀態，從而可以降低耗電量。

換言之，本發明的一個實施例是一種積體電路，包括：第一正反器；以及具有非揮發性記憶體電路的第二正反器，其中，在供應電力的工作狀態下第一正反器保持資料，在電力供應停止的停止狀態下第二正反器保持資料，並且，在從工作狀態轉變為停止狀態時從第一正反器將資料移動到第二正反器，在從停止狀態恢復為工作狀態時從第二正反器將資料移動到第一正反器。

另外，本發明的一個實施例是一種積體電路，包括：第一正反器；以及具備非揮發性記憶體電路的第二正反器，其中，在停止對第一正反器及第二正反器供應電力的停止狀態之前將保持在第一正反器中的資料移動到第二正反器，在停止狀態下由第二正反器保持該資料，並且，在停止狀態之後由第二正反器恢復第一正反器的該資料。

另外，本發明的一個實施例是一種積體電路，包括：被輸入第二正反器的輸出資料且選擇性地輸出被輸入的資料中的任何一個的選擇電路，其中，將選擇電路的輸出資料輸入到第一正反器，將第一正反器的輸出資料輸入到第二正反器。

根據上述本發明的一個實施例，在該積體電路中，因為按每個第一正反器設置有在停止狀態下也保持資料的非揮發性第二正反器，所以在轉變為停止狀態時，不藉由有限個數的信號線移動大量的資料，而按每個第一正反器將資料移動到非揮發性第二正反器即可，從而資料的移動在短時間內完了，可以迅速轉變為停止狀態。

如果積體電路可以迅速轉變為停止狀態，則可以頻繁地轉變為停止狀態，因此可以降低耗電量。

另外，因為在通常工作時可以使用通用的第一正反器，所以對可以使用的材料等的限制少，而也可以選擇能夠使正反器高速工作的材料等，從而可以降低耗電量，而不使工作速度降低。

另外，本發明的一個實施例是一種積體電路，其中，第二正反器包括：具備在半導體層中具有氧化物半導體的電晶體及儲存電容器的記憶體電路；以及運算部，在記憶體電路中，對在半導體層中具有氧化物半導體的電晶體的第一電極輸入所述第一正反器的輸出資料，在半導體層中具有氧化物半導體的電晶體的第二電極與所述儲存電容器的第一電極電連接，儲存電容器的第二電極接地，儲存電

容器的第一電極及在半導體層中具有氧化物半導體的電晶體的  
第二電極構成保持資料的節點，運算部具有邏輯電路，邏輯電路具有具備電連接到節點的閘極電極的電晶體，並根據由所述節點保持的資料進行工作。

根據上述本發明的一個實施例，第二正反器使用利用截止電流被降低了的氧化物半導體的電晶體及儲存電容器構成記憶體電路。因為具備藉由截止電流被降低了的電晶體在儲存電容器中保持資料的結構，所以可以實現即使停止電力供應也能夠保持資料的非揮發性正反器。藉由具有非揮發性正反器來可以在短時間內使半導體電路轉變為停止狀態，因此可以頻繁地轉變為停止狀態，從而降低耗電量。

另外，本發明的一個實施例是一種積體電路，其中在半導體層中具有氧化物半導體的電晶體層疊於第一正反器、第二正反器的運算部或第二正反器所具有的儲存電容器。因此，即使除了第一正反器以外還設置具有記憶體電路的第二正反器，也不增大電路面積，從而可以實現高整合化。

另外，本發明的一個實施例是使用該積體電路的半導體裝置。

另外，本發明的一個實施例是一種積體電路的驅動方法，其中，在第一期間第一正反器儲存第一資料，在第一期間之後的第二期間第一正反器輸出第一資料且將第一資料儲存在第二正反器中，在第二期間之後的第三期間停止

對積體電路供應電力，在第三期間之後的第四期間恢復對積體電路供應電力且輸出儲存在第二正反器中的第一資料，在第四期間之後的第五期間第一正反器儲存第一資料，並且，在第五期間之後的第六期間第一正反器儲存第二資料。

另外，本發明的一個實施例是一種積體電路的驅動方法，該積體電路包括被輸入第二正反器的輸出資料且選擇性地輸出被輸入的資料中的任何一個的選擇電路，在所述方法中，在第一期間從選擇電路輸出第一資料且第一正反器儲存第一資料，在第一期間之後的第二期間第一正反器輸出第一資料且將第一資料儲存在第二正反器中，在第二期間之後的第三期間停止對積體電路供應電力，在第三期間之後的第四期間恢復對積體電路供應電力且對選擇電路輸出儲存在第二正反器中的第一資料，在第四期間之後的第五期間從選擇電路將第一資料輸出到第一正反器且第一正反器儲存第一資料，並且，在第五期間之後的第六期間從選擇電路輸出第二資料。

在本說明書中，邏輯電路是指 AND 電路或 NOT 電路等的進行邏輯運算的電路。將上述電路也稱為邏輯運算電路。另外，在本說明書中，有時將組合多個邏輯電路而成的電路也總稱為邏輯電路。

在本說明書中，正反器（FF）是指根據控制信號儲存或輸出 1 位元的輸入資料的順序邏輯電路。也可以組合多個邏輯電路來構成 FF。

在本說明書中，半導體電路是指將多個邏輯電路、順序邏輯電路、記憶體電路等組合而成的電路。

注意，在本說明書中，“第一”、“第二”這些序數詞是爲了方便起見而使用的，並不表示製程順序或疊層順序等的特定順序。此外，這些序數詞不表示用來特定發明的事項的固有名稱。

注意，一般來說，電壓是指某兩個點的電位之間的差（又稱作電位差）。但是，因爲有時電壓值和電位值的兩者在電路圖等中都用伏特（V）來表示，所以難以區別電壓值和電位值。於是，在本說明書中，除了特別指定的情況以外，有時將某一點的電位與作爲基準的電位（也稱爲基準電位）之間的電位差用於該點的電壓。

根據本發明，可以提供能夠迅速轉變爲停止狀態且從停止狀態恢復的積體電路。可以提供能夠降低耗電量而不使工作速度降低的積體電路。或者，可以提供該積體電路的驅動方法。

#### 【實施方式】

參照圖式詳細說明實施例。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容可以在不脫離本發明的宗旨及其範圍的情況下變換爲各種各樣的形式。因此，本發明不應該被解釋爲僅限定在以下實施方式所記載的內容中。注意，在以下說明的發明結構中，在不同的圖式之間共

同使用同一圖式標記來表示同一部分或具有同一功能的部分，而省略其重複說明。

### 實施例 1

在本實施例中，對用於本發明的一個實施例的積體電路的半導體電路進行說明。本發明的一個實施例的積體電路具有多個本實施例所示的半導體電路。圖 1 示出本實施例的半導體電路。

圖 1 所示的半導體電路具有非揮發性 FF101、揮發性 FF103、選擇電路 105、反相器電路 107 以及 NAND 電路 109。對半導體電路輸入第一控制信號（OS-RD）、第二控制信號（OS-WE）、時鐘信號（CLK）、外部輸入資料（IN），並且從半導體電路輸出外部輸出資料（OUT）。

非揮發性 FF101 具有輸入端子（D1）、輸出端子（Q1）及時鐘輸入端子（ck1）。非揮發性 FF101 的輸出端子（Q1）與選擇電路 105 的一方的輸入端子電連接，非揮發性 FF101 的輸入端子（D1）與揮發性 FF103 的輸出端子（Q2）電連接，對非揮發性 FF101 的時鐘輸入端子（ck1）輸入第二控制信號（OS-WE）。當對時鐘輸入端子（ck1）輸入 H 位準的信號時，非揮發性 FF101 儲存輸入在輸入端子（D1）中的資料，並且當對時鐘輸入端子（ck1）輸入 L 位準的信號時，非揮發性 FF101 從輸出端子（Q1）輸出所儲存的資料。非揮發性 FF101 是包括即使停止電力供應也能夠保持資料的記憶體電路的 FF。

另外，FF 的輸入端子是指被輸入儲存在 FF 中的資料的佈線，而 FF 的輸出端子是指從 FF 輸出資料的佈線。FF 的時鐘輸入端子是指被輸入將 FF 的工作從資料的儲存轉換為輸出或從資料的輸出轉換為儲存的信號的佈線。

另外，非揮發性 FF101 也可以具有重設信號輸入端子。藉由對重設信號輸入端子輸入重設信號，可以以不與時鐘同步的任意時序對 FF 的內部狀態進行重設。

明確而言，用於非揮發性 FF101 的電路可以由圖 2 所示的電路構成。另外，在實施例 2 中詳細說明非揮發性 FF 的具體電路結構及工作。

揮發性 FF103 具有輸入端子 (D2)、輸出端子 (Q2) 和時鐘輸入端子 (ck2)。揮發性 FF103 的輸出端子 (Q2) 電連接到非揮發性 FF101 的輸入端子 (D1) 及半導體電路的輸出端子。揮發性 FF103 的輸入端子 (D2) 電連接到選擇電路 105 的輸出端子。對揮發性 FF103 的時鐘輸入端子 (ck2) 輸入 NAND 電路 109 的輸出信號。當對時鐘輸入端子 (ck2) 輸入 L 位準的信號時，揮發性 FF103 儲存輸入在輸入端子 (D2) 中的資料，並且當對時鐘輸入端子輸入 H 位準的信號時，揮發性 FF103 從輸出端子 (Q2) 輸出所儲存的資料。

揮發性 FF103 是當半導體電路進行通常工作時驅動的電路。因此，較佳地是，作為揮發性 FF103 使用能夠高速工作的 FF。揮發性 FF103 例如可以由圖 3 所示的電路構成。



圖 3 所示的揮發性 FF103 具有第五反相器電路 301、第一類比開關 303、第二類比開關 309、第一鎖存電路 320 及第二鎖存電路 330。

第一鎖存電路 320 具有第一反相器電路 305 及第二反相器電路 307。第一鎖存電路 320 的輸入端子與第一類比開關 303 電連接，並且第一鎖存電路 320 的輸出端子與第二類比開關 309 電連接。

輸入到第一鎖存電路 320 的資料被第一反相器電路 305 反相，而被輸出到第二類比開關 309。同時，被第一反相器電路 305 反相的資料也輸入到第二反相器電路 307，並被第二反相器電路 307 再次反相而成爲與原來的資料相同的值。將被第二反相器電路 307 反相的資料再次輸入到第一反相器電路 305 而重複相同的工作。由此，第一鎖存電路 320 藉由回饋所輸入的資料，在被供應電力的期間保持所儲存的資料。另外，將如上所述使第一類比開關 303 處於導通狀態，使第二類比開關 309 處於截止狀態，且在第一鎖存電路 320 內保持資料的狀態稱爲在揮發性 FF 中儲存資料的狀態。

第二鎖存電路 330 具有第三反相器電路 311 及第四反相器電路 313。第二鎖存電路 330 的輸入端子與第二類比開關 309 電連接，並且第二鎖存電路 330 的輸出端子與輸出端子 (Q2) 電連接。第二鎖存電路 330 藉由與第一鎖存電路 320 相同的結構及工作保持資料。另外，當使第一類比開關 303 處於截止狀態，且使第二類比開關 309 處於導

通狀態時，第一鎖存電路 320、第二鎖存電路 330、揮發性 FF103 的輸出端子處於導通狀態。如此，將揮發性 FF103 輸出資料的狀態稱為揮發性 FF 輸出資料的狀態。

揮發性 FF103 根據從時鐘輸入端子 (ck2) 輸入的信號儲存資料且輸出資料。當對時鐘輸入端子 (ck2) 輸入 L 位準的信號時，對第一類比開關 303 的控制端子輸入被第五反相器電路 301 反相的 H 位準的信號而成為導通狀態。另外，類比開關具有第一端子、第二端子及控制端子，並且當對控制端子輸入的信號為 H 位準的信號時，類比開關成為使電流從第一端子流到第二端子的導通狀態，並且當對控制端子輸入的信號為 L 位準的信號時，類比開關成為遮斷從第一端子流到第二端子的電流的截止狀態。第二類比開關 309 被輸入 H 位準的信號而成為截止狀態。因此，從輸入端子 (D2) 輸入的資料保持在第一鎖存電路 320 中。

接著，當對時鐘輸入端子 (ck2) 輸入 H 位準的信號時，第一類比開關 303 成為截止狀態且第二類比開關 309 成為導通狀態，因此將由第一鎖存電路 320 保持的資料輸入到第二鎖存電路 330 並保持該資料，並將其輸出到輸出端子 (Q2)。

因為只有揮發性邏輯電路在揮發性 FF103 中保持資料，所以當電力供應停止時，資料消失。注意，用於本發明的揮發性 FF 不侷限於圖 3 所示的電路，只要用作 FF，就可以為其他結構的電路。

另外，時鐘信號是以一定間隔重複 H 位準（也稱為 H 位準信號、高電源電位位準）和 L 位準（也稱為 L 位準信號、低電源電位位準）的信號。在正反器中，時鐘信號是從時鐘輸入端子輸入的信號，並用作將正反器的工作從資料的儲存轉換為資料的輸出的控制信號。

另外，揮發性 FF103 也可以與非揮發性 FF101 同樣具有重設信號輸入端子。

圖 1 所示的選擇電路 105 具有兩個輸入端子，對輸入端子的一方輸入非揮發性 FF101 的輸出資料，而對輸入端子的另一方輸入外部輸入資料（IN）。選擇電路 105 具有一個輸出端子，輸出端子與揮發性 FF103 的輸入端子（D2）電連接。選擇電路 105 是選擇輸入到揮發性 FF103 的資料的電路。選擇電路 105 從輸出端子輸出輸入到兩個輸入端子的資料中的任一方。由第一控制信號（OS-RD）控制選擇電路 105 輸出被輸入的兩個資料中的哪一方。當作爲第一控制信號輸入 H 位準的信號時，選擇電路 105 輸出非揮發性 FF101 的輸出資料，而當輸入 L 位準的信號時，選擇電路 105 輸出外部輸入資料（IN）。

對反相器電路 107 的輸入端子輸入第二控制信號（OS-WE）。反相器電路 107 的輸出端子與 NAND 電路 109 的一方的輸入端子電連接。對 NAND 電路 109 的另一方的輸入端子輸入時鐘信號（CLK）。NAND 電路 109 的輸出端子與揮發性 FF103 的時鐘輸入端子（ck2）電連接。因此，當第二控制信號（OS-WE）爲 L 位準時，對揮發性

FF103 的時鐘輸入端子輸入時鐘信號 (CLK) 和反相的信號，而當第二控制信號 (OS-WE) 為 H 位準時，對揮發性 FF103 的時鐘輸入端子總是輸入 H 位準的信號，而與時鐘信號 (CLK) 的值無關。

接著，使用圖 4A 和圖 4B 的時序圖對本實施例的半導體電路的工作方法進行說明。注意，雖然在此爲了簡化起見，採用 L 位準爲  $=0V$ ，但是不侷限於此。

在圖 4A 和圖 4B 的時序圖中，VDD 表示半導體電路的電源。當打開半導體電路的電源時，電力供應到半導體電路內的邏輯電路，因此揮發性 FF103 能夠儲存且輸出資料，但是當切斷電源，停止對邏輯電路供應電力時，資料的儲存及輸出工作也停止，這之前儲存的資料消失。但是，本實施例所示的非揮發性 FF101 是即使電力供應停止而邏輯電路停止工作也能夠保持資料的 FF。

在圖 4A 和圖 4B 的時序圖中，FF (D2) 示出儲存在揮發性 FF103 中的資料，而 FF (Q2) 示出揮發性 FF103 所輸出的資料。另外，OS-FF (D1) 示出儲存在非揮發性 FF101 中的資料，而 OS-FF (Q1) 示出非揮發性 FF101 所輸出的資料。

圖 4A 的時序圖示出：打開電源啓動半導體電路的期間 a；使揮發性 FF103 進行通常工作的期間 b；當轉變爲停止狀態時將揮發性 FF103 的資料移動到非揮發性 FF101 並保存該資料的期間 c；以及切斷半導體電路的電源而轉變爲停止狀態的期間 d。

圖 4B 的時序圖示出：當半導體電路從停止狀態恢復時打開電源來啟動的期間 a；將保存在非揮發性 FF 中的資料移動到揮發性 FF 來使揮發性 FF 恢復停止狀態之前的資料的期間 b；以及揮發性 FF 再次進行通常工作的期間 c。

在本實施例的半導體電路中，在通常工作時，對揮發性 FF103 輸入外部輸入資料 (IN)，揮發性 FF 儲存外部輸入資料 (IN)，並且輸出儲存在揮發性 FF103 中的作為外部輸出資料 (OUT) 的資料。

首先，示出到半導體電路啟動為止的起始工作。如圖 4A 的期間 a 所示，打開半導體電路的電源 VDD。

此時，雖然也輸入時鐘信號 (CLK)，但是到半導體電路完全啟動為止，即使輸入時鐘信號 (CLK)，揮發性 FF103 也不儲存或輸出資料。此時，揮發性 FF103 的內部狀態不定 (Z)。當揮發性 FF 具有重設信號輸入端子時，也可以以該時序輸入重設信號來規定揮發性 FF 的內部狀態。

在電源 VDD 完全啟動之後半導體電路開始工作。在第一期間 (圖 4A 的期間 b)，揮發性 FF103 根據時鐘信號 (CLK) 進行通常工作。此時，因為第一控制信號 (OS-RD) 保持 L 位準的信號，所以外部輸入資料 (IN) 從選擇電路 105 輸出到揮發性 FF103 的輸入端子 (D2)。此時，當時鐘信號 (CLK) 成為 H 位準時，揮發性 FF103 儲存外部輸入資料 (IN)，而當時鐘信號 (CLK) 成為 L 位

準時，揮發性 FF103 輸出所儲存的資料。

此時，所輸出的資料作為半導體電路的外部輸出資料 (OUT) 被取出，並被輸出到非揮發性 FF101 的輸入端子 (D1)。但是，因為第二控制信號 (OS-WE) 保持 L 位準，所以輸入到非揮發性 FF 的輸入端子 (D1) 的資料不儲存在非揮發性 FF101 中，而非揮發性 FF101 的內部狀態依然不定。

第一期間之後的第二期間 (圖 4A 的期間 c) 是爲了將半導體電路轉變爲停止狀態而從揮發性 FF103 將資料移動到非揮發性 FF101 的期間。

在第二期間，首先作為第二控制信號 (OS-WE) 輸入 H 位準的信號。藉由作為第二控制信號 (OS-WE) 輸入 H 位準的信號，對非揮發性 FF101 的時鐘輸入端子 (ck1) 及揮發性 FF103 的時鐘輸入端子 (ck2) 輸入 H 位準的信號。

當對揮發性 FF103 的時鐘輸入端子 (ck2) 輸入 H 位準的信號時，揮發性 FF103 輸出所儲存的資料。

當對非揮發性 FF101 的時鐘輸入端子 (ck1) 輸入 H 位準的信號時，非揮發性 FF101 儲存輸入在輸入端子 (D1) 中的資料。此時，輸入在非揮發性 FF101 的輸入端子 (D1) 中的資料是揮發性 FF103 根據第二控制信號 (OS-WE) 輸出的資料。因此，非揮發性 FF101 儲存揮發性 FF103 即將時鐘輸入端子 (ck1) 被輸入 H 位準之前輸出的資料。

可以高速將資料從揮發性 FF103 移動到非揮發性 FF101。這是因為保持在 FF 中的資料為 1 位元的資料而在非常短時間內資料移動完了的緣故。

接著，在第三期間（圖 4A 的期間 d）切斷半導體電路的電源。在此，切斷半導體電路的電源是指：停止對半導體電路內的邏輯電路供應電力且停止對半導體電路輸入的所有信號、資料的供應。

此時，因為第二控制信號（OS-WE）從 H 位準轉變為 L 位準（0V），所以非揮發性 FF101 的工作轉變為輸出所儲存的資料的工作。但是，同時切斷半導體電路的電源而也停止對非揮發性 FF101 內的邏輯電路供應電力。因此，如圖 4A 的期間 d 所示，非揮發性 FF101 的工作轉變，OS-FF（Q1）成為 H 位準，然後停止電力供應，而停止從非揮發性 FF 輸出資料。另外，實際上，在短時間內將非揮發性 FF101 的工作從儲存轉換為輸出且停止電力供應，因此從非揮發性 FF101 不輸出資料。但是，在圖 4A 的期間 d，為了明確示出非揮發性 FF101 的工作轉變，在 OS-FF（Q1）成為 H 位準之後停止電力供應。

在圖 4A 的期間 d，停止對半導體電路所包括的邏輯電路供應電力，所以邏輯電路停止工作。由此，儲存在揮發性 FF103 內部的資料（FF(D2)）消失。但是，因為即使停止電力供應，非揮發性 FF101 也能夠保持資料，所以儲存在非揮發性 FF101 中的資料（OS-FF(D1)）繼續被保持。

此時由非揮發性 FF101 保持的資料是揮發性 FF103 即將轉變為停止狀態之前輸出的資料。

在上述過程中，在半導體電路中，當轉變為停止狀態時將揮發性 FF 所輸出的資料移動到非揮發性 FF，在停止電力供應的期間也使非揮發性 FF 保持資料，因此可以在保持資料的狀態下轉變為停止狀態。另外，因為按每個 FF 移動資料，所以可以高速轉變為停止狀態。

在第三期間之後的第四期間（圖 4B 的期間 a），為了使半導體電路從停止狀態恢復，再打開半導體電路的電源恢復工作。此時，非揮發性 FF101 保持揮發性 FF103 即將轉變為停止狀態之前輸出的資料。

在半導體電路啟動而半導體電路內的邏輯電路開始工作時，儲存在非揮發性 FF101 中的資料被輸出到選擇電路 105。

在第四期間之後的第五期間（圖 4B 的期間 b），選擇電路 105 將資料輸出到揮發性 FF103，揮發性 FF103 儲存資料。在第五期間，首先作為第一控制信號（OS-RD）輸入 H 位準的信號。當作為第一控制信號（OS-RD）輸入 H 位準的信號時，選擇電路 105 輸出從非揮發性 FF101 輸入的資料。

接著，輸入時鐘信號（CLK）。將時鐘信號（CLK）輸入到 NAND 電路 109 的一方的輸入端子。此時，NAND 電路 109 的另一方的輸入端子輸入有第二控制信號（OS-WE）被反相器電路 107 反相的信號，即 H 位準的信號。



因此，從 NAND 電路 109 的輸出端子輸出使時鐘信號（CLK）反相的信號。將從 NAND 電路輸出的資料輸入到揮發性 FF103 的時鐘輸入端子（ck2），並且揮發性 FF103 儲存且輸出資料。

當時鐘信號（CLK）成爲 H 位準時，揮發性 FF103 儲存輸入在輸入端子（D2）中的資料。此時，輸入在揮發性 FF103 的輸入端子（D2）中的資料爲非揮發性 FF101 藉由選擇電路 105 輸出的資料。

非揮發性 FF101 所輸出的資料是當轉變爲停止狀態時從揮發性 FF103 移動的資料。換言之，在此，揮發性 FF103 儲存即將轉變爲停止狀態之前保持的資料，恢復爲停止狀態之前的狀態。

在第五期間之後的第六期間（圖 4B 的期間 c），藉由從選擇電路 105 將外部輸入資料（IN）輸入到揮發性 FF103，來恢復半導體電路的通常工作。

在第六期間，首先作爲第一控制信號（OS-RD）輸入 L 位準的信號。藉由作爲第一控制信號（OS-RD）輸入 L 位準的信號，選擇電路 105 輸出外部輸入資料（IN）。

因此，揮發性 FF103 的輸入端子被輸入外部輸入資料（IN），並根據輸入到時鐘輸入端子（ck2）的信號輸出外部輸出資料（OUT）。

如上所述，在本實施例的半導體電路中，當通常工作時，使用能夠高速工作的揮發性 FF 儲存且輸出資料，當轉變爲停止狀態時，在將儲存在揮發性 FF 中的資料移動

到非揮發性 FF 之後切斷電源，在停止電力供應的期間，使非揮發性 FF 保持資料。另外，當從停止狀態恢復時，藉由將保持在非揮發性 FF 中的資料移動到揮發性 FF，來在將揮發性 FF 的狀態恢復為在轉變為停止狀態之前的狀態之後，進行通常工作。

本發明的積體電路是具備多個上述半導體電路的積體電路。例如，可以舉出：排列多個本實施例所示的半導體電路來保持資料的暫存器；以及作為基本要素將它們層疊而成的記憶體等。藉由使該多個半導體電路的每一個進行上述工作，當轉變為停止狀態時，按每個 FF 移動資料即可，這樣資料的移動會在短時間內完了，從而可以迅速轉變為停止狀態。

因此，藉由使用本實施例所示的半導體電路，可以提供能夠迅速轉變為停止狀態且從停止狀態恢復的積體電路。可以提供降低耗電量而不使工作速度降低的積體電路。另外，可以提供該積體電路的驅動方法。

本實施例可以與其他實施例組合。

## 實施例 2

在本實施例中，示出實施例 1 所示的非揮發性 FF 的電路結構。圖 2 是非揮發性 FF 的電路結構的一個例子。

非揮發性 FF 具有記憶體電路及運算部。在圖 2 所示的非揮發性 FF200 中，作為記憶體電路具有在半導體層中具有氧化物半導體的電晶體 219 及儲存電容器 221，並且

作為運算部具有第一反相器電路 203、第二反相器電路 209、第一類比開關 211、第二類比開關 213、第一鎖存電路 220 及第二鎖存電路 230。

電晶體 219 具備閘極電極、第一電極、第二電極，並是在半導體層中具有氧化物半導體的電晶體。因為電晶體 219 的通道形成區包括被高純度化的氧化物半導體，所以電晶體 219 具有截止電流顯著低的特性。

電晶體 219 的閘極電極與非揮發性 FF200 的時鐘輸入端子 (ck1) 電連接，並被輸入第二控制信號 (OS-WE)。電晶體 219 的第一電極與第一類比開關 211 電連接，而電晶體 219 的第二電極與儲存電容器 221 的第一電極及第一反相器電路 203 的輸入端子電連接。

儲存電容器 221 具有第一電極、第二電極。儲存電容器 221 的第一電極電連接到電晶體 219 的第二電極及第一反相器電路 203 的輸入端子。儲存電容器 221 的第二電極接地。

在半導體層中具有氧化物半導體的電晶體 219 的第二電極及儲存電容器 221 的第一電極構成保持電荷的節點。

第一反相器電路 203 具有具備電連接到上述節點的閘極電極的電晶體。藉由由該電晶體的閘極電極、在半導體層中具有氧化物半導體的電晶體 219 的第二電極及儲存電容器 221 的第一電極形成節點，即使停止電力供應也可以在儲存電容器 221 中保存電荷。第一反相器電路 203 的輸出端子與第一鎖存電路 220 的輸入端子電連接。

另外，至於包括在第一反相器電路 203 中的電晶體，不需要作為半導體層使用氧化物半導體。在非揮發性 FF200 中，電晶體 219 以外的電晶體不關於到資料的保持，所以較佳地是，作為電晶體 219 以外的電晶體使用利用矽等形成的能夠高速工作的電晶體。

第一鎖存電路 220 具有第三反相器電路 205 及 NAND 電路 215。第一鎖存電路 220 的輸入端子與第一反相器電路 203 的輸出端子電連接，而第一鎖存電路 220 的輸出端子與第二類比開關 213 電連接。第三反相器電路 205 是根據來自時鐘輸入端子 (ck1) 的信號工作的時鐘反相器電路。因此，因為第一鎖存電路以與時鐘信號同步的方式進行工作，所以可以更準確地輸入且輸出資料。另外，作為第三反相器電路 205，也可以使用不具有與時鐘信號同步的功能的通常的反相器電路。

第二鎖存電路 230 具有第四反相器電路 207 及 NAND 電路 217。第二鎖存電路 230 的輸入端子與第二類比開關 213 電連接，而第二鎖存電路 230 的輸出端子與第二反相器電路 209 的輸入端子電連接。NAND 電路 217 是時鐘 NAND 電路。

另外，本實施例的非揮發性 FF200 具有復位輸入端子 (reset)。NAND 電路 215 的一方的輸入端子及 NAND 電路 217 的一方的輸入端子電連接到非揮發性 FF200 的復位輸入端子 (reset)，並對第一鎖存電路 220 及第二鎖存電路 230 輸入重設信號 (RESET)。當作為重設信號 (

RESET) 輸入 L 位準的信號時，可以重寫保持在鎖存電路內的資料。因此，可以以任意的時序對非揮發性 FF200 的資料進行重設，而與時鐘的時序無關。

另外，除了進行重設時以外，作為重設信號 ( RESET )，輸入 H 位準的信號。在作為重設信號輸入 H 位準的信號之間，NAND 電路 215 及 NAND 電路 217 分別進行使輸入到另一方的輸入端子的資料反相而將其輸出的工作。

輸入到第一鎖存電路 220 的資料被 NAND 電路 215 反相而輸出到第二類比開關 213。同時，被 NAND 電路 215 反相的資料也輸入到第三反相器電路 205，並被第三反相器電路 205 再次反相而成為與原來的資料相同的值。將被第三反相器電路 205 反相的資料再次輸入到 NAND 電路 215 而重複相同的工作。由此，第一鎖存電路 220 藉由回饋所輸入的資料來保持資料。第二鎖存電路也與第一鎖存電路 220 同樣保持資料。

第二反相器電路 209 的輸入端子與第二鎖存電路 230 的輸出端子電連接，並且第二反相器電路 209 的輸出端子與輸出端子 ( Q1 ) 電連接，並輸出輸出資料 ( out )。

第一類比開關 211 及第二類比開關 213 分別具有第一端子、第二端子和控制端子。當對控制端子輸入的信號為 H 位準的信號時，第一類比開關 211 及第二類比開關 213 成為使電流從第一端子流到第二端子的導通狀態，並且當對控制端子輸入的信號為 L 位準的信號時，第一類比開關 211 及第二類比開關 213 成為遮斷從第一端子流到第二端

子的電流的截止狀態。第一類比開關 211 的第一端子與輸入端子 (D1) 電連接，並被輸入輸入資料 (in)，而第二端子與在半導體層中具有氧化物半導體的電晶體 219 的第一電極電連接。第一類比開關 211 的控制端子與時鐘輸入端子 (CLK) 電連接，並被輸入第二控制信號 (OS-WE)。

第二類比開關 213 的第一端子與第一鎖存電路 220 的輸出端子電連接，而第二類比開關 213 的第二端子與第二鎖存電路 230 的輸入端子電連接。第二類比開關 213 的控制端子與第五反相器電路 201 電連接。

第五反相器電路 201 與時鐘輸入端子 (ck1) 電連接，並被輸入第二控制信號 (OS-WE)。第二控制信號 (OS-WE) 被第五反相器電路 201 反相，然後輸入到第二類比開關 213 及 NAND 電路 217。

藉由第二控制信號 (OS-WE) 轉換第一類比開關 211 及第二類比開關 213 的導通和截止。明確而言，當第二控制信號 (OS-WE) 是 H 位準的信號時，第一類比開關 211 被輸入 H 位準的信號而成爲導通狀態。此時，第二類比開關 213 被輸入被第五反相器電路 201 反相的 L 位準的信號而成爲截止狀態。與第二控制信號爲 L 位準的信號時相反，第一類比開關 211 成爲截止狀態，而第二類比開關 213 成爲導通狀態。因爲對第一類比開關 211 及第二類比開關 213 總是輸入不同的信號，所以當一方處於導通狀態時，另一方一定成爲截止狀態，而不發生兩者同時處於導通狀態的情況。

接著，對如下一系列的工作進行說明，該工作為：在非揮發性 FF200 中儲存資料（圖 4A 的期間 c），即使停止電力供應也保持資料（圖 4A 的期間 d），電源再次接通（圖 4B 的期間 a），輸出資料（圖 4B 的期間 b）的工作。

首先，對在非揮發性 FF200 中儲存資料的方法進行說明。另外，在本實施例中，作為輸入資料（in）及輸出資料（out），輸入並輸出實施例 1 所示的資料，而省略其詳細說明。

當在非揮發性 FF200 中儲存資料時，首先，作為第二控制信號（OS-WE）輸入 H 位準的信號（圖 4A 的期間 c）。當作為第二控制信號（OS-WE）輸入 H 位準的信號時，對第二類比開關 213 輸入被第五反相器電路 201 反相的 L 位準的信號。當輸入 L 位準的信號時，第二類比開關 213 成為截止狀態，不對第二鎖存電路 230 輸入資料。另一方面，第一類比開關 211 被輸入 H 位準的信號而成為導通狀態。

另外，同時對電晶體 219 的閘極電極也輸入 H 位準的信號。電晶體 219 是作為半導體層使用氧化物半導體的電晶體，並是 N 通道型電晶體。因此，此時電晶體 219 成為導通狀態，經過第一類比開關 211 的輸入資料（in）藉由電晶體 219 輸入到儲存電容器 221 及第一反相器電路 203。

當對儲存電容器 221 輸入輸入資料時，儲存電容器

221 保持輸入資料 ( in ) 。

當對第一反相器電路 203 輸入資料時，第一反相器電路 203 使所輸入的資料反相而將其輸出到第一鎖存電路 220 。

輸入到第一鎖存電路 220 的資料被 NAND 電路 215 反相而輸出到第二類比開關 213。但是，此時，因為第二類比開關 213 處於截止狀態，所以資料不輸入到第二鎖存電路 230 。

同時，被 NAND 電路 215 反相的資料也輸入到第三反相器電路 205，被第三反相器電路 205 再次反相，而成爲與原來的資料相同的值。將被第三反相器電路 205 反相的資料再次輸入到 NAND 電路 215 而重複相同的工作。由此，第一鎖存電路 220 藉由回饋所輸入的資料來保持資料。

如上所述，將使第一類比開關 211 處於導通狀態，使第二類比開關 213 處於截止狀態，且在第一鎖存電路內保持資料的狀態稱爲在非揮發性 FF 中儲存資料的狀態。

另外，與此相反，將如下狀態稱爲非揮發性 FF 輸出資料的狀態，上述狀態是：使第一類比開關 211 處於截止狀態，使第二類比開關 213 處於導通狀態，第一鎖存電路 220、第二鎖存電路 230、第二反相器電路 209 及非揮發性 FF200 的輸出端子 ( Q1 ) 處於導通狀態，而非揮發性 FF200 輸出信號的狀態。

接著，作爲第二控制信號 ( OS-WE ) 輸入 L 位準的信號 ( 圖 4A 的期間 d )。當作爲第二控制信號輸入 L 位準



的信號時，第一類比開關 211 及電晶體 219 成爲截止狀態。當電晶體 219 成爲截止狀態時，由電晶體的第二電極和儲存電容器的第一電極構成的節點及作爲第一反相器電路 203 的輸入端子的電晶體的閘極電極成爲電絕緣的浮動狀態。

因爲作爲半導體層使用氧化物半導體的電晶體 219 的截止電流爲由矽半導體等形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮由於電晶體 219 的洩漏而導致的儲存在節點中的電荷的消失。也就是說，藉由利用作爲半導體層使用氧化物半導體的電晶體 219，儲存在儲存電容器 221 中的電荷不損失，從而可以實現即使沒有電力供應也能夠保持信號的非揮發性 FF。

例如，當室溫下的電晶體 219 的截止電流爲  $10\text{zA}$  ( $1\text{zA}$  (zeptoampere: 仄普托安培) 是  $1 \times 10^{-21}\text{A}$ ) 以下，並且儲存電容器 221 的電容值爲  $10\text{fF}$  左右時，至少可以保持  $10^4$  秒以上的資料。另外，當然該保持時間根據電晶體的特性或電容值變動。

如此，因爲在浮動狀態的節點中保持電荷，所以即使關上半導體電路的電源，非揮發性 FF200 也可以保持資料。因此，在此關上半導體電路的電源。

此時，第二類比開關 213 的控制端子輸入有 H 位準的信號，成爲導通狀態而使第一鎖存電路 220 及第二鎖存電路 230 成爲導通狀態。但是，因爲停止對邏輯電路供應電力，所以第一鎖存電路 220 所保持的資料不輸入到第二鎖

存電路 230。另外，保持在第一鎖存電路 220 中的資料被第一鎖存電路 220 所具有的 NAND 電路 215 及第三反相器電路 205 的洩漏電流損傷，所以保持在第一鎖存電路 220 中的資料消失。

接著，對輸出儲存在非揮發性 FF200 中的資料的工作進行說明。

再次打開半導體電路的電源，恢復對非揮發性 FF200 內的邏輯電路供應的電力（圖 4B 的期間 a）。

當對邏輯電路供應電力時，非揮發性 FF200 內的邏輯電路開始工作。此時，因為第二控制信號（OS-WE）依然為 L 位準，所以第一類比開關處於截止狀態，不被輸入輸入資料。

由此，將保持在儲存電容器 221 中的資料輸入到第一反相器電路 203。因為儲存電容器 221 在電源不接通時也保持輸入資料（in），所以此時輸入到第一反相器電路 203 的資料是與在轉變為停止狀態之前的輸入資料（in）同等的資料。

再者，被第一反相器電路 203 反相的資料輸入到第一鎖存電路 220，被第一鎖存電路 220 的 NAND 電路 215 反相，而被輸出。

此時，因為第二類比開關 213 處於導通狀態，所以資料從第一鎖存電路 220 輸出到第二鎖存電路 230。資料在被第二鎖存電路 230 反相之後，被第二反相器電路 209 反相，而從非揮發性 FF200 的輸出端子被輸出。

從非揮發性 FF200 輸出的輸出資料 (out) 是輸入到非揮發性 FF 的輸入資料被第一反相器電路 203、第一鎖存電路 220、第二鎖存電路 230 及第二反相器電路 209 反相一共 4 次的資料。因此，輸出資料 (out) 是與輸入到非揮發性 FF200 的輸入資料 (in) 同等的值。

上述方法是一種方法，其中在非揮發性 FF 中儲存資料，即使停止電力供應也保持輸入資料，且當電源再次接通時輸出與輸入資料同等的值的輸出資料。

另外，雖然在本實施例中作為非揮發性 FF 的儲存部採用將在半導體層中具有氧化物半導體的電晶體與儲存電容器組合的結構，但是本發明的非揮發性 FF 所具有的記憶體電路不侷限於此，只要用作如下非揮發性記憶體即可，該非揮發性記憶體是 EPROM (Electrically Programmable Read Only Memory：電可程式唯讀記憶體)、EEPROM (Electrically Erasable and Programmable Read Only Memory：電可擦除可程式唯讀記憶體)、浮動閘極、鐵電隨機存取記憶體 (FeRAM)、磁阻隨機存取記憶體 (MRAM)、相變記憶體 (PRAM)、阻變記憶體 (ReRAM)、原子開關 (Atom Switch) 等。

藉由按每個揮發性 FF 製造即使停止電力供應也能夠保持資料的非揮發性 FF，轉變為停止狀態時的資料的移動及從停止恢復時的資料的復原在短時間內完了，可以頻繁地轉變為停止狀態，因此可以提供耗電量降低的半導體電路。

藉由將本實施例所示的非揮發性 FF 用於實施例 1 所示的半導體電路，可以提供能夠迅速轉變為停止狀態的積體電路。或者，可以提供藉由在短時間內從停止狀態恢復來能夠降低耗電量而不使工作速度降低的半導體電路。另外，可以提供該積體電路的驅動方法。

本實施例可以與其他實施例組合。

### 實施例 3

在本實施例中，參照圖 5A 至圖 9C 對根據本發明的一個實施例的積體電路的結構及製造方法進行說明。

圖 5C 是本實施例所示的半導體電路的電路結構。本實施例的半導體電路具有：作為半導體層使用氧化物半導體的電晶體 562；將氧化物半導體以外的材料用於半導體層的電晶體 560；以及儲存電容器 564。本實施例所示的半導體電路是示出實施例 1 及實施例 2 所示的積體電路或半導體電路的一部分的電路。例如，可以將電晶體 562、儲存電容器 564 及電晶體 560 分別用於圖 2 所示的非揮發性 FF200 所具有的電晶體 219、儲存電容器 221、第一反相器電路 203 所具有的電晶體。

在圖 5C 所示的半導體電路中，說明將作為半導體層使用氧化物半導體的電晶體 562 層疊在作為半導體層使用矽的電晶體 560 上的結構及其製造方法。藉由層疊電晶體，縮小電路的平面面積，從而可以實現高整合化。

<半導體裝置的剖面結構及平面結構>

圖 5A 至圖 5C 是半導體電路的結構的一個例子。圖 5A 示出半導體電路的剖面，圖 5B 示出半導體電路的上面。在此，圖 5A 相當於沿圖 5B 的 A1-A2 及 B1-B2 的剖面。圖 5A 及圖 5B 所示的半導體電路在下部具有使用第一半導體材料的電晶體 560，並在上部具有使用第二半導體材料的電晶體 562。在此，較佳地是，第一半導體材料與第二半導體材料不同。例如，作為第一半導體材料使用能夠進行高速工作的氧化物半導體以外的材料，來製造揮發性 FF 及非揮發性 FF 的運算部所具備的電晶體。另外，藉由作為第二半導體材料使用能夠在長時間保持電荷的氧化物半導體，可以製造非揮發性 FF 的記憶體電路所具有的電晶體。

作為第一半導體材料，例如可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，使用單晶半導體較佳。另外，也可以使用有機半導體材料等。在本實施例中，使用矽。

另外，雖然對上述電晶體都為 N 通道型電晶體的情況進行說明，但是當然也可以使用 P 通道型電晶體。另外，所公開的發明的技術本質在於為了保持資訊而將如氧化物半導體的能夠充分降低截止電流的半導體材料用於電晶體 562，因此用於半導體裝置的材料或半導體裝置的結構等的半導體裝置的具體結構不需要侷限於在此所示的結構。

圖 5A 至圖 5C 中的電晶體 560 包括：設置在包含半導體材料（例如，矽等）的基板 500 中的通道形成區 516；

夾著通道形成區 516 地設置的雜質區域 520；接觸於雜質區域 520 的金屬化合物區域 524；設置在通道形成區 516 上的閘極絕緣層 508；以及設置在閘極絕緣層 508 上的閘極電極 510。注意，雖然有時在圖中不具有源極電極或汲極電極，但是為了方便起見有時將這種結構也稱為電晶體。另外，在此情況下，為了對電晶體的連接關係進行說明，有時將源極區或汲極區稱為源極電極或汲極電極。換言之，在本說明書中，源極電極的記載會包括源極區。另外，汲極電極的記載會包括汲極區。

電極 526 連接到電晶體 560 的金屬化合物區域 524 的一部分。在此，電極 526 用作電晶體 560 的源極電極或汲極電極。另外，在基板 500 上以圍繞電晶體 560 的方式設置有元件分離絕緣層 506，並且在電晶體 560 上設置有絕緣層 528 及絕緣層 530。注意，為了實現高整合化，較佳地是，如圖 5A 所示採用電晶體 560 不具有側壁絕緣層的結構。另一方面，當重視電晶體 560 的特性時，也可以在閘極電極 510 的側面設置側壁絕緣層，並且以包括形成在與該側壁絕緣層重疊的區域中的雜質濃度不同的區域的方式設置雜質區域 520。

圖 5A 至圖 5C 中的電晶體 562 包括：設置在絕緣層 530 上的源極電極或汲極電極 542a 和源極電極或汲極電極 542b；與源極電極或汲極電極 542a 和源極電極或汲極電極 542b 電連接的氧化物半導體層 544；覆蓋源極電極或汲極電極 542a、源極電極或汲極電極 542b 和氧化物半導體

層 544 的閘極絕緣層 546；在閘極絕緣層 546 上以重疊於氧化物半導體層 544 的方式設置的閘極電極 548a；設置在源極電極或汲極電極 542a 與氧化物半導體層 544 之間的與閘極電極 548a 的一部分重疊的區域中的絕緣層 543a；以及設置在源極電極或汲極電極 542b 與氧化物半導體層 544 之間的與閘極電極 548a 的一部分重疊的區域中的絕緣層 543b。另外，為了降低源極電極或汲極電極與閘極電極之間的電容，較佳地是，設置絕緣層 543a 及絕緣層 543b，但是也可以採用不設置絕緣層 543a 及絕緣層 543b 的結構。

較佳地是，將氧化物半導體層 544 的氫濃度設定為  $5 \times 10^{19} \text{ atoms/cm}^3$  以下，較佳地設定為  $5 \times 10^{18} \text{ atoms/cm}^3$  以下，更佳地設定為  $5 \times 10^{17} \text{ atoms/cm}^3$  以下。另外，藉由二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectroscopy）來測量上述氧化物半導體層 544 中的氫濃度。如此，在氫濃度被充分降低，並藉由被供給足夠的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層 544 中，容易降低載子濃度。例如，載子濃度低於  $1 \times 10^{12} / \text{cm}^3$ ，較佳地低於  $1 \times 10^{11} / \text{cm}^3$ ，更佳地低於  $1.45 \times 10^{10} / \text{cm}^3$ 。

注意，較佳地是，降低包含在氧化物半導體層中的 Li、Na 等的鹼金屬及 Ca 等的鹼土金屬等的雜質。具體地，包含在氧化物半導體層中的該雜質的濃度較佳地為  $2 \times 10^{16} / \text{cm}^3$  以下，更佳地為  $1 \times 10^{15} / \text{cm}^3$  以下。這些金屬元

素具有低電負性，且易於與氧化物半導體層中的氧接合，因此在氧化物半導體層中有可能形成載子路徑（carrier path），而氧化物半導體層被低電阻化（N型化）。

另外，雖然在圖 5A 至圖 5C 的電晶體 562 中，爲了抑制起因於微型化而產生在元件之間的洩漏，使用被加工爲島狀的氧化物半導體層 544，但是也可以採用不被加工爲島狀的結構。在不將氧化物半導體層 544 加工爲島狀的情況下，可以防止由於加工時的蝕刻導致的氧化物半導體層 544 的污染。

圖 5A 至圖 5C 中的儲存電容器 564 包括源極電極或汲極電極 542a、氧化物半導體層 544、閘極絕緣層 546 和電極 548b。換言之，源極電極或汲極電極 542a 用作儲存電容器 564 的一方的電極，而電極 548b 用作儲存電容器 564 的另一方的電極。

另外，在圖 5A 至圖 5C 的儲存電容器 564 中，藉由層疊氧化物半導體層 544 與閘極絕緣層 546，可以充分確保源極電極或汲極電極 542a 與電極 548b 之間的絕緣性。當然，爲了確保足夠的電容，也可以採用不具有氧化物半導體層 544 的儲存電容器 564。此外，也可以採用具有與絕緣層 543a 同樣形成的絕緣層的儲存電容器 564。再者，當不需要電容器時，也可以不設置儲存電容器 564。

另外，在電晶體 562 和儲存電容器 564 中，較佳地是，將源極電極或汲極電極 542a 及源極電極或汲極電極 542b 的端部形成爲錐形。這是因爲藉由將源極電極或汲極



電極 542a 及源極電極或汲極電極 542b 的端部形成為錐形，可以提高氧化物半導體層 544 的覆蓋性且防止斷開的緣故。在此，將錐形角例如設定為  $30^\circ$  以上且  $60^\circ$  以下。注意，錐形角是指當從垂直於剖面（與基板的表面正交的面）的方向觀察具有錐形形狀的層（例如，源極電極或汲極電極 542a）時，該層的側面和底面所形成的傾斜角。

在本實施例中，以重疊於電晶體 560 的方式設置有電晶體 562 及儲存電容器 564。藉由採用這種平面佈局，可以實現高整合化。例如，在本發明的一個實施例的半導體電路中，藉由將非揮發性 FF 的記憶體電路所具有的使用氧化物半導體的電晶體及儲存電容器重疊於揮發性 FF 或非揮發性 FF 的運算部所具有的電晶體，與將使用氧化物半導體的電晶體及儲存電容器配置在揮發性 FF 或非揮發性 FF 的運算部所具有的電晶體的旁邊的電路結構相比，可以縮小平面面積。因此，可以將本發明的一個實施例的積體電路高整合化。

在電晶體 562 及儲存電容器 564 上設置有絕緣層 550，並且在絕緣層 550 上設置有絕緣層 552。再者，在形成於閘極絕緣層 546、絕緣層 550、絕緣層 552 等中的開口中設置有電極 554，並且在絕緣層 552 上形成有與電極 554 連接的佈線 556。注意，所公開的發明不侷限於此。

#### <半導體裝置的製造方法>

接著，對上述半導體裝置的製造方法的一個例子進行

說明。以下，首先參照圖 6A 至圖 7D 對下部電晶體 560 的製造方法進行說明，然後參照圖 8A 至圖 9C 對上部電晶體 562 及儲存電容器 564 的製造方法進行說明。

#### <下部電晶體的製造方法>

首先，準備包含半導體材料的基板 500（參照圖 6A）。作為包含半導體材料的基板 500，可以使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板或 SOI 基板等。這裏，作為一個例子，示出使用單晶矽基板作為包含半導體材料的基板 500 時的情況。另外，一般來說，“SOI 基板”是指在絕緣表面上設置有矽半導體層的基板。但是，在本說明書等中，“SOI 基板”還指在絕緣表面上設置有包括矽以外的材料的半導體層的基板。也就是說，“SOI 基板”所具有的半導體層不侷限於矽半導體層。另外，SOI 基板還包括在玻璃基板等的絕緣基板上隔著絕緣層設置有半導體層的基板。

較佳的是，作為包含半導體材料的基板 500，使用矽等的單晶半導體基板，因為這樣可以使半導體裝置的讀出工作高速化。

在基板 500 上形成成為用來形成元件分離絕緣層的掩模的保護層 502（參照圖 6A）。作為保護層 502，例如可以使用以氧化矽、氮化矽、氧氮化矽等為材料的絕緣層。另外，在該製程的前後，也可以將賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素添加到基板 500，以控

制電晶體的臨界值電壓。在半導體為矽時，作為賦予 n 型導電性的雜質，例如可以使用磷、砷等。另外，作為賦予 p 型導電性的雜質，例如可以使用硼、鋁、鎵等。

接著，將上述保護層 502 用作掩模進行蝕刻來去除不被保護層 502 覆蓋的區域（露出的區域）的基板 500 的一部分（參照圖 6B）。較佳的是，該蝕刻使用乾蝕刻，但是也可以使用濕蝕刻。可以根據被蝕刻材料適當地選擇蝕刻氣體或蝕刻液。

接著，以覆蓋半導體區域 504 的方式形成絕緣層，並選擇性地去除與半導體區域 504 重疊的區域的絕緣層，從而形成元件分離絕緣層 506。該絕緣層使用氧化矽、氮化矽、氧氮化矽等形成。作為去除絕緣層的方法，有 CMP（化學機械拋光）等的拋光處理或蝕刻處理等，可以使用任一種方法。由此，形成與其他半導體區域分離的半導體區域 504。另外，在形成半導體區域 504 之後或在形成元件分離絕緣層 506 之後，去除上述保護層 502。

另外，作為元件分離絕緣層 506 的形成方法，除了選擇性地去除絕緣層的方法以外，也可以使用藉由導入氧來形成絕緣區域的方法等。

接著，在半導體區域 504 的表面上形成絕緣層，並在該絕緣層上形成包含導電材料的層。

絕緣層是在後面成為閘極絕緣層的層，例如可以藉由半導體區域 504 表面的熱處理（熱氧化處理或熱氮化處理等）形成。也可以使用高密度電漿處理代替熱處理。例如

，可以使用 He、Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氮、氦、氬等中的任何混合氣體進行高密度電漿處理。當然，也可以使用 CVD 法或濺射法等形成絕緣層。較佳的是，該絕緣層採用包含氧化矽、氧氮化矽、氮化矽、氧化鈣、氧化鋁、氧化鋇、氧化釷、矽酸鈣 ( $\text{HfSi}_x\text{O}_y(x>0, y>0)$ )、添加有氮的矽酸鈣 ( $\text{HfSi}_x\text{O}_y(x>0, y>0)$ )、添加有氮的鋁酸鈣 ( $\text{HfAl}_x\text{O}_y(x>0, y>0)$ ) 等的單層結構或疊層結構。另外，例如可以將絕緣層的厚度設定為 1nm 以上且 100nm 以下，較佳地設定為 10nm 以上且 50nm 以下。

可以使用鋁、銅、鈦、鋇、鎢等的金屬材料、包含上述金屬材料的合金材料、層疊上述金屬材料或合金材料而成的層形成包含導電材料的層。例如，藉由採用在銅-鎂-鋁合金層上層疊有包含銅的金屬層的結構，可以提高密接性。另外，也可以藉由使用如多晶矽等的半導體材料形成包含導電材料的層。對其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。此外，在本實施例中，示出使用金屬材料形成包含導電材料的層時的一個例子。

然後，藉由對絕緣層及包含導電材料的層選擇性地進行蝕刻來形成閘極絕緣層 508 及閘極電極 510。（參照圖 6C）。

接著，對半導體區域 504 添加磷（P）或砷（As）等形成通道形成區 516 及雜質區域 520（參照圖 6D）。這裏，為了形成 n 型電晶體添加了磷或砷，但是當形成 p 型電

晶體時，添加硼（B）或鋁（Al）等的雜質元素即可。這裏，雖然可以適當地設定所添加的雜質的濃度，但是當對半導體元件進行高度的微型化時，較佳地將該雜質濃度設定為高。

另外，也可以在閘極電極 510 的周圍形成側壁絕緣層形成以不同濃度添加有雜質元素的雜質區域。

接著，以覆蓋閘極電極 510、雜質區域 520 等的方式形成金屬層 522（參照圖 7A）。該金屬層 522 可以使用真空蒸鍍法、濺射法或旋塗法等各種成膜方法形成。較佳地是，使用如下金屬材料形成金屬層 522，該金屬材料是：藉由與構成半導體區域 504 的半導體材料起反應來成為低電阻的金屬化合物的金屬材料。作為上述金屬材料，例如有鈦、鋁、鎢、鎳、鈷、鉑等。

接著，進行熱處理，使上述金屬層 522 與半導體材料起反應。由此，形成接觸於雜質區域 520 的金屬化合物區域 524（參照圖 7A）。另外，當使用多晶矽等作為閘極電極 510 時，在閘極電極 510 的與金屬層 522 接觸的部分中也形成金屬化合物區域。

作為上述熱處理，例如可以使用利用閃光燈的照射的熱處理。當然，也可以使用其他熱處理方法，但是為了提高形成金屬化合物時的化學反應的控制性，較佳地是，使用可以在極短的時間內進行熱處理的方法。另外，上述金屬化合物區域藉由金屬材料與半導體材料的反應形成並具有足夠高的導電性。藉由形成該金屬化合物區域，可以充

分降低電阻，並可以提高元件特性。另外，在形成金屬化合物區域 524 之後，去除金屬層 522。

接著，在與金屬化合物區域 524 的一部分接觸的區域中形成電極 526（參照圖 7B）。例如，電極 526 可以藉由在形成包含導電材料的層之後對該層選擇性地進行蝕刻來形成。可以使用鋁、銅、鈦、鉍、鎢等的金屬材料、包含上述金屬材料的合金材料、層疊上述金屬材料或合金材料而成的層形成包含導電材料的層。例如，藉由採用在銅-鎂-鋁合金層上層疊有包含銅的金屬層的結構，可以提高密接性。另外，也可以藉由使用如多晶矽等的半導體材料形成包含導電材料的層。對該形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。

在此情況下，例如，可以在包括開口的區域中藉由 PVD 法形成薄的鈦膜，並藉由 CVD 法形成薄的氮化鈦膜，然後埋入開口地形成鎢膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在此，金屬化合物區域 524）的接觸電阻的功能。另外，其後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成使用鈦或氮化鈦等的障壁膜之後藉由鍍敷法形成銅膜。

接著，以覆蓋藉由上述製程形成的各結構的方式形成絕緣層 528、絕緣層 530（參照圖 7C）。絕緣層 528、絕緣層 530 可以使用包含氧化矽、氧氮化矽、氮化矽、氧化

鋁等的無機絕緣材料的材料形成。尤其是較佳地是，將低介電常數（low-k）材料用於絕緣層 528、絕緣層 530，因為這樣可以充分降低起因於各種電極或佈線的重疊的電容。另外，也可以將使用上述材料的多孔絕緣層用於絕緣層 528、絕緣層 530。因為多孔絕緣層的介電常數比密度高的絕緣層的介電常數低，所以可以進一步降低起因於電極或佈線的電容。此外，也可以使用聚醯亞胺、丙烯酸樹脂等的有機絕緣材料形成絕緣層 528、絕緣層 530。雖然這裏採用絕緣層 528、絕緣層 530 的疊層結構，但是所公開的發明的一個實施例不侷限於此。既可以採用單層結構，又可以採用三層以上的疊層結構。

作為形成電晶體 562 及儲存電容器 564 之前的處理，對絕緣層 528、絕緣層 530 進行 CMP 處理，以使閘極電極 510 的頂面露出（參照圖 7D）。作為使閘極電極 510 的頂面露出的處理，除了 CMP 處理以外還可以採用蝕刻處理等，但是為了提高電晶體 562 的特性，較佳地是，使絕緣層 528、絕緣層 530 的表面盡可能地平坦。

藉由上述步驟形成使用含有半導體材料的基板 500 的電晶體 560。這種電晶體 560 具有能夠進行高速工作的特徵。因此，藉由將這種電晶體用於揮發性 FF 的電晶體，可以以高速進行半導體電路的通常工作。

另外，也可以在上述各步驟前後還包括形成電極、佈線、半導體層、絕緣層等的步驟。例如，也可以作為佈線的結構採用由絕緣層及導電層的疊層結構構成的多層佈線

結構，來實現高度整合化的半導體裝置。

#### <上部電晶體的製造方法>

下面，在閘極電極 510、絕緣層 528、絕緣層 530 等上形成導電層，並且對該導電層選擇性地進行蝕刻，來形成源極電極或汲極電極 542a、源極電極或汲極電極 542b（參照圖 8A）。

導電層可以利用如濺射法等的 PVD 法或如電漿 CVD 法等的 CVD 法形成。此外，作為導電層的材料，可以使用選自鋁、鉻、銅、鉬、鈦、鉕、鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋯、鈹、鈳、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如，可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，有容易將該導電層加工成具有錐形形狀的源極電極或汲極電極 542a 及源極電極或汲極電極 542b 的優點。

此外，導電層也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以採用氧化銦（ $\text{In}_2\text{O}_3$ ）、氧化錫（ $\text{SnO}_2$ ）、氧化鋅（ $\text{ZnO}$ ）、銦錫氧化物（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為 ITO）、銦鋅氧化物（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者藉由使這



些金屬氧化物材料含有矽或氧化矽而形成的金屬氧化物。

較佳地是，以所形成的源極電極或汲極電極 542a 及源極電極或汲極電極 542b 的端部成爲錐形的方式對導電層進行蝕刻。這裏，錐形角例如較佳地爲  $30^\circ$  以上且  $60^\circ$  以下。藉由以源極電極或汲極電極 542a、源極電極或汲極電極 542b 的端部成爲錐形的方式進行蝕刻，可以提高在後面形成的閘極絕緣層 546 的覆蓋性，並防止斷開。

上部的電晶體的通道長度 (L) 取決於源極電極或汲極電極 542a 的下端部與源極電極或汲極電極 542b 的下端部之間的間隔。另外，在形成通道長度 (L) 短於 25nm 的電晶體的情況下，較佳地是，利用波長短即幾 nm 至幾十 nm 的超紫外線 (Extreme Ultraviolet) 進行形成掩模時的曝光。利用超紫外線的曝光的解析度高且景深大。因此，可以將後面形成的電晶體的通道長度 (L) 設定爲 10nm 以上且 1000nm (1 $\mu$ m) 以下，而可以提高電路的工作速度。另外，也可以藉由微型化降低半導體裝置的耗電量。

另外，也可以在絕緣層 528 及絕緣層 530 上設置用作基底的絕緣層。該絕緣層可以利用 PVD 法或 CVD 法等形式。

接著，在源極電極或汲極電極 542a 上形成絕緣層 543a，並且在源極電極或汲極電極 542b 上形成絕緣層 543b (參照圖 8B)。絕緣層 543a 及絕緣層 543b 可以藉由在形成覆蓋源極電極或汲極電極 542a、源極電極或汲極電極 542b 的絕緣層之後，對該絕緣層選擇性地進行蝕刻

來形成。此外，與在後面形成的閘極電極的一部分重疊地形成絕緣層 543a 及絕緣層 543b。藉由設置這種絕緣層，可以降低閘極電極與源極電極或汲極電極之間的電容。

絕緣層 543a 或絕緣層 543b 可以使用含有如氧化矽、氮化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是藉由將低介電常數 (low-k) 材料用於絕緣層 543a 及絕緣層 543b，可以充分降低閘極電極與源極電極或汲極電極之間的電容，所以是較佳的。另外，也可以將使用上述材料的多孔絕緣層用於絕緣層 543a 及絕緣層 543b。因為多孔絕緣層的介電常數比密度高的絕緣層的介電常數低，所以可以進一步降低閘極電極與源極電極或汲極電極之間的電容。

注意，雖然從降低閘極電極與源極電極或汲極電極之間的電容的觀點而言，較佳地是，形成絕緣層 543a 及絕緣層 543b，但是也可以不設置該絕緣層。

接下來，在覆蓋源極電極或汲極電極 542a 及源極電極或汲極電極 542b 的方式形成氧化物半導體層之後，對該氧化物半導體層選擇性地進行蝕刻來形成氧化物半導體層 544 (參照圖 8C)。

用於氧化物半導體層的氧化物半導體可以使用如下氧化物來形成：四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物

半導體、Sn-Al-Zn-O 類氧化物半導體；二元金屬氧化物的 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體、In-Ga-O 類氧化物半導體；In-O 類氧化物半導體、Sn-O 類氧化物半導體、Zn-O 類氧化物半導體等。另外，也可以使上述氧化物半導體層包含氧化矽。藉由使氧化物半導體層包含阻礙晶化的氧化矽（ $\text{SiO}_x (X>0)$ ），當在製造製程中形成氧化物半導體層之後進行加熱處理時，可以防止晶化。另外，較佳的是，氧化物半導體層是非晶狀態，但是氧化物半導體層的一部分也可以晶化。這裏，例如 In-Ga-Zn-O 類氧化物半導體是指含有銦（In）、鎵（Ga）、鋅（Zn）的氧化物膜，並且，對其組成比沒有特別的限制。另外，也可以含有 In、Ga 和 Zn 以外的元素。

另外，氧化物半導體層 544 也可以使用以化學式  $\text{InMO}_3(\text{ZnO})_m$ （ $m>0$ ，並且  $m$  不是自然數）表示的薄膜。在此，M 表示選自 Ga、Al、Mn 和 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。另外，作為氧化物半導體，也可以使用以  $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ （ $n>0$  且  $n$  為整數）表示的材料。

較佳的是，氧化物半導體為包含 In 的氧化物半導體，更佳地為包含 In 及 Ga 的氧化物半導體。在本實施例中，藉由濺射法使用 In-Ga-Zn-O 類金屬氧化物靶材來形成非晶結構的氧化物半導體層。

作為用來藉由濺射法形成氧化物半導體層 544 的靶材，例如，可以使用其原子數比為  $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  ( $=1/3:1/3:1/3$ ) 或  $\text{In}:\text{Ga}:\text{Zn}=2:2:1$  ( $=2/5:2/5:1/5$ ) 的  $\text{In-Ga-Zn}$  類氧化物或其組成在上述組成的近旁的氧化物。或者，較佳地是，使用其原子數比為  $\text{In}:\text{Sn}:\text{Zn}=1:1:1$  ( $=1/3:1/3:1/3$ )、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$  ( $=1/3:1/6:1/2$ ) 或  $\text{In}:\text{Sn}:\text{Zn}=2:1:5$  ( $=1/4:1/8:5/8$ ) 的  $\text{In-Sn-Zn}$  類氧化物或其組成在上述組成的近旁的氧化物。

另外，例如  $\text{In}$ 、 $\text{Ga}$ 、 $\text{Zn}$  的原子數比為  $\text{In}:\text{Ga}:\text{Zn}=a:b:c$  ( $a+b+c=1$ ) 的氧化物的組成在原子數比為  $\text{In}:\text{Ga}:\text{Zn}=A:B:C$  ( $A+B+C=1$ ) 的氧化物的組成的近旁是指  $a$ 、 $b$ 、 $c$  滿足  $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$  的狀態， $r$  例如可以為 0.05。其他氧化物也是同樣的。

另外，當作爲氧化物半導體使用  $\text{In-Zn-O}$  類材料時，將所使用的靶材的組成比設定爲原子數比爲  $\text{In}:\text{Zn}=50:1$  至  $1:2$  (換算爲莫耳數比則爲  $\text{In}_2\text{O}_3:\text{ZnO}=25:1$  至  $1:4$ )，較佳地爲  $\text{In}:\text{Zn}=20:1$  至  $1:1$  (換算爲莫耳數比則爲  $\text{In}_2\text{O}_3:\text{ZnO}=10:1$  至  $1:2$ )，更佳地爲  $\text{In}:\text{Zn}=1.5:1$  至  $15:1$  (換算爲莫耳數比則爲  $\text{In}_2\text{O}_3:\text{ZnO}=3:4$  至  $15:2$ )。例如，作為用來形成  $\text{In-Zn-O}$  類氧化物半導體的靶材，當原子數比爲  $\text{In}:\text{Zn}:\text{O}=X:Y:Z$  時，滿足  $Z > 1.5X+Y$ 。

金屬氧化物靶材中的金屬氧化物的相對密度爲 80% 以上，較佳地爲 95% 以上，更佳地爲 99.9% 以上。藉由使用相對密度高的金屬氧化物靶材，可以形成其結構緻密的氧

化物半導體層。另外，較佳地是，靶材的純度為 99.99% 以上，並且特別佳地使用降低了 Na、Li 等的鹼金屬及 Ca 等的鹼土金屬等的雜質的靶材。

較佳的是，作為形成氧化物半導體層時的氣圍，採用稀有氣體（典型為氬）氣圍、氧氣圍、或稀有氣體（典型為氬）和氧的混合氣圍。明確地說，例如，較佳地是，採用氬、水、羥基、氫化物等雜質被去除到 1ppm 以下的濃度（較佳地為 10ppb 以下的濃度）的高純度氣體氣圍。明確而言，較佳地使用露點為  $-60^{\circ}\text{C}$  以下的高純度氣體。

當形成氧化物半導體層時，例如在保持為減壓狀態的處理室內固定被處理物，並且以使被處理物的溫度成為  $100^{\circ}\text{C}$  以上且低於  $550^{\circ}\text{C}$ ，較佳地成為  $200^{\circ}\text{C}$  以上且  $400^{\circ}\text{C}$  以下的方式加熱被處理物。或者，也可以將形成氧化物半導體層時的被處理物的溫度設定為室溫（ $25^{\circ}\text{C} \pm 10^{\circ}\text{C}$ ）。然後，一邊去除處理室內的水分一邊將氬及水等被去除了的濺射氣體引入到該處理室內，並且使用上述靶材，從而形成氧化物半導體層。藉由一邊加熱被處理物一邊形成氧化物半導體層，可以降低包含在氧化物半導體層中的雜質。此外，可以減輕因濺射而造成的損傷。為了去除處理室內的水分，較佳地是，使用吸附真空泵。例如，可以使用低溫泵、離子泵、鈦昇華泵等。此外，也可以使用具備冷阱的渦輪泵。由於藉由使用低溫泵等排氣來可以從處理室去除氬及水等，所以可以降低氧化物半導體層中的雜質濃度。

另外，藉由將濺射裝置的處理室的洩漏率設定為  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{秒}$  以下，可以減少當藉由濺射法形成膜時鹼金屬、氫化物等的雜質混入到氧化物半導體膜中。另外，藉由作為排氣系統使用吸附真空泵，可以降低鹼金屬、氫原子、氫分子、水、羥基或氫化物等的雜質從排氣系統倒流。

作為氧化物半導體層的形成條件，例如可以採用如下條件：被處理物與靶材之間的距離為 170mm；壓力為 0.4Pa；直流（DC）功率為 0.5kW；氣圍為氧（氧 100%）氣圍、氫（氫 100%）氣圍或氧和氫的混合氣圍。

另外，當利用脈衝直流（DC）電源時，可以減少塵屑（成膜時產生的粉狀物質等）並且膜厚分佈也變得均勻，所以是較佳的。將氧化物半導體層的厚度設定為 1nm 以上且 50nm 以下，較佳地設定為 1nm 以上且 30nm 以下，更佳地設定為 1nm 以上且 10nm 以下。藉由採用上述厚度的氧化物半導體層，可以抑制因微型化而導致的短通道效應。但是，由於氧化物半導體層的適當的厚度根據所採用的氧化物半導體材料及半導體裝置的用途等不同，所以也可以根據所使用的材料及用途等設定其厚度。

另外，較佳地是，在藉由濺射法形成氧化物半導體層之前進行引入氫氣體產生電漿的反濺射，來去除形成表面（例如，絕緣層 530 的表面）上的附著物。在通常的濺射中使離子碰撞到濺射靶材，而這裏的反濺射與其相反，反濺射是指藉由使離子碰撞到基板的處理表面來進行表面改

性的方法。作為使離子碰撞到處理表面的方法，有藉由在氬氣圍下對處理表面一側輸入高頻電壓，而在被處理物附近產生電漿的方法等。另外，也可以採用氮、氦、氧等氣圍代替氬氣圍。

然後，較佳地是，對氧化物半導體層進行熱處理（第一熱處理）。藉由該第一熱處理，可以去除氧化物半導體層中的過剩的氫（包括水、羥基），改善氧化物半導體層的結構，從而可以降低能隙中的缺陷能階。將第一熱處理的溫度例如設定為  $150^{\circ}\text{C}$  以上且  $650^{\circ}\text{C}$  以下，較佳地設定為  $200^{\circ}\text{C}$  以上且  $500^{\circ}\text{C}$  以下。

作為熱處理，例如，可以將被處理物引入到使用電阻發熱體等的電爐中，並在氮氣圍下以  $450^{\circ}\text{C}$  進行 1 小時的加熱。在此期間，不使氧化物半導體層接觸大氣，以防止水及氫混入到氧化物半導體層中。

熱處理裝置不侷限於電爐，還可以使用利用來自被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用如 GRTA（Gas Rapid Thermal Annealing，氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Annealing，燈快速熱退火）裝置等 RTA（Rapid Thermal Annealing，快速熱退火）裝置。LRTA 裝置是一種利用鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行熱處理的裝置。作為氣體，使用即使進行熱處理也不與被處理物

起反應的惰性氣體，如氫等的稀有氣體或氮等。

例如，作為第一熱處理也可以進行 GRTA 處理，其中將被處理物放在被加熱的惰性氣體氣圍中，在加熱幾分鐘後，將被處理物從該惰性氣體氣圍中取出。藉由採用 GRTA 處理，可以在短時間內進行高溫熱處理。此外，即使溫度超過被處理物的耐熱溫度，也可以採用 GRTA 處理。另外，也可以在處理中將惰性氣體換為含有氧的氣體。這是因為如下緣故：藉由在含有氧的氣圍下進行第一熱處理，可以降低因氧缺損而產生的能隙中的缺陷能階。

另外，較佳的是，作為惰性氣體氣圍，採用以氮或稀有氣體（氮、氬、氫等）為主要成分且不含有水、氫等的氣圍。例如，將引入到熱處理裝置中的氮或如氮、氬、氫等的稀有氣體的純度設定為 6N（99.9999%）以上，較佳地設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳地設定為 0.1ppm 以下）。

另外，因為上述熱處理（第一熱處理）具有去除氫及水等的作用，所以也可以將該熱處理稱為脫水化處理或脫氫化處理等。該脫水化處理、脫氫化處理也可以在形成氧化物半導體層之後、在形成閘極絕緣層之後或在形成閘極電極之後等時機進行。此外，這種脫水化處理、脫氫化處理不侷限於一次，也可以進行多次。

氧化物半導體層的蝕刻可以在上述熱處理之前或在上述熱處理之後進行。此外，從元件的微型化的觀點來看，較佳地是，採用乾蝕刻，但是也可以採用濕蝕刻。可以根



據被蝕刻材料適當地選擇蝕刻氣體及蝕刻液。另外，當元件中的洩漏等不成爲問題時，也可以不將氧化物半導體層加工爲島狀。

此外，無論基底構件的材料是氧化物、氮化物還是金屬等的材料，藉由分兩次形成氧化物半導體層，並分兩次進行加熱處理，可以形成具有與膜表面垂直地進行 c 軸取向的結晶區的氧化物半導體層。例如，可以形成 3nm 以上且 15nm 以下的第一氧化物半導體膜，並在氮；氧；稀有氣體；氧及稀有氣體的混合氣體；氮和稀有氣體的混合氣體；氮、氧及稀有氣體的混合氣體；或乾燥空氣的氣圍下以 450°C 以上且 850°C 以下，較佳地爲 550°C 以上且 750°C 以下的溫度進行第一加熱處理，以形成在包括表面的區域中具有結晶區（包括板狀結晶）的第一氧化物半導體膜。並且，也可以形成其厚度比第一氧化物半導體膜厚的第二氧化物半導體膜，並以 450°C 以上且 850°C 以下，較佳地爲 600°C 以上且 700°C 以下的溫度進行第二加熱處理，由此以第一氧化物半導體膜爲結晶生長的種子而使其向上方進行結晶生長來使整個第二氧化物半導體膜晶化，從而形成具有較厚的結晶區的氧化物半導體層。

另外，在形成氧化物半導體層時，也可以藉由一邊將基板加熱到使氧化物半導體進行 c 軸取向的溫度一邊形成膜來形成具有與膜表面垂直地進行 c 軸取向的結晶區的氧化物半導體層。藉由使用該成膜方法，可以縮短製程。較佳的是，作爲加熱基板的溫度，採用 150°C 以上且 450°C

以下的溫度。根據成膜裝置而其他成膜條件不同，所以適當地設定適合其他條件的溫度，即可。例如，將使用濺射裝置形成時的基板溫度設定為 250°C 以上來形成膜，即可。

接下來，形成與氧化物半導體層 544 接觸的閘極絕緣層 546，然後在閘極絕緣層 546 上的與氧化物半導體層 544 重疊的區域中形成閘極電極 548a，並且在與源極電極或汲極電極 542a 重疊的區域中形成電極 548b（參照圖 8D）。

閘極絕緣層 546 可以利用 CVD 法或濺射法等形成。此外，較佳的是，閘極絕緣層 546 含有氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鋇、氧化鈣、氧化鈮、矽酸鈣（ $\text{HfSi}_x\text{O}_y(x>0, y>0)$ ）、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y(x>0, y>0)$ ）、添加有氮的鋁酸鈣（ $\text{HfAl}_x\text{O}_y(x>0, y>0)$ ）等。閘極絕緣層 546 既可以採用單層結構又可以採用疊層結構。此外，雖然對閘極絕緣層 546 的厚度沒有特別的限制，但是當將半導體裝置微型化時，較佳地是，將閘極絕緣層 546 形成為較薄，以確保電晶體的工作。例如，當使用氧化矽時，可以將閘極絕緣層 546 的厚度形成為 1nm 以上且 100nm 以下，較佳地形成為 10nm 以上且 50nm 以下。

當如上所述那樣將閘極絕緣層形成為較薄時，有因隧道效應等而引起的閘極洩漏的問題。為了解決閘極洩漏的問題，較佳地是，作為閘極絕緣層 546 使用氧化鈣、氧化鋇、氧化鈮、矽酸鈣（ $\text{HfSi}_x\text{O}_y(x>0, y>0)$ ）、添加有氮的

矽酸鈣 ( $\text{HfSi}_x\text{O}_y(x>0, y>0)$ )、添加有氮的鋁酸鈣 ( $\text{HfAl}_x\text{O}_y(x>0, y>0)$ ) 等高介電常數 (high-k) 材料。藉由將 high-k 材料用於閘極絕緣層 546，不但可以確保電特性，而且還可以將閘極絕緣層 546 形成為較厚以抑制閘極洩漏。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁等中的任一種的膜的疊層結構。

較佳地是，在形成閘極絕緣層 546 之後，在惰性氣體氣圍下或在氧氣圍下進行第二熱處理。熱處理的溫度為  $200^\circ\text{C}$  以上且  $450^\circ\text{C}$  以下，較佳地為  $250^\circ\text{C}$  以上且  $350^\circ\text{C}$  以下。例如，在氮氣圍下以  $250^\circ\text{C}$  進行 1 小時的熱處理即可。藉由進行第二熱處理，可以降低電晶體的電特性的偏差。此外，當閘極絕緣層 546 含有氧時，也可以向氧化物半導體層 544 供應氧而填補該氧化物半導體層 544 的氧缺陷。

另外，雖然在本實施例中在形成閘極絕緣層 546 後進行第二熱處理，但是進行第二熱處理的時機不侷限於此。例如，也可以在形成閘極電極後進行第二熱處理。此外，既可以在第一熱處理結束後接著進行第二熱處理，又可以在第一熱處理中兼併第二熱處理或在第二熱處理中兼併第一熱處理。

如上所述，藉由採用第一熱處理和第二熱處理中的至少一方，可以以使氧化物半導體層 544 儘量不含有其主要成分以外的雜質的方式實現高純度化。

閘極電極 548a 及電極 548b 可以在閘極絕緣層 546 上形成導電層後對該導電層選擇性地進行蝕刻來形成。成爲閘極電極 548a 及電極 548b 的導電層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成。詳細內容與形成源極電極或汲極電極 542a 等的情況相同，可以參照有關內容。

接下來，在閘極絕緣層 546、閘極電極 548a 及電極 548b 上形成絕緣層 550 及絕緣層 552（參照圖 9A）。絕緣層 550 及絕緣層 552 可以利用 PVD 法或 CVD 法形成。此外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁等無機絕緣材料的材料形成絕緣層 550 及絕緣層 552。

另外，較佳地是，將低介電常數的材料或低介電常數的結構（多孔結構等）用於絕緣層 550 及絕緣層 552。藉由降低絕緣層 550 及絕緣層 552 的介電常數，可以降低產生在佈線或電極等之間的電容而實現工作的高速化。

另外，在本實施例中，雖然採用絕緣層 550 與絕緣層 552 的疊層結構，但是所公開的發明的一個實施例不侷限於此。既可以採用單層結構，又可以採用三層以上的疊層結構。另外，也可以不設置絕緣層。

另外，較佳地是，將上述絕緣層 552 的表面形成爲較平坦。這是因爲如下緣故：藉由將絕緣層 552 的表面形成爲較平坦，當將半導體裝置微型化等時也可以順利地在絕緣層 552 上形成電極或佈線等。另外，可以利用 CMP（化

學機械拋光)等方法進行絕緣層 552 的平坦化。

接著，在閘極絕緣層 546、絕緣層 550、絕緣層 552 中形成到達源極電極或汲極電極 542b 的開口(參照圖 9B)。藉由使用掩模等選擇性地進行蝕刻來形成該開口。

接下來，在上述開口中形成電極 554，在絕緣層 552 上形成與電極 554 接觸的佈線 556(參照圖 9C)。

電極 554 例如可以在利用 PVD 法或 CVD 法等包括開口的區域中形成導電層之後，利用蝕刻處理或 CMP 等方法去除上述導電層的一部分來形成。

更明確而言，例如可以採用如下方法：在包括開口的區域中藉由 PVD 法形成薄的鈦膜，並且藉由 CVD 法形成薄的氮化鈦膜，然後填充開口地形成鎢膜。在此，藉由 PVD 法形成的鈦膜具有將被形成面的氧化膜(自然氧化膜等)還原而降低與下部電極等(這裏，源極電極或汲極電極 542b)之間的接觸電阻的功能。此外，後面形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。此外，也可以在形成使用鈦或氮化鈦等的障壁膜之後，藉由鍍敷法形成銅膜。

另外，當去除上述導電層的一部分形成電極 554 時，較佳地是，進行加工來使電極 554 的表面平坦。例如，當在包括開口的區域中形成薄的鈦膜或氮化鈦膜，然後埋入開口地形成鎢膜時，可以藉由後面的 CMP 處理去除不需要的鎢、鈦、氮化鈦等並提高電極 554 的表面的平坦性。另外，藉由這種提高平坦性的處理，可以使包括電極 554

的表面的整個表面平坦化。如此，藉由使包括電極 554 的整個表面平坦化，可以在後面的製程中形成良好的電極、佈線、絕緣層、半導體層等。

佈線 556 藉由在利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成導電層之後對該導電層進行構圖來形成。此外，作為導電層的材料，可以使用選自鋁、鉻、銅、鉬、鈦、鉬及鎢中的元素或以上述元素為成分的合金等。作為導電層的材料，也可以使用選自錳、鎂、鋅、鈹、釷、釷中的一種或組合這些的多種的材料。詳細條件與源極電極或汲極電極 542a 等相同。

藉由上述步驟可以製造使用氧化物半導體層 544 的電晶體 562 及儲存電容器 564 (參照圖 9C)。

在本實施例所示的電晶體 562 中，氧化物半導體層 544 的氫濃度為  $5 \times 10^{19} \text{ atoms/cm}^3$  以下，較佳地為  $5 \times 10^{18} \text{ atoms/cm}^3$  以下，更佳地為  $5 \times 10^{17} \text{ atoms/cm}^3$  以下。此外，氧化物半導體層 544 的載子密度比一般的矽晶片的載子密度 ( $1 \times 10^{14} / \text{cm}^3$  左右) 小得多 (例如，小於  $1 \times 10^{12} / \text{cm}^3$ ，更佳地為小於  $1.45 \times 10^{10} / \text{cm}^3$ )。並且，室溫 ( $25^\circ\text{C}$ ) 下的電晶體 562 的截止電流 (在此，每單位通道寬度 ( $1 \mu\text{m}$ ) 的值) 為  $100 \text{ zA}$  ( $1 \text{ zA}$  (zeptoampere: 仄普托安培) 為  $1 \times 10^{-21} \text{ A}$ ) 以下，較佳地為  $10 \text{ zA}$  以下。

藉由使用這種電晶體，可以得到截止電流降低且即使不供應電源也能夠保持信號的半導體電路。

另外，藉由重疊地形成作為半導體層使用氧化物半導

體的電晶體與使用氧化物半導體以外的材料的電晶體，可以抑制電路面積的增大而可以進一步實現高整合化。另外，在本實施例所示的半導體電路中，也可以使佈線共同化，從而可以實現整合度充分得到提高的半導體電路。

藉由將本實施例所示的電路結構用於實施例 2 所示的非揮發性 FF，可以將作為半導體層使用氧化物半導體的電晶體及儲存電容器層疊於作為半導體層使用其他半導體材料的電晶體，因此可以使非揮發性 FF 高整合化。

同樣地，也可以層疊形成揮發性 FF 所具有的將其他半導體材料用於半導體層的電晶體與使用氧化物半導體材料的電晶體，或者層疊形成非揮發性 FF 與揮發性 FF，因此可以製造即使按每個揮發性 FF 設置非揮發性 FF 也不增大電路面積的積體電路。

藉由如本實施例層疊形成實施例 1 或實施例 2 所示的半導體電路、非揮發性正反器或上述電路的一部分，可以按每個揮發性 FF 設置非揮發性 FF，而不增大電路面積，從而可以以高整合度實現能夠迅速轉變為停止狀態的積體電路。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而實施。

#### 實施例 4

在本實施例中，使用圖 10A 至圖 10F 說明使用上述實施例所說明的積體電路的半導體裝置。在本實施例中，說

明將上述積體電路應用於電腦、行動電話機（也稱為行動電話、行動電話裝置）、可攜式資訊終端（也包括可攜式遊戲機、聲音再現裝置等）、數位相機、數位攝像機等的影像拍攝裝置、電子紙、電視裝置（也稱為電視或電視接收機）等的半導體裝置的情況。

圖 10A 示出筆記本個人電腦，該筆記本個人電腦包括外殼 701、外殼 702、顯示部 703、鍵盤 704 等。至少在外殼 701 和外殼 702 中的一方中設置有上述實施例所示的積體電路。因此，可以實現以高速寫入且讀出資訊，而且耗電量被充分降低了的筆記本個人電腦。

圖 10B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部 713、外部介面 715 及操作按鈕 714 等。此外，它還包括用來操作可攜式資訊終端的觸摸筆 712 等。在主體 711 中設置有上述實施例所示的積體電路。因此，可以實現以高速寫入且讀出資訊，而且耗電量被充分降低了的可攜式資訊終端。

圖 10C 示出安裝有電子紙的電子書閱讀器 720，該電子書閱讀器 720 包括兩個外殼，即外殼 721 和外殼 723。外殼 721 設置有顯示部 725，並且外殼 723 設置有顯示部 727。外殼 721 和外殼 723 由軸部 737 彼此連接，並且可以以該軸部 737 為軸進行開閉動作。此外，外殼 721 包括電源開關 731、操作鍵 733 及揚聲器 735 等。在外殼 721 和外殼 723 中的至少一方中設置有上述實施例所示的積體電路。因此，可以實現以高速寫入且讀出資訊，而且耗電



量被充分降低了的電子書閱讀器。

圖 10D 示出行動電話機，該行動電話機包括兩個外殼，即外殼 740 和外殼 741。再者，滑動外殼 740 和外殼 741 而可以從如圖 10D 所示那樣的展開狀態變成重疊狀態，因此可以實現適於攜帶的小型化。此外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、照相用透鏡 747 以及外部連接端子 748 等。此外，外殼 740 包括對行動電話機進行充電的太陽能電池單元 749 和外部記憶體插槽 750 等。此外，天線被內置在外殼 741 中。在外殼 740 和外殼 741 中的至少一方中設置有上述實施例所示的積體電路。因此，可以實現以高速寫入且讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的行動電話機。

圖 10E 示出數位相機，該數位相機包括主體 761、顯示部 767、取景器部 763、操作開關 764、顯示部 765 以及電池 766 等。在主體 761 內設置有上述實施例所示的積體電路。因此，可以實現以高速寫入且讀出資訊，而且耗電量被充分降低了的數位相機。

圖 10F 示出電視裝置 770，該電視裝置 770 包括外殼 771、顯示部 773 以及支架 775 等。可以使用外殼 771 所具有的開關、遙控器 780 來進行電視裝置 770 的操作。外殼 771 及遙控器 780 設置有上述實施例所示的積體電路。因此，可以實現以高速寫入且讀出資訊，而且耗電量被充分降低了的電視裝置。

如上所述，本實施例所示的半導體裝置安裝有根據上述實施例的積體電路。因此，可以實現耗電量被降低了的半導體裝置。

### 【圖式簡單說明】

在圖式中：

圖 1 是示出本發明的一個實施例的半導體電路的圖；

圖 2 是本發明的一個實施例的非揮發性 FF 的電路圖；

圖 3 是本發明的一個實施例的揮發性 FF 的電路圖；

圖 4A 和圖 4B 是示出本發明的一個實施例的半導體電路的工作的時序圖；

圖 5A 至圖 5C 是本發明的一個實施例的半導體電路的剖面圖、俯視圖及電路圖；

圖 6A 至圖 6D 是示出本發明的一個實施例的半導體電路的製造方法的圖；

圖 7A 至圖 7D 是示出本發明的一個實施例的半導體電路的製造方法的圖；

圖 8A 至圖 8D 是示出本發明的一個實施例的半導體電路的製造方法的圖；

圖 9A 至圖 9C 是示出本發明的一個實施例的半導體電路的製造方法的圖；以及

圖 10A 至圖 10F 是示出本發明的一個實施例的半導體裝置的圖。

## 【主要元件符號說明】

- 101：非揮發性 FF
- 103：揮發性 FF
- 105：選擇電路
- 107：反相器電路
- 109：NAND 電路
- 200：非揮發性 FF
- 201：第五反相器電路
- 203：第一反相器電路
- 205：第三反相器電路
- 207：第四反相器電路
- 209：第二反相器電路
- 211：第一類比開關
- 213：第二類比開關
- 215：NAND 電路
- 217：NAND 電路
- 219：電晶體
- 220：第一鎖存電路
- 221：儲存電容器
- 230：第二鎖存電路
- 301：第五反相器電路
- 303：第一類比開關
- 305：第一反相器電路

- 307 : 第二反相器電路
- 309 : 第二類比開關
- 311 : 第三反相器電路
- 313 : 第四反相器電路
- 320 : 第一鎖存電路
- 330 : 第二鎖存電路
- 500 : 基板
- 502 : 保護層
- 504 : 半導體區域
- 506 : 元件分離絕緣層
- 508 : 閘極絕緣層
- 510 : 閘極電極
- 516 : 通道形成區
- 520 : 雜質區
- 522 : 金屬層
- 524 : 金屬化合物區
- 526 : 電極
- 528 : 絕緣層
- 530 : 絕緣層
- 542 a : 源極電極或汲極電極
- 542 b : 源極電極或汲極電極
- 543 a : 絕緣層
- 543 b : 絕緣層
- 544 : 氧化物半導體層

- 546 : 閘極絕緣層
- 548a : 閘極電極
- 548b : 電極
- 550 : 絕緣層
- 552 : 絕緣層
- 554 : 電極
- 556 : 佈線
- 560 : 電晶體
- 562 : 電晶體
- 564 : 儲存電容器
- 701 : 外殼
- 702 : 外殼
- 703 : 顯示部
- 704 : 鍵盤
- 711 : 主體
- 712 : 觸摸筆
- 713 : 顯示部
- 714 : 操作按鈕
- 715 : 外部介面
- 720 : 電子書閱讀器
- 721 : 外殼
- 723 : 外殼
- 725 : 顯示部
- 727 : 顯示部

- 731 : 電源開關
- 733 : 操作鍵
- 735 : 揚聲器
- 737 : 軸部
- 740 : 外殼
- 741 : 外殼
- 742 : 顯示面板
- 743 : 揚聲器
- 744 : 麥克風
- 745 : 操作鍵
- 746 : 指向裝置
- 747 : 照相用透鏡
- 748 : 外部連接端子
- 749 : 太陽能電池單元
- 750 : 外部記憶體插槽
- 761 : 主體
- 763 : 取景器部
- 764 : 操作開關
- 765 : 顯示部
- 766 : 電池
- 767 : 顯示部
- 770 : 電視裝置
- 771 : 外殼
- 773 : 顯示部

775 : 支架

780 : 遙控器

**七、申請專利範圍：**

1. 一種半導體裝置，包含：

第一正反器；以及

第二正反器，其包括第一電晶體，該第一電晶體在通道形成區中包括氧化物半導體，

其中，在對該半導體裝置供應電力的工作狀態下，該第一正反器保持資料，

其中，在停止對該半導體裝置供應電力的停止狀態下，該第二正反器保持資料，

其中，在從該工作狀態轉變為該停止狀態時，從該第一正反器將該資料移動到該第二正反器，以及

其中，在從該停止狀態轉變為該工作狀態時，從該第二正反器將該資料移動到該第一正反器。

2. 根據申請專利範圍第 1 項之半導體裝置，還包含選擇電路，該選擇電路被輸入該第二正反器的輸出資料且選擇性地輸出被輸入的該資料中的任何一個，

其中，將該選擇電路的輸出資料輸入到該第一正反器，並且將該第一正反器的輸出資料輸入到該第二正反器。

3. 根據申請專利範圍第 1 項之半導體裝置，

其中，該第二正反器包括：

包括該第一電晶體及儲存電容器的記憶體電路；以及運算部，

其中，在該記憶體電路中：



將從該第一正反器輸出的資料輸入到該第一電晶體的第一電極；

該第一電晶體的第二電極與該儲存電容器的第一電極電連接；

該儲存電容器的第二電極接地；以及

該儲存電容器的該第一電極及該第一電晶體的該第二電極形成節點，

其中，該運算部包括邏輯電路，

其中，該邏輯電路包括其閘極電極電連接到該節點的第二電晶體，以及

其中，該運算部根據保持在該節點中的資料進行工作。

4. 根據申請專利範圍第 3 項之半導體裝置，其中該第一電晶體層疊於該第一正反器、該第二正反器的該運算部或該第二正反器的該儲存電容器。

5. 一種半導體裝置，包含：

第一正反器；

第二正反器，其包括第一電晶體，該第一電晶體在通道形成區中包括氧化物半導體，

其中，在停止對該第一正反器及該第二正反器供應電力的停止狀態之前，將保持在該第一正反器中的資料移動到該第二正反器，

其中，在該停止狀態中，在該第二正反器中保持該資料，以及

其中，在該停止狀態之後，由該第二正反器恢復該第一正反器中的該資料。

6. 根據申請專利範圍第 5 項之半導體裝置，還包含選擇電路，該選擇電路被輸入該第二正反器的輸出資料且選擇性地輸出被輸入的該資料中的任何一個，

其中，將該選擇電路的輸出資料輸入到該第一正反器，並且將該第一正反器的輸出資料輸入到該第二正反器。

7. 根據申請專利範圍第 5 項之半導體裝置，

其中，該第二正反器包括：

包括該第一電晶體及儲存電容器的記憶體電路；以及運算部，

其中，在該記憶體電路中：

將從該第一正反器輸出的資料輸入到該第一電晶體的第一電極；

該第一電晶體的第二電極與該儲存電容器的第一電極電連接；

該儲存電容器的第二電極接地；以及

該儲存電容器的該第一電極及該第一電晶體的該第二電極形成節點，

其中，該運算部包括邏輯電路，

其中，該邏輯電路包括其閘極電極電連接到該節點的第二電晶體，以及

其中，該運算部根據保持在該節點中的資料進行工

作。

8. 根據申請專利範圍第 7 項之半導體裝置，其中該第一電晶體層疊於該第一正反器、該第二正反器的該運算部或該第二正反器的該儲存電容器。

9. 一種半導體裝置的驅動方法，該半導體裝置包括：

第一正反器；和

第二正反器，其包括第一電晶體，該第一電晶體在通道形成區中包括氧化物半導體，以及

該方法包含：

在第一期間中，在該第一正反器中儲存第一資料；

在該第一期間之後的第二期間中，從該第一正反器輸出該第一資料且在該第二正反器中儲存該第一資料；

在該第二期間之後的第三期間中，停止對該半導體裝置供應電力；

在該第三期間之後的第四期間中，恢復對該半導體裝置供應電力且輸出儲存在該第二正反器中的該第一資料；以及

在該第四期間之後的第五期間中，在該第一正反器中儲存該第一資料。

10. 根據申請專利範圍第 9 項之方法，還包含：

在該第五期間之後的第六期間中，在該第一正反器中儲存第二資料。

11. 一種半導體裝置的驅動方法，該半導體裝置包

括：

第一正反器；

第二正反器，其包括第一電晶體，該第一電晶體在通道形成區中包括氧化物半導體；以及

選擇電路，並且，該方法包含：

在第一期間中，從該選擇電路輸出第一資料且在該第一正反器中儲存該第一資料；

在該第一期間之後的第二期間中，從該第一正反器輸出該第一資料且在第二正反器中儲存該第一資料；

在該第二期間之後的第三期間中，停止對該半導體裝置供應電力；

在該第三期間之後的第四期間中，恢復對該半導體裝置供應電力且將儲存在該第二正反器中的該第一資料輸出到該選擇電路；以及

在該第四期間之後的第五期間中，從該選擇電路將該第一資料輸出到該第一正反器且在該第一正反器中儲存該第一資料。

12. 根據申請專利範圍第 11 項之方法，還包含：

在該第五期間之後的第六期間中，從該選擇電路輸出第二資料。

13. 一種半導體裝置，包含：

第一正反器；以及

第二正反器，

其中，該第一正反器包含第一電晶體，其包括矽，

其中，該第二正反器包含第二電晶體，該第二電晶體在通道形成區中包括氧化物半導體，以及

其中該第二電晶體的截止電流在室溫下為  $1 \times 10^{-21}$  安培或更低。

14. 根據申請專利範圍第 13 項之半導體裝置，還包含與該第一正反器及該第二正反器電連接的選擇電路。

15. 根據申請專利範圍第 13 項之半導體裝置，

其中，該第二正反器包括：

包括該第二電晶體及儲存電容器的記憶體電路；以及運算部，

其中，該第二電晶體的第一電極與該儲存電容器的第一電極電連接，

其中，該運算部包括第三電晶體，以及

其中，該第三電晶體的閘極電極與該第二電晶體的該第一電極電連接。

16. 根據申請專利範圍第 15 項之半導體裝置，其中該第二電晶體層疊於該第一正反器、該第二正反器的該運算部或該第二正反器的該儲存電容器。

圖 1

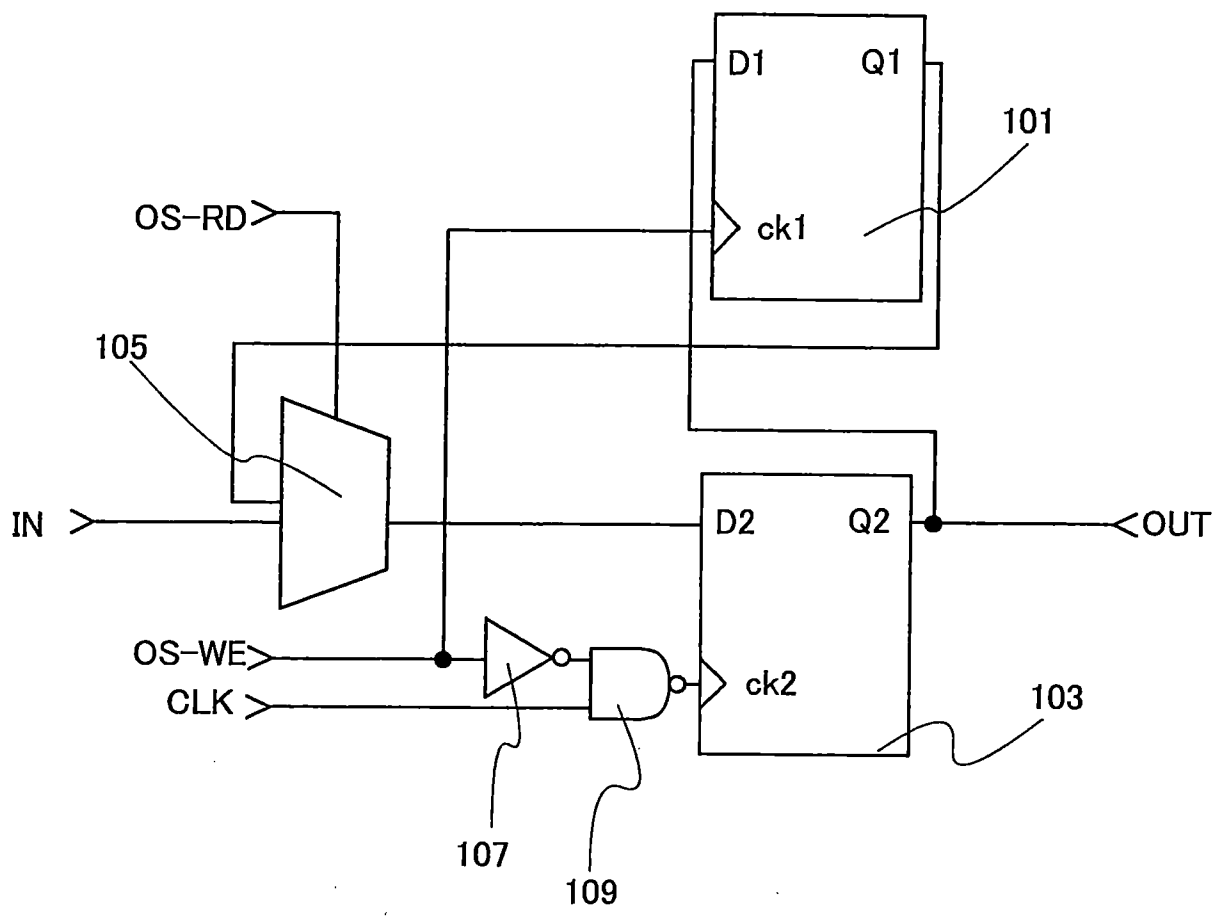


圖2

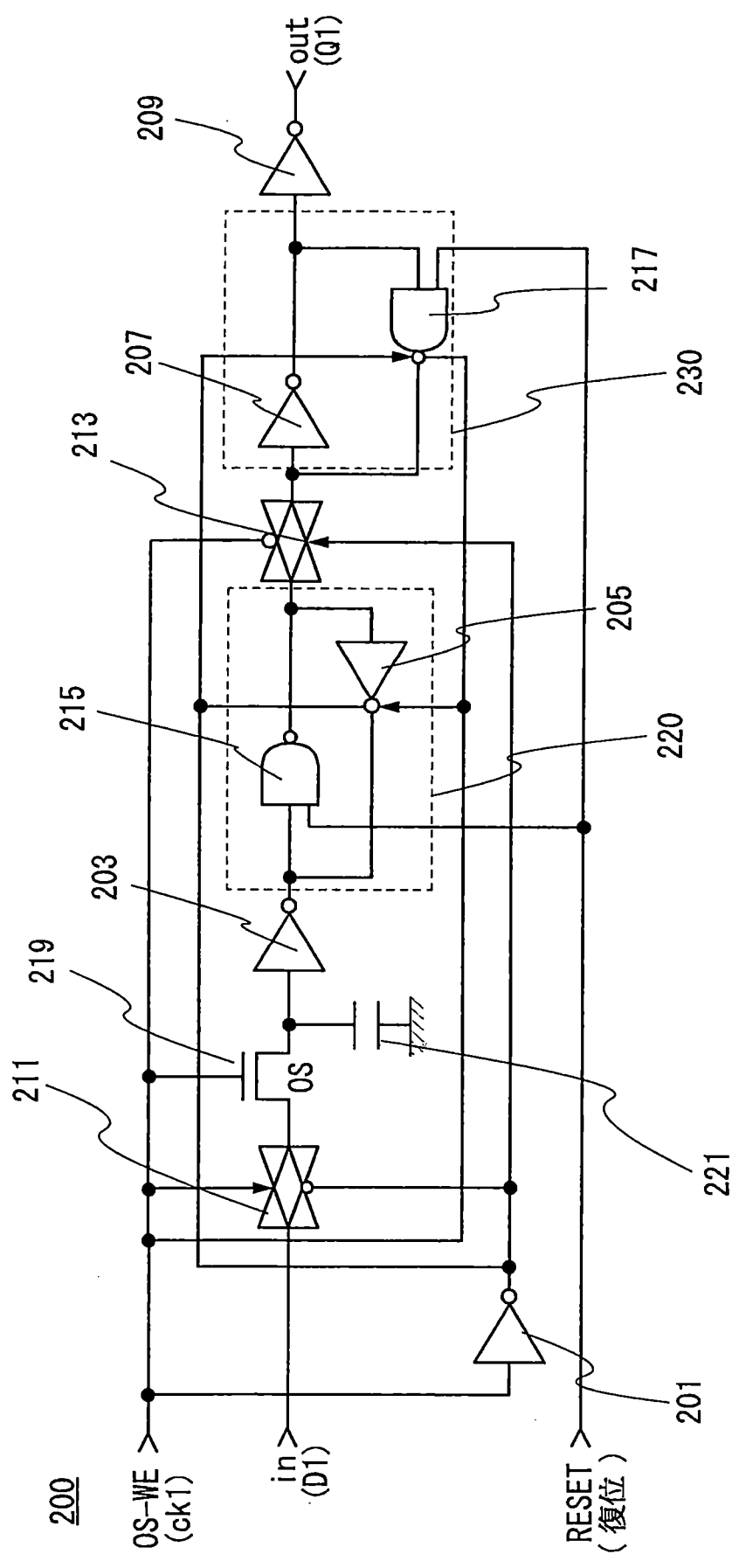


圖3

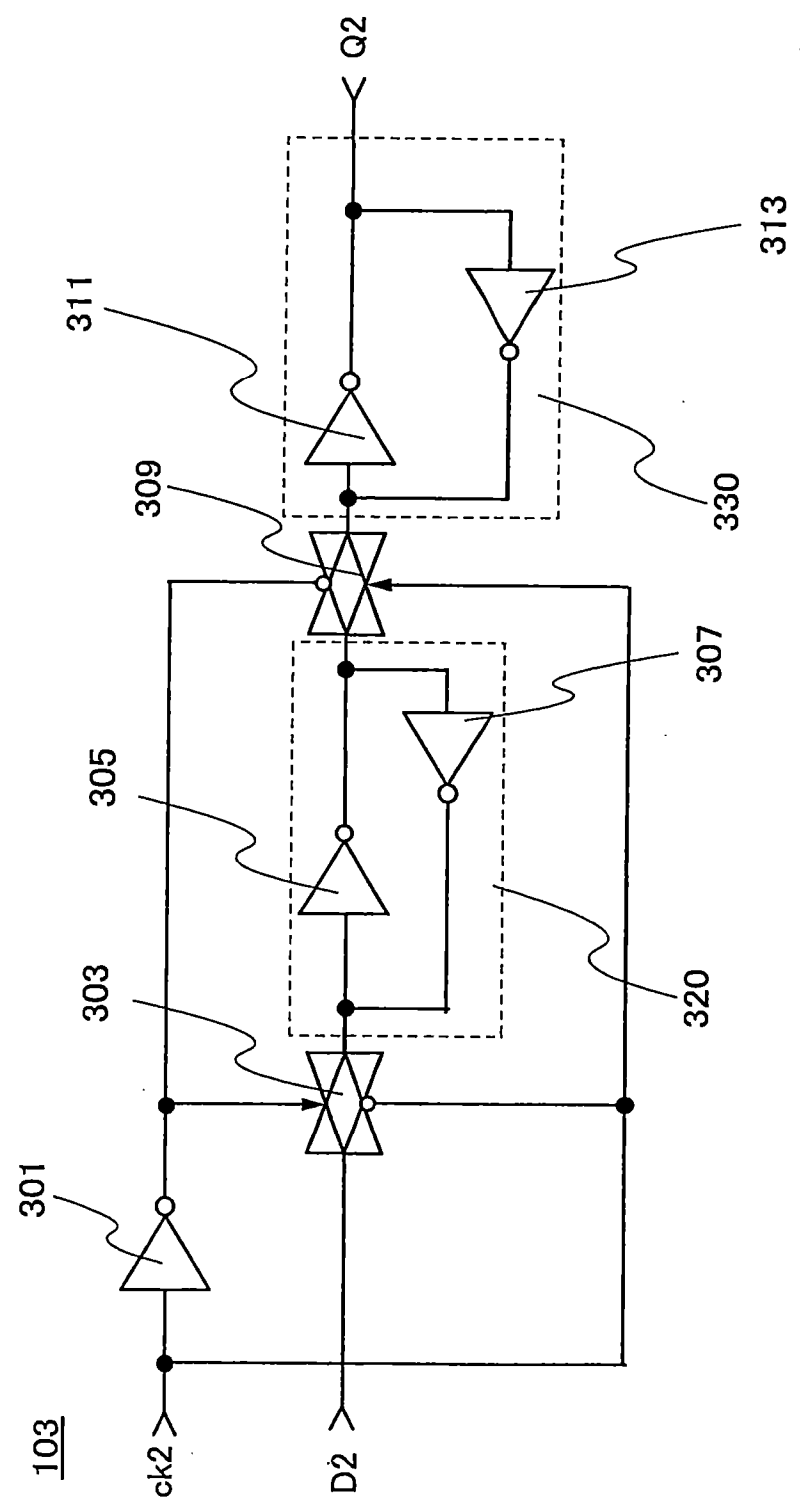




圖 4A

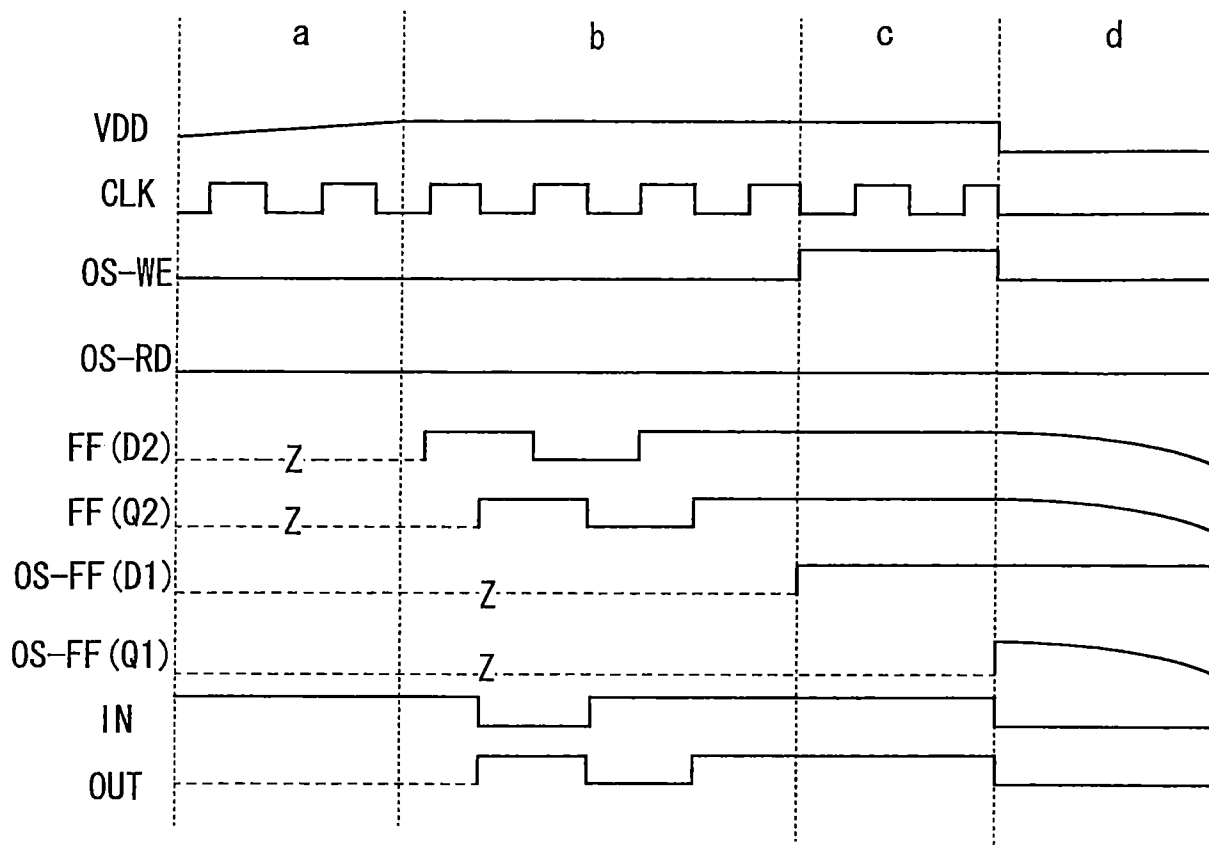


圖 4B

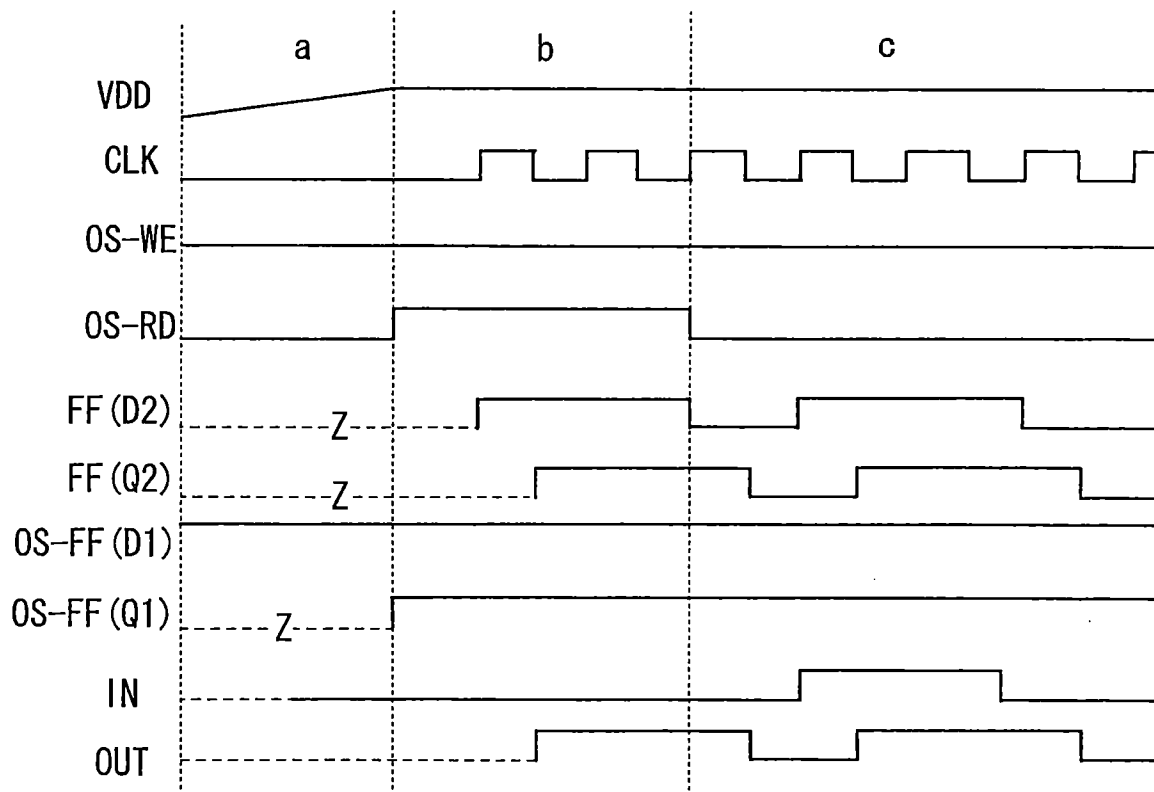


圖 5A

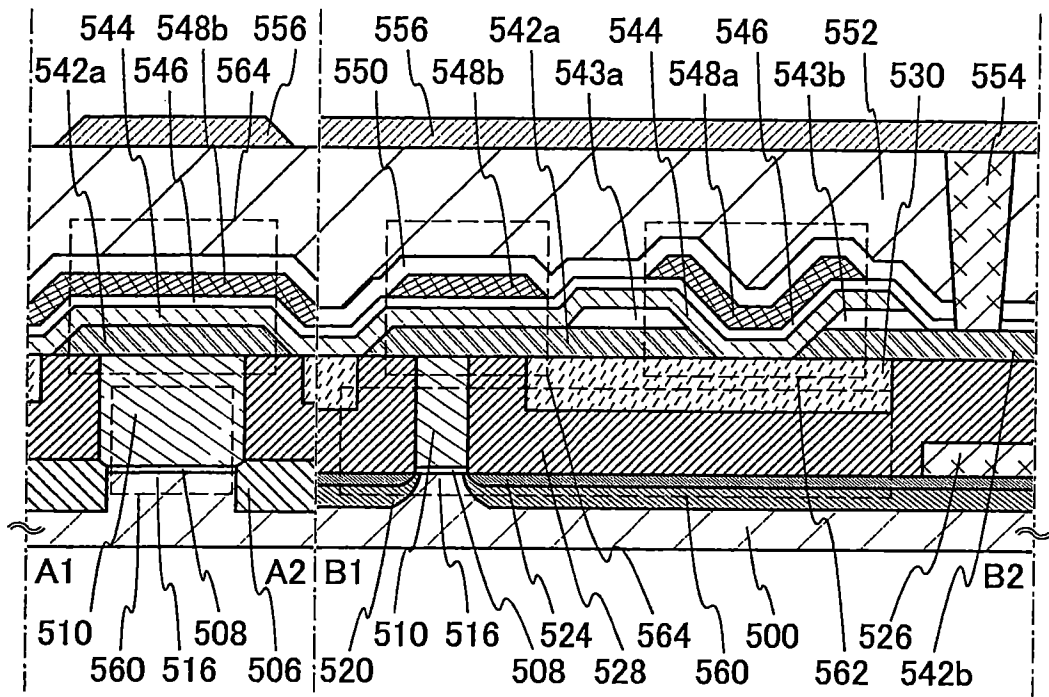


圖 5B

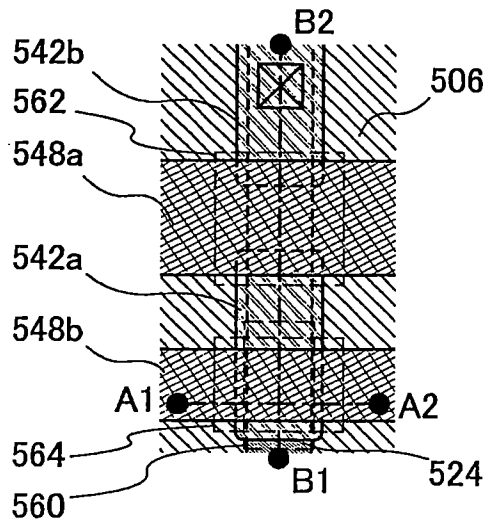


圖 5C

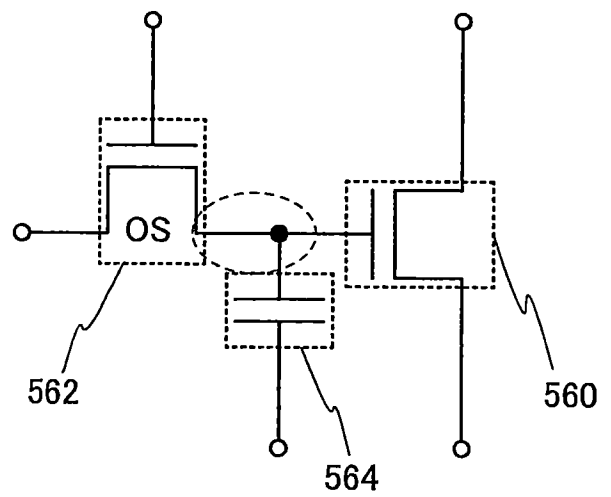


圖 6A

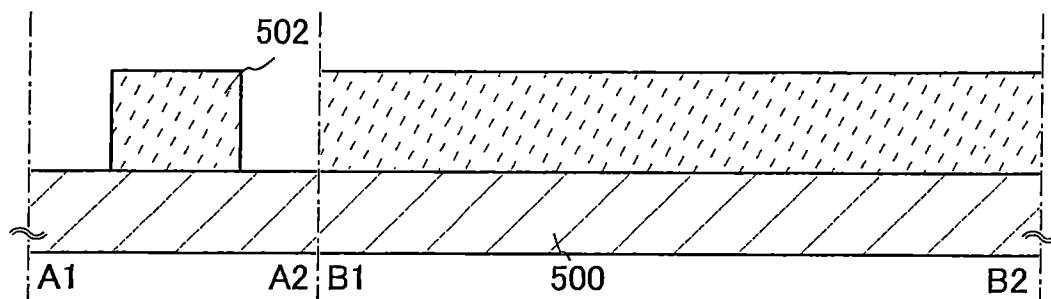


圖 6B

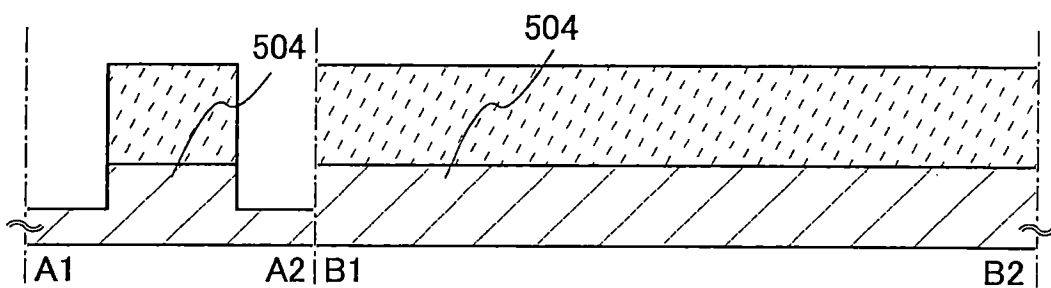


圖 6C

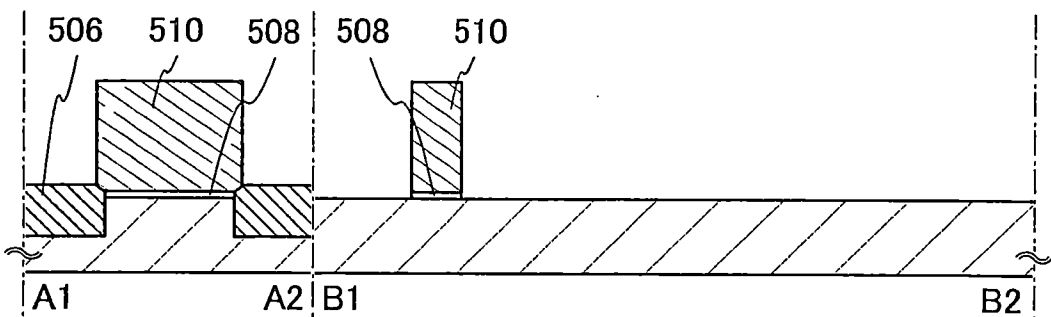


圖 6D

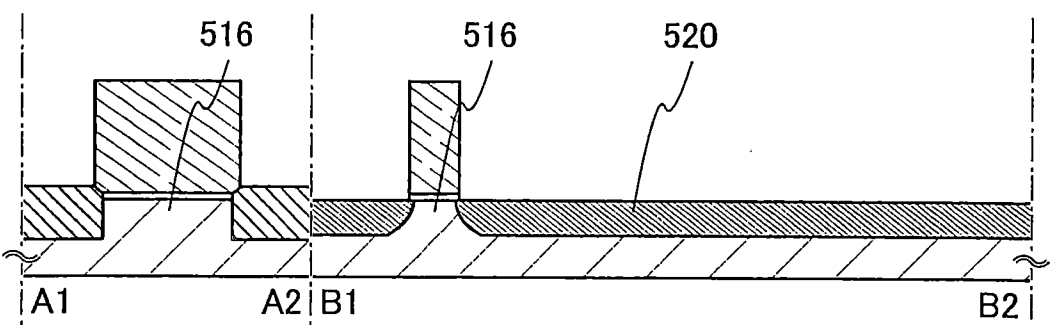


圖 7A

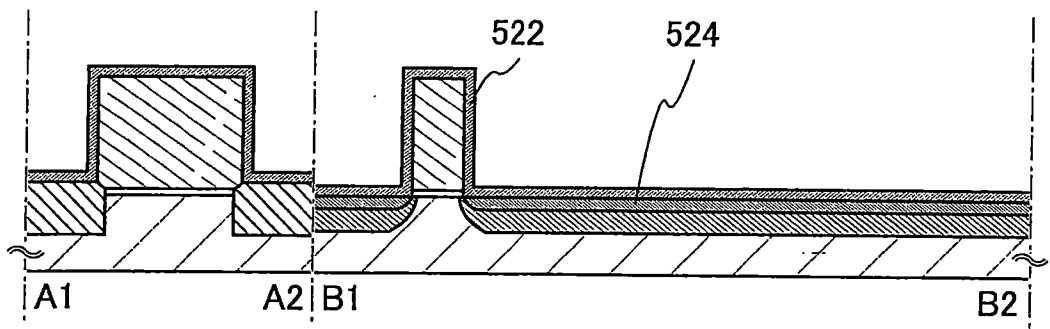


圖 7B

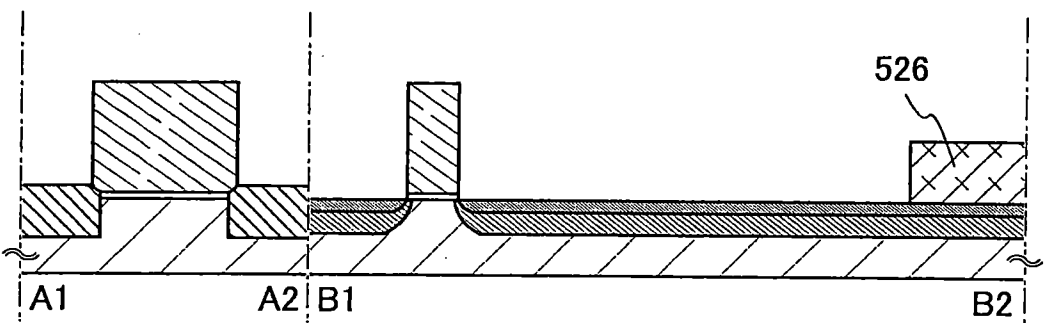


圖 7C

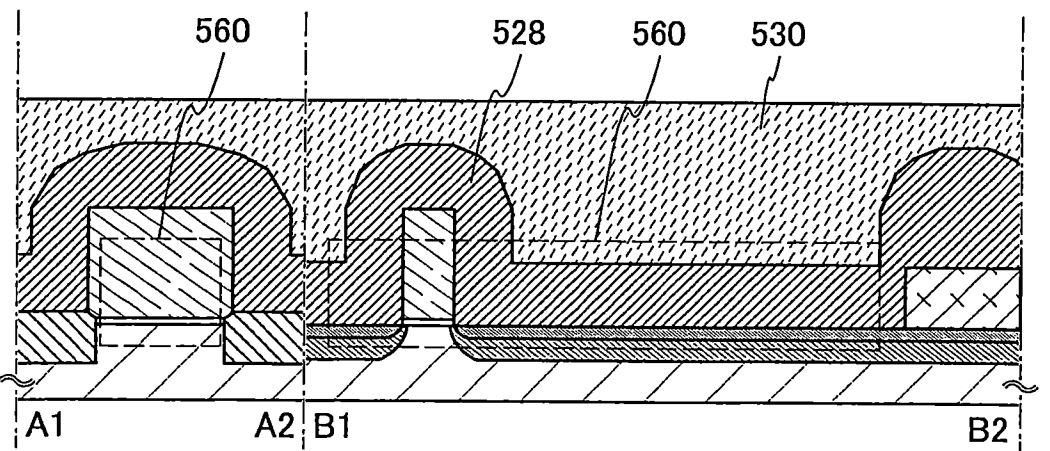


圖 7D

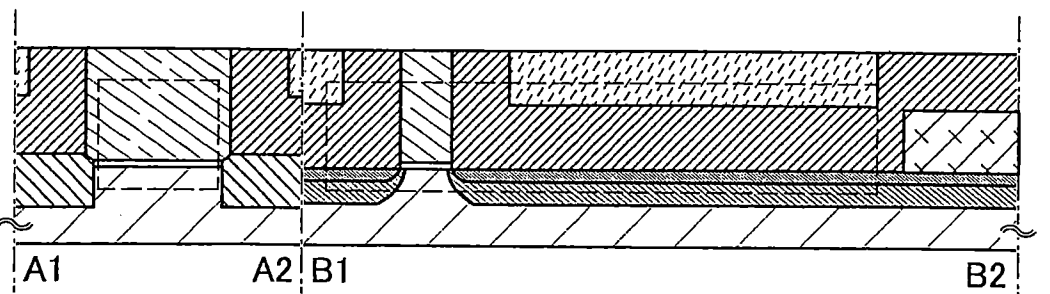


圖 8A

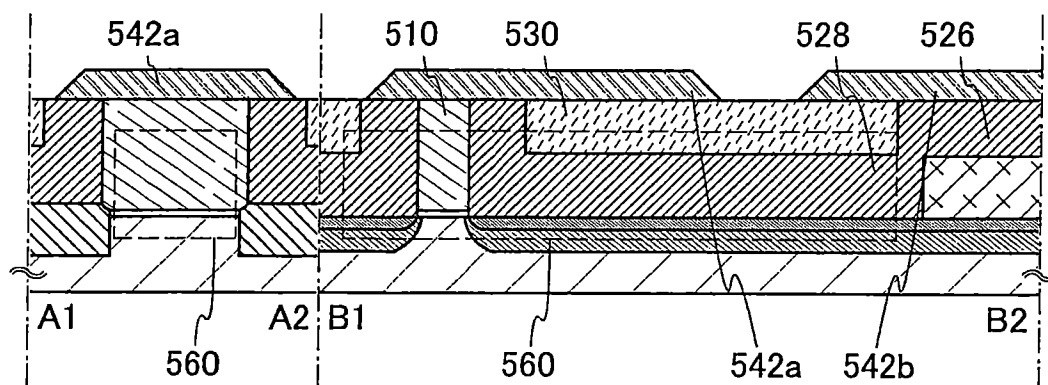


圖 8B

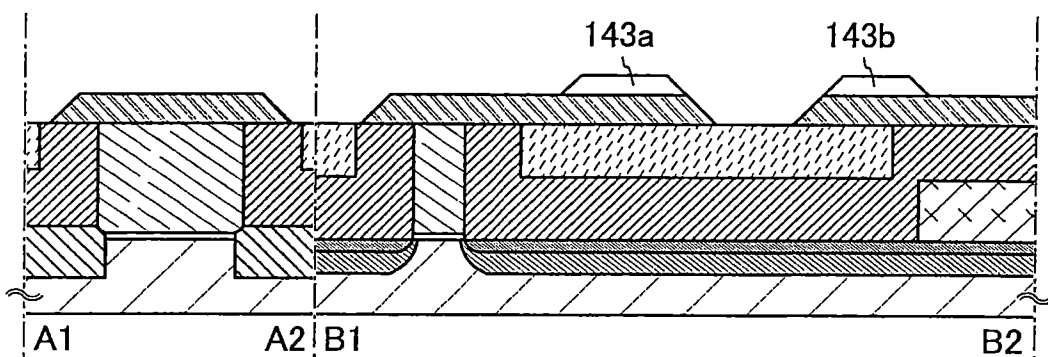


圖 8C

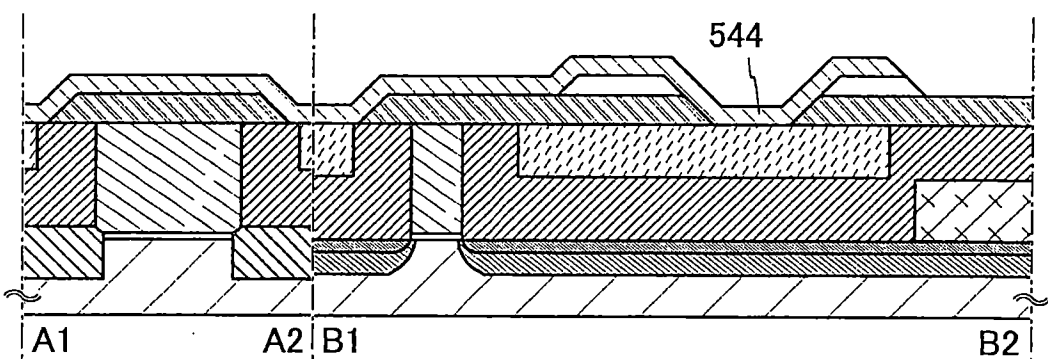


圖 8D

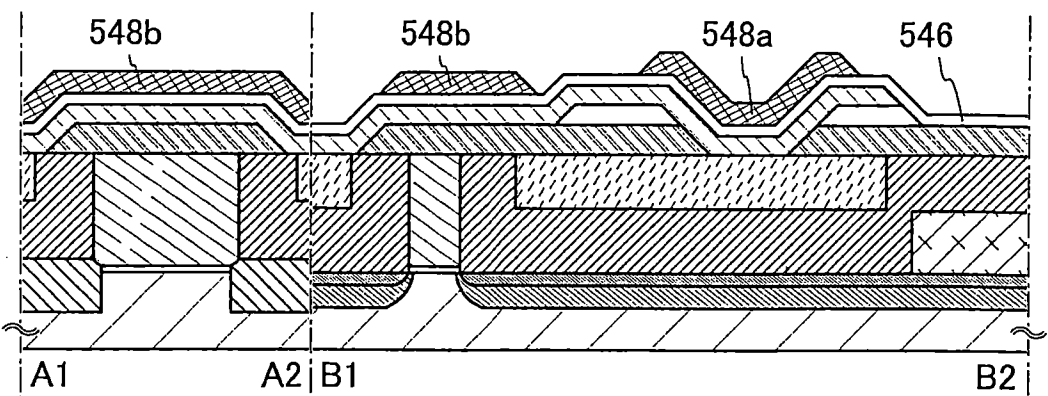


圖 9A

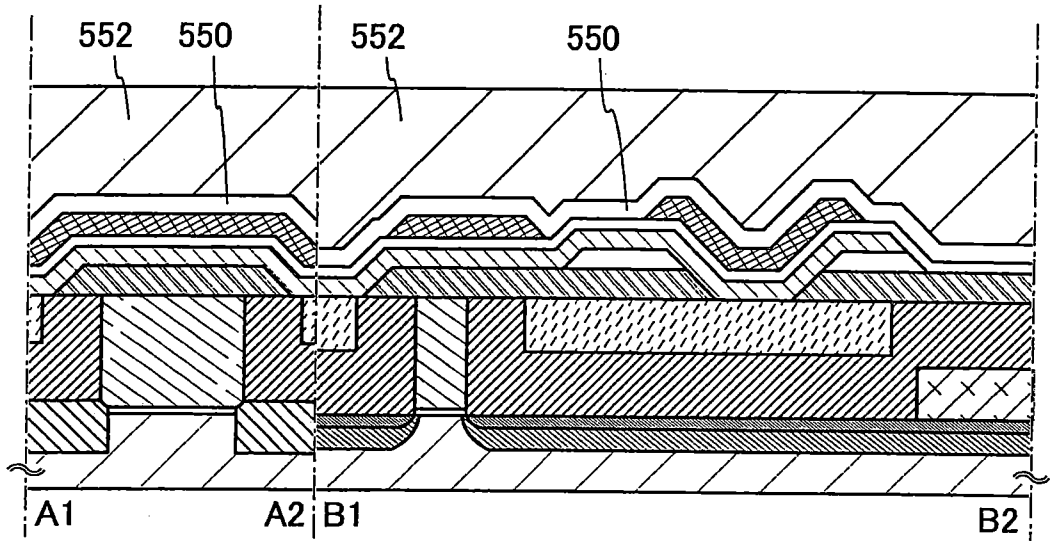


圖 9B

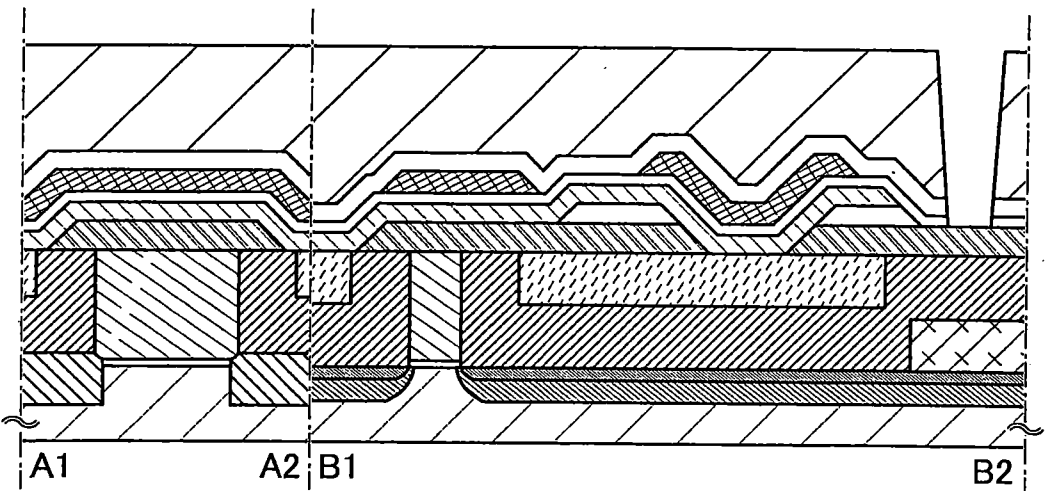


圖 9C

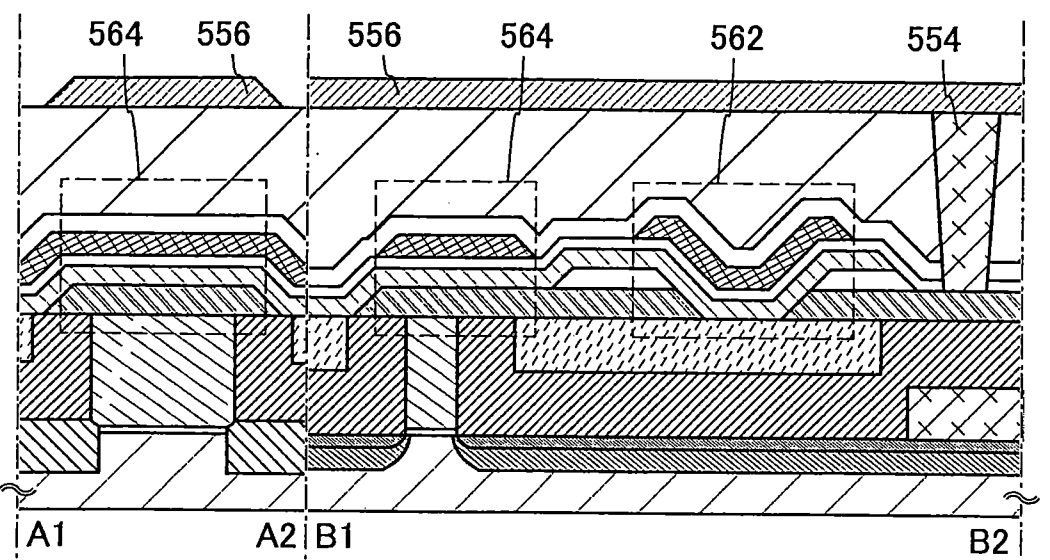


圖 10A

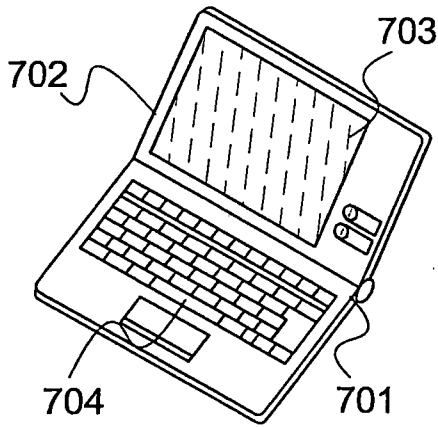


圖 10D

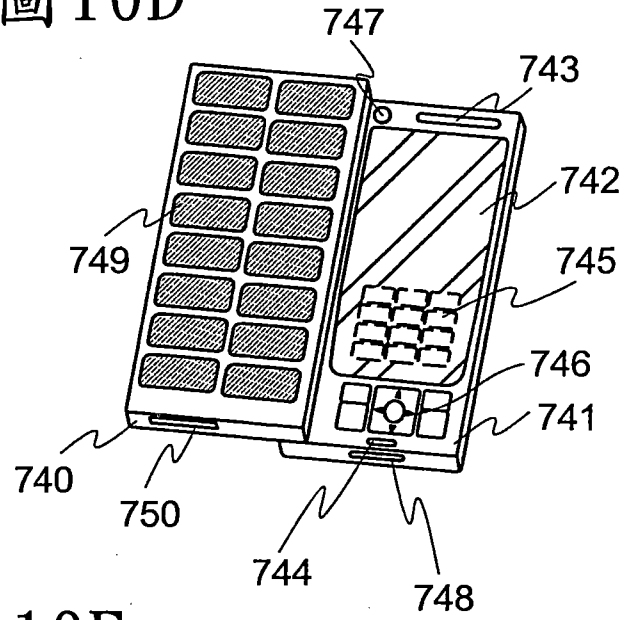


圖 10B

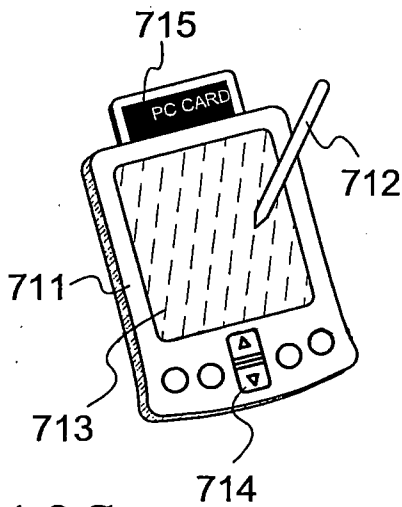


圖 10E

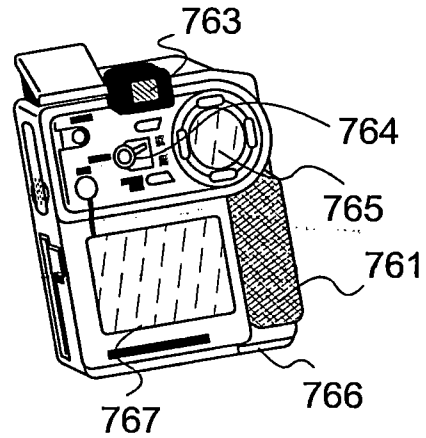


圖 10C

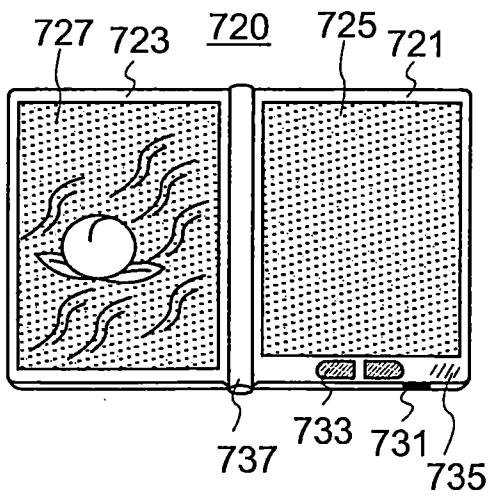


圖 10F

